

## 21. Kapitel / Arnold Wiemers

### 10 Klassische Irrtümer aus dem Bereich der Leiterplattentechnologie

#### **Mechanik versus Elektronik / Tausche ALT gegen NEU**

##### **Die Welt ist im Wandel....**

...und die Leiterplatte ist die Brücke zu der neuen Zeit. Nichts wird so bleiben, wie es ist. Wir müssen nach vorne sehen und akzeptieren, daß wir uns verändern müssen. Das wird nur möglich sein, wenn wir von alten Irrtümern lernen. Und von denen gibt es viele. Über einige dieser Irrtümer sollten wir jetzt mal sprechen.

##### **1. Leiterplatten haben *nur* die Aufgabe, der mechanische Träger für die Bauteile einer Baugruppe zu sein.**

Die Mechanik behält sicherlich ihre Bedeutung. Die Länge und die Breite einer Leiterplatte sowie die Anzahl und der Durchmesser von Bohrungen und die Stege, Bögen und Ausschnitte einer Fräskontur bleiben wichtig.

Vorrangig bestimmen aber längst die *elektrischen* Anforderungen an eine Baugruppe die erforderlichen Eigenschaften einer Leiterplatte. Und damit geht es nicht mehr darum, *ob*, sondern *wie* die Netzendpunkte einer elektronischen Schaltung miteinander verknüpft sind.

Einerseits hat sich die Beachtung physikalischer Anforderungen inzwischen durchgesetzt. Impedanzwerte sind unerläßliche Kenngrößen für die kontrollierte Laufzeit elektronischer Signale auf den einzelnen Lagen einer Leiterplatte. Stromtragfähigkeit und Isolationseigenschaften sichern den Betrieb von Maschinen und Anlagen.

Andererseits ist unser Alltagsleben mittlerweile derart intensiv vom Funktionieren der uns umgebenden Elektronik abhängig, daß notwendigerweise auch Aspekte wie die langfristige Qualität einer Baugruppe in den Vordergrund drängen.

##### **2. Wichtig ist, daß eine Leiterplatte möglichst *wenige* Lagen hat und preiswert ist.**

Es gibt keine Mehrklassenphysik. Die langfristig zuverlässige Funktion einer Baugruppe hat ihren berechtigten Aufwand. Das Potential der Leiterplattentechnologie ist überwiegend noch unbekannt und ungenutzt.

Während der Konstruktion und der Beschaffung einer Leiterplatte liegt der Fokus oft ausschließlich auf der Betrachtung einer singulären Komponente. Die Leiterplatte bleibt losgelöst von ihrer Aufgabe und wird selten unter strategischen Blickwinkeln gesehen.

Die Analyse starrflexibler Leiterplatten zeigt exemplarisch sehr deutlich, daß plurale Systemeigenschaften bewertet werden müssen und das sowohl aus funktionalen *als auch* aus wirtschaftlichen Blickwinkeln. Signalübertragungseigenschaften, Montage- und Prüfkosten, Bauteileinkauf, Bestücken und Löten der Leiterplatte sowie das Testen der Baugruppe werden stark durch die Möglichkeiten der Leiterplattentechnologie beeinflusst.

Die Investition in eine leistungsfähige Leiterplatte ist immer effektiver und letztlich unter dem Strich auch preiswerter als viele der bisher üblichen schaltungs- und gehäusetechnischen Maßnahmen.

**3. Die Modifikation diverser Layout-Parameter für die Produktion von Leiterplatten sollte dem Leiterplattenhersteller überlassen werden.**

Die Geometrien von SMD-Flächen, Lötstoplackfreihaltungen, Randabständen, Reststringbreiten, Wärmefallen, Isolationspads etc. sind konstruktive Elemente des CAD-Layouts, für die *immer* der CAD-Designer zuständig und verantwortlich ist und *niemals* der Leiterplattenhersteller.

Layoutgeometrien werden zunehmend softwareseitig ermittelt und abgesichert durch die Berechnung und Simulation elektrophysikalischer Eigenschaften. Diese sind üblicherweise sehr genau auf die technische Funktion, den späteren Einsatzbereich, die angestrebte Langzeitzuverlässigkeit und die präzisen Betriebsbedingungen abgestimmt.

Ergo fließen in das Layout zu dem Produkt und zu der Anwendung die individuellen Informationen und Richtlinien des beauftragenden Unternehmens mit ein.

Die heute übliche Spezifikation von Leiterplatten transportiert praktisch keine Informationen zu den Betriebsbedingungen der späteren Baugruppe. Folglich sind entscheidende Konstruktionsmerkmale dem Leiterplattenhersteller *nicht bekannt*.

Eine nachträgliche eigenständige Veränderung der CAD-Layoutdaten durch die CAM des Leiterplattenherstellers ist deshalb *immer* unzulässig. Als einzige Ausnahme sind Veränderungen akzeptabel, für die vorher die verbindliche und dokumentierte Freigabe des Konstrukteurs eingeholt wurde.

Im Gegenzug verhindert der Mangel an Informationen zu der vorgesehenen Aufgabe der Baugruppe allerdings auch eine fachgerechte Beratung des Konstrukteurs durch den Leiterplattenhersteller. Erst eine modifizierte Spezifikation kann dazu beitragen, daß die partnerschaftliche Zusammenarbeit zwischen dem CAD-Designer und dem Leiterplattenhersteller ihre volle Leistungsfähigkeit erreicht.

**4. Für die Spezifikation eines Multilayers genügt die Angabe der Lagen.**

Das kann lebensgefährlich werden. Die geometrischen Abstände zwischen elektrischen Lagen bestimmen die späteren physikalischen Eigenschaften der Baugruppe.

Stromtragfähigkeit, Spannungsfestigkeit und Signalintegrität sind über die Geometrie der Leiterplatte definiert. Damit ist ein kompletter, fachlich korrekter, dokumentierter und nachvollziehbarer Multilayeraufbau ein unverzichtbarer Bestandteil einer jeden Leiterplattenproduktion.

Ein aussagefähiger Lagenaufbau muß Teil der Fertigungsunterlagen sein und absolut verbindlichen Charakter haben. Bereits das einfache Vertauschen der Reihenfolge von Innenlagenlaminaten kann katastrophale Auswirkungen haben, ein Fehler, der von der üblichen elektronischen Prüfung auf der Seite des Leiterplattenherstellers zudem noch nicht einmal detektiert werden kann.

Aus Sicht des Autors ist es heute sogar unverzichtbar, bereits den Aufbau von ein- oder doppelseitigen Leiterplatten zu dokumentieren (Bild 21-1).

Grundsätzlich müssen der Lagenaufbau respektive die Leiterplattenspezifikation bereits *vor* der Beendigung der Arbeit am Schaltplan vorliegen.

Aspekte wie die Laufzeit von Signalen, die Kapazität von Stromversorgungssystemen, die Kosten für die Leiterplatte oder die Entwärmung der Baugruppe können sonst nicht verifiziert werden.

Das bedeutet in der Praxis, daß unzureichende Informationen über die zu erwartenden wirtschaftliche und technische Eigenschaft des künftigen elektronischen Gerätes vorliegen. Eine geregelte Abstimmung zwischen Konstrukteur, CAD-Designer und Leiterplattenhersteller kann dann nicht stattfinden. Und dann wäre die Baugruppe im Prinzip außer Kontrolle.

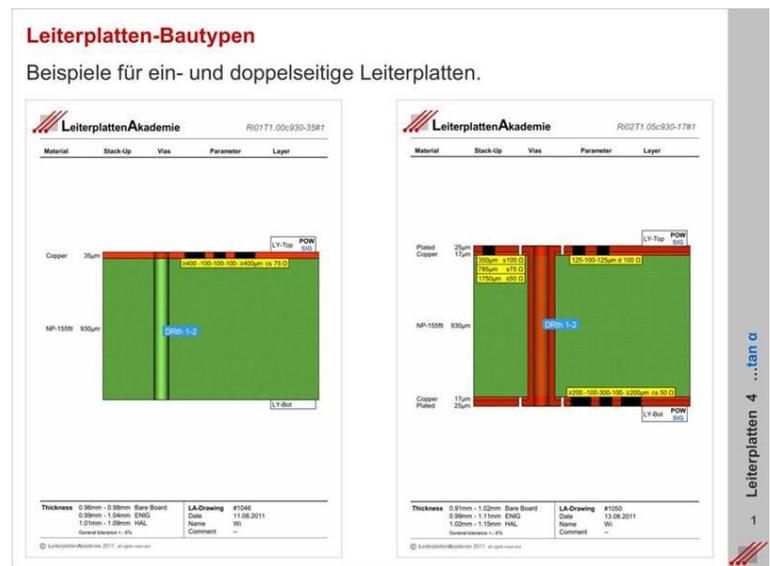


Bild 21-1 Dokumentation ein- und doppelseitiger LPs

5. **Durch das Entfernen von Non Functional Pads auf den Innenlagen eines Multilayers kann mehr Platz für das Fan-Out hochintegrierter Bauteile geschaffen werden.**

Leider nein. Für HDI- und MFT-Leiterplatten orientieren sich die maßgeblichen Routingabstände nicht mehr vornehmlich an den Abständen zwischen Leiterbahn und Leiterbahn oder zwischen Leiterbahn und Pad sondern am Abstand der Tangente einer Bohrung zur Leiterbahn.

Die Betrachtung "Leiterbahn zu Leiterbahn" wird damit um die entscheidende und weitläufig gültige Betrachtung "Leiterbahn zu Bohrung" erweitert.

Pauschal rückt damit die Betrachtung der *Leiterbildstruktur in Relation zur Leiterplattenmechanik* in den Vordergrund.

Als Folge dieser Verschiebung wird die zentrale Strategie nicht mehr (...nur) darin bestehen, am CAD-System die Werte für den "electrical distance (i.e. der elektrische Sicherheitsabstand)" von Vektorstrukturen als "constraints" (i.e. Vorgaben) zu formulieren.

An deren Stelle tritt auf mathematischer Basis die generelle aber individualisierte Betrachtung von *Toleranzräumen*. Für die Berechnung dieser Toleranzräume ist das diskrete Vorhandensein eines Pads oder einer Leiterbahn ohne Bedeutung. Die Berechnungen orientieren sich an den realen Parametern für die Fertigung von Leiterplatten. Ausgehend von den Einflüssen der Basismaterialien, des individuellen Leiterbildes, der erforderlichen Prozeßschritte und der Einsatzanforderungen an die Baugruppe werden die constraints für das Routing des CAD-Layouts über die dynamische Berechnung der real *möglichen und sinnvollen* Mindestabstände ermittelt.

Speziell für "Non Functional Pads" (~ NFP) belegt die Berechnung der Toleranzräume beeindruckend, welche Wirkung das Entfernen der Pads auf das CAD-Layout hat.

Ist das Pad im Padstack des CAD-Systems bereits auf den minimalen Durchmesser gesetzt, dann ergibt sich für das Routing keinerlei Vorteil. Wird der durch das entfernte Pad freigewordene Raum aus einem Mißverständnis heraus für das Routing von Leiterbahnen genutzt, dann steigt die Ausschußrate während der Leiterplattenproduktion sofort deutlich an und führt oft sogar zum Totalausfall des produzierten Loses.

6. Ein Lagenaufbau wird eigentlich nur vom Leiterplattenhersteller benötigt.

Nein. Der Bauplan für eine Leiterplatte, egal, ob ein- oder doppelseitig oder Multilayer, und egal, ob starr oder flex oder starrflex, muß bereits vor dem Abschluß der Arbeiten am Schaltplan vorliegen. Im Schaltplan werden zunehmend constraints für das Routing festgelegt. Vorberechnete Impedanzwerte verlangen eine präzise Leiterbahnbreite und vorab zugeordnete Referenzplanes. Signlräume mit Bezug zu bekannten Rückstromwegen sind eine verbindliche Vorgabe für die Layoutkonstruktion am CAD-System.

Die Option, Powerplanes mit kapazitiven Eigenschaften in Leiterplatten einbauen zu können oder "embedded components" (i.e. Bauteilfunktionen auf den Innenlagen) in Polymertechnik mittels des Carbondrucks (z.B. Induktivitäten und Widerstandswerte) zu fertigen, erhebt die Leiterplatte in den Status einer passiven elektrischen Komponente.

Im Schaltplan müssen diese Funktionen Berücksichtigung finden. Für das CAD-Layout enthält der Bauplan der Leiterplatte somit entscheidende Anweisungen mit Blick auf die notwendigen Routingparameter sowie die Anlage von Signal- und Powerplanes.

Der Bauplan muß immer auch an den Baugruppenfertiger weitergereicht werden. Gerade bei Prototypen und Kleinserien muß die Materialspezifikation transparent sein. Die Kupferdicken, die Anzahl der Masseflächen und der Lagen sowie der Lagenabstand beeinflussen die gezielte Auswahl eines geeigneten Reflowprofiles. Diverse Kleber bei starrflexiblen Leiterplatten, Pluggingsubstrate, Coverlay und Lötstopmasken müssen bekannt sein, um eine sichere Entscheidung für die richtige Strategie für die Produktion der Baugruppen treffen zu können (Bild 21-2).

**Starrflexible Baugruppen : Legendedokumentation**

**Multilayerbauplan**

Bei einem starrflexiblen Multilayer müssen sowohl die Materialien im starren Abschnitt der Leiterplatte beschrieben werden als auch im starrflexiblen.

Gibt es physikalische Anforderungen, die erfüllt werden müssen, dann sind diese Vorgaben deutlich zu machen.

Hier sind gleichbleibend 50 Ohm SE-Impedanzen bei einer Leiterbahnbreite von 130µm gefordert. Das ist nur möglich mit einem Wechsel des Bezugspotentials. Für „LY-4 SIG“ ist im Flexbereich „LY-5 GND“ der Bezug, im starren Bereich ist es „LY-6 GND“.

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm			LY-TOP GND
Copper	17µm			
NP-1558	100µm	2116 SR-52		LY-2 SIG
NP-1558	100µm	2116 SR-52		LY-3 GND
Copper	35µm			100µm ± 51 D
NP-1558	250µm			LY-4 SIG
Copper	35µm			LY-5 GND
NP-1558	100µm	1060 MR-67		LY-6 GND
NP-1558	50µm	1060 MR-67		LY-7 SIG
Copper	17µm			100µm ± 49 D
NP-1558	100µm	106 SR-70		LY-5 GND
NP-1558	100µm	106 SR-70		
Copper	35µm			LY-6 GND
NP-1558	250µm			LY-7 SIG
Copper	35µm			100µm ± 51 D
NP-1558	100µm	2116 SR-52		LY-8 GND
NP-1558	100µm	2116 SR-52		
Copper	17µm			LY-90T GND
Plated	25µm			

Thickness: 1.23mm - 1.55mm Bare Board  
 1.41mm - 1.59mm ENIG  
 1.44mm - 1.62mm HAL  
 Special materials +HS

LA-Drawing #1044  
 Date 03.08.2011  
 Name WI  
 Comment

Leiterplatten 4 ...ten a

Bild 21-2 Komplexe Multilayerspezifikation

7. Bei SMD-Layouts müssen die Vias mit Lötstoplack immer zgedrückt sein.

Im Gegenteil, die Vias respektive Durchkontaktierungen müssen immer offen sein. Üblicherweise werden heute fotosensitive Lötstoplacke verarbeitet, die als dünne Schicht auf die Oberfläche der Leiterplatte aufgetragen werden.

Die Vias werden dadurch zwar überdeckt aber nicht verfüllt und der Lack bekommt später beim Trocknen auf Grund thermischer Spannungen Mikrorisse.

Für die heutigen chemisch prozessierten Endoberflächen dient der Lötstoplack als Resist, das heißt, der Lack wird vor der Endoberfläche auf die Leiterplatte aufgebracht. Ist die Hülse der Vias ganz oder weitestgehend mit Lötstoplack bedeckt, dann ist während des Prozessierens der chemischen Oberfläche keine ausreichende Durchflutung der Viahülsen mit den chemischen Reagenzien möglich. Folglich kann es nicht zu einer Beschichtung der Innenwand der Hülse mit der vorgesehenen metallischen Endoberfläche kommen.

Es können sogar diverse Rückstände chemischer Substrate aus der Oberflächenfertigung und der Baugruppenproduktion in den Hülsen verbleiben. Diese Rückstände sammeln sich in den Hülsen und können in Verbindung mit Kondensatbildung mittelfristig zur Korrosion führen.

Nur bei offenen, lackfreien Vias ist die Voraussetzung geschaffen, eine Endoberfläche in die Hülsen einzubringen und nach dem Bestücken für eine rückstandsfreie Reinigung der Baugruppe zu sorgen (Bild 3).

Die Voraussetzungen dazu müssen durch das CAD-Layout geschaffen werden. Nur ein korrekt angelegter Padstack in Verbindung mit einem abgestimmten Routingraster kann diese Aufgabe lösen.



Bild 21-3 Geometrische Spezifikation für den Lötstopplack

**8. Bei "zu knappen" Restringen dürfen die Viadurchmesser verringert werden.**

Keinesfalls. Der Viadurchmesser definiert die Hülsenoberfläche. Die Hülsenoberflächen aller Vias haben einen signifikanten Einfluß auf die Entwärmung der Baugruppe. Weil die Oberfläche der Hülsen direkt proportional zum Viadurchmesser ist, führt eine Änderung des Viadurchmessers von z.B. 300µm auf 200µm zu einer um 1/3 reduzierten layoutbasierten Entwärmung.

Mit den bereits oben erwähnten mathematischen Methoden läßt sich die Geometrie der Toleranzräume für Bohrungen berechnen. Die von CAD deklarierten Durchmesser sind immer als Enddurchmesser zu verstehen. Aus der üblichen Zugabe von 50µm umlaufend für das Bohrwerkzeug und aus der für FR4-Material üblichen Positionstoleranz "Bohrung zu Leiterbild" von umlaufend 100µm ergibt sich ein Toleranzraum von umlaufend 150µm. Bei CAD-Layouts für HDI-Baugruppen ist dies zugleich die minimal zulässige Restringbreite für das Viapad im Padstack.

Eine Unterschreitung dieses Wertes für die minimale Restringbreite bedeutet, daß bei Ausnutzung der zulässigen Toleranzen während der Fertigung der Leiterplatte ein Segment des Vias außerhalb des Viapads liegen wird. Dadurch verringert sich nicht nur der Abstand der Tangente des Vias zur benachbarten Leiterbildstruktur sondern auch der elektrische Sicherheitsabstand zwischen Via und Leiterbild. Gleichzeitig erhöht sich das Kurzschlußrisiko während der Leiterplattenproduktion.

Stellt CAM beim DRC eine solche Abstandsunterschreitung fest, dann ist die *einzig zulässige* Maßnahme eine Überarbeitung des Routings am CAD-System.

## 9. Möglichste große Isolationspads auf Powerplanes verringern den toleranzbedingten Ausschuß bei Multilayern.

Das ist sicherlich richtig, hat aber *keine Priorität* vor der technisch einwandfreien Funktion der Baugruppe. Absolut *unzulässig* ist die Modifikation der Isolationspads durch die CAM des Leiterplattenherstellers.

Powerplanes haben die Aufgabe, das elektronische Gerät im Betrieb störungsarm mit ausreichend Energie zu versorgen und für die Signalübertragung geeignete Rückstromwege anzubieten.

Das geht zuverlässig nur mit quasi durchgehenden Flächen. Dazu müssen zwischen den Isolationspads Kupferstege stehenbleiben.

Das geht aber nur mit möglichst kleinen Isolationspads (z.B. 500µm plus Enddurchmesser) und einem dazu passenden Routingraster am CAD-System.

Für die CAD-Konstruktion bedeutet das eine wohlkalkulierte Abstimmung der Routinggeometrien auf die Anforderungen der Schaltungsfunktion sowie auf die Toleranzen während der Produktion der Leiterplatten (Bild 21-4).

Wenn die Überprüfung der Designvorgaben durch die CAM des Leiterplattenherstellers eine Verletzung der produktionsseitig geforderten Toleranzräume ergibt, dann ist die *einzig akzeptable* Lösung, die Padstacks in der CAD-Bibliothek anzupassen und das Routing zu korrigieren.

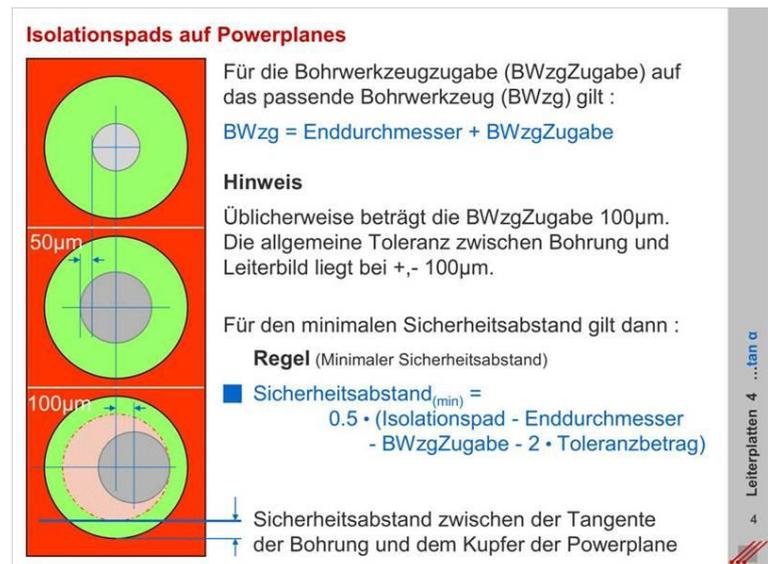


Bild 21-4 Regeln für Isolationspads auf Powerplanes

## 10. Für den Datenaustausch zwischen CAD und CAM wird ein *intelligentes* Datenformat benötigt.

Im Prinzip "nein". Für ein Datenformat Intelligenz zu fordern, ist zudem ein Widerspruch in sich.

Die Anforderung an CAD ist, Fertigungsdaten an CAM zu übergeben. Benötigt werden Informationen, die Punkte und Vektoren in einem 2-dimensionalen kartesischen Koordinatensystem beschreiben. Das GERBER-Format erfüllt diese Aufgabe exzellent, ist mathematisch wohldefiniert, für Jedermann nachvollziehbar und absolut zukunftsorientiert.

Viel wichtiger ist die *Vervollständigung* der an CAM übergebenen Daten. Die Schnittstelle von CAD zu CAM und zur Baugruppenproduktion weist *erhebliche* Lücken auf. Die Übergabe einer Materialspezifikation, die Weitergabe von Bohrplänen, bemaßten Konturpläne, Bauplänen, Verbindungslisten, Coupons, Files für das Fräsen und Ritzen, Dokumentation der Liefernutzen mit Paßmarken, Stegabständen etc. ist noch keineswegs üblich.

Diese Daten sind für die systematische Arbeitsvorbereitung im Zuge der Leiterplatten- und Baugruppenproduktion unerlässlich.

Die Optionen der GERBER-Syntax reichen aus, um all diese Anforderungen zu erfüllen.

### **Hinweis**

Als Ergebnis aller Analysen werden zwei Schwerpunkte deutlich. Der systematische Transfer von automatisierten *Informationen* zwischen den Disziplinen CAD-Design, Leiterplatte und Baugruppe sorgt für Transparenz.

Die menschliche *Kommunikation* zwischen den Beteiligten beseitigt die verbleibenden Unklarheiten.

Dieses Zusammenspiel ist der Garant für Ihren Erfolg.

