

4. Kapitel / Rainer Taube

Risikofaktor Basismaterial

Eine Untersuchung mit dem Ziel, Delaminationen von Leiterplatten zu verhindern

Vorbemerkung

Arnold Wiemers hat in seinem Artikel über die "Eigenschaften von Basismaterialien", bereits gezeigt, daß sich hinter der allgemeinen Bezeichnung "FR4" eine große Vielfalt von Materialien mit ganz unterschiedlichen Eigenschaften verbergen kann.

Während sich die Anwender in der Regel mit den elektrischen Kennwerten ganz gut auskennen, war es in Zeiten bleihaltiger Lötprozesse meistens nicht erforderlich, die thermomechanischen Eigenschaften der Basismaterialien genauer zu betrachten.

Nach der Umstellung auf bleifreie Lötprozesse mußten viele Leiterplatten- und Baugruppenhersteller leidvoll erfahren, daß ihre Leiterplatten durch die höhere thermische Belastung delaminierten.

Ein Grund dafür ist die Tatsache, daß trotz höherer Anforderungen auch heute noch die meisten Leiterplatten nur mit der allgemeinen Materialspezifikation "FR4" bestellt werden.

Um das Risiko einer derart unzureichenden Spezifikation besser einschätzen zu können, hat die FED/VdL (heute ZVEI)-Projektgruppe "Design" vor fast 3 Jahren schon ein gemeinsames Projekt von Materialherstellern, Designern, Leiterplattenherstellern und Baugruppenproduzenten gestartet. In diesem Projekt wurden die Grenzen des Einsatzes von Standardbasismaterialien in den bleifreien Lötprozessen mit ZinnSilberKupfer-Loten (i.e. SAC-Lote) bzw. ZinnKupfer-Loten (i.e. SC-Lote) untersucht.

Lagenaufbau der Testboards

Dazu wurde in der Projektgruppe "Design" ein 8 Lagen-Testboard entworfen und mit dem jeweiligen Standardbasismaterial der 6 beteiligten Hersteller in verschiedenen Lagenaufbauvarianten produziert. Als Standardbasismaterial wurde dabei ein Material betrachtet, welches bei den beteiligten Leiterplattenherstellern *dann* eingesetzt wird, wenn keine speziellen Anforderungen durch den Kunden in der Bestellung festgelegt sind.

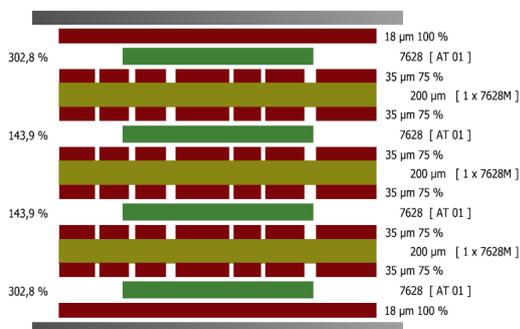
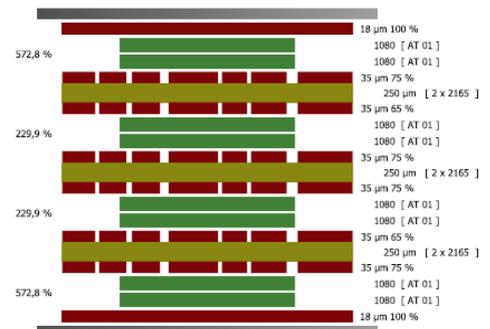


Bild 4-1 Lagenaufbau 1 :
8ML mit 1x Prepreg 7628
Harzgehalt 45%



Lagenaufbau 3 :
8ML mit 2x Prepreg 1080
Harzgehalt 64%

Die untersuchten Multilayer unterschieden sich jeweils im Harzgehalt der Prepregs. Die Bilder der Lagenaufbauten zeigen die beiden am häufigsten verwendeten Aufbauten (Bild 4-1).

Testverfahren und Temperaturprofil

Moderne elektronische Baugruppen mit einem komplexen Spektrum an Bauteilen erleben während der Fertigung sehr häufig mehrere Lötprozesse und sollen in der Regel auch durch einen möglicherweise erforderlichen Bauteilaustausch nicht geschädigt werden.

Daher hat sich allgemein durchgesetzt, daß Leiterplatten, die ohne Einschränkungen für bleifreie Lötprozesse einsetzbar sein sollen, mindestens 6 thermische Belastungen ohne Beschädigung überstehen müssen.

Für die Tests einigte man sich auf das Qualifikationsprofil aus J-STD-020, mit dem auch elektronische Bauteile auf eine ausreichende Lötwärmebeständigkeit getestet werden (260°C, min. 30 sec. über 255°C, ca 100 sec. über dem Liquidus von SAC-Loten).

Um eine bessere Aussagekraft der Testergebnisse zu erreichen, wurden die Versuche sowohl bei einem Baugruppenproduzenten (...der Firma TAUBE ELECTRONIC) wie auch am Fraunhofer ISIT in Itzehoe durchgeführt.

Damit sichergestellt war, daß die Testmuster an beiden Orten die gleiche thermische Belastung erfuhren, wurden die Belastungsprofile zur Kontrolle grafisch überlagert, wie das in der folgenden Abbildung erkennbar ist (Bild 4-2).

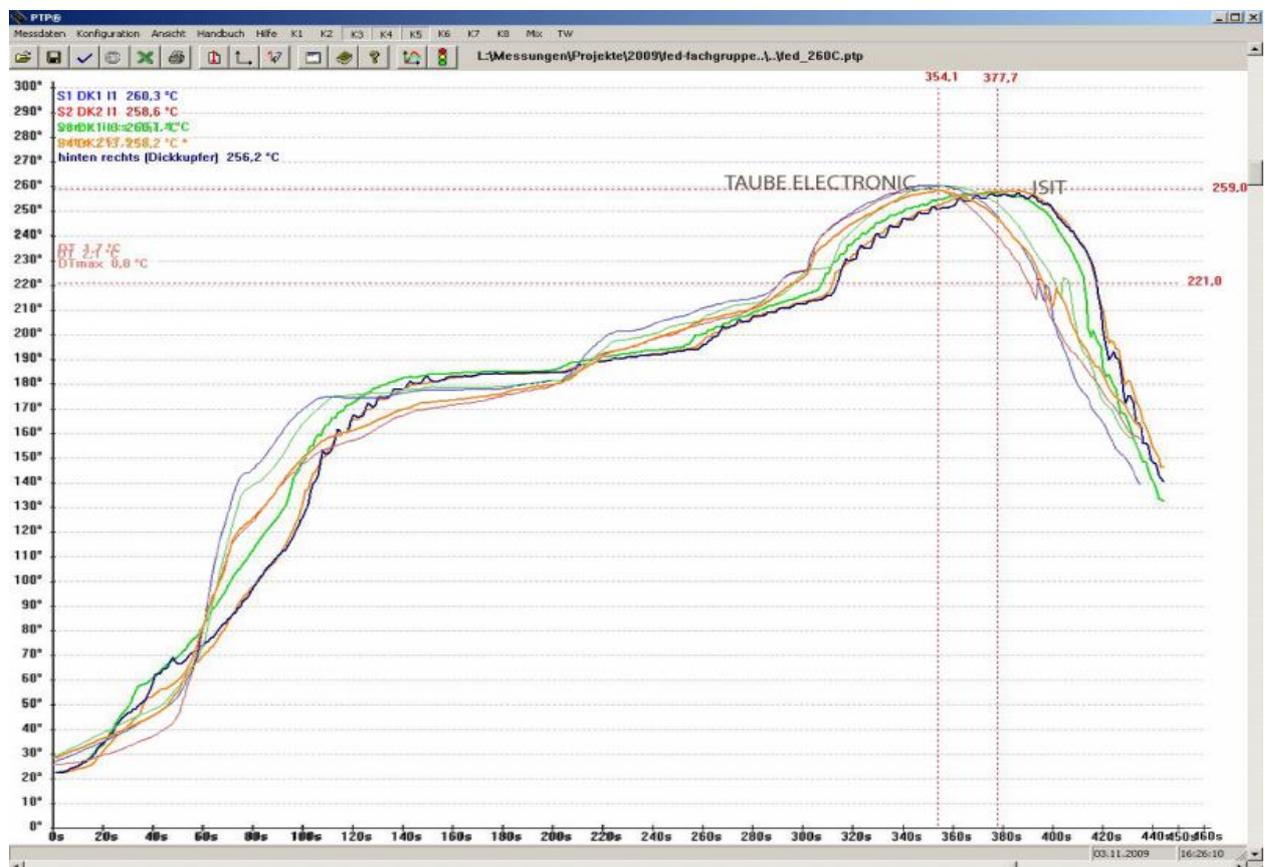


Bild 4-2 260°C Qualifikationsprofile TAUBE ELECTRONIC & ISIT grafisch überlagert

Ergebnisse

Die Ergebnisse der Belastungstests sind in den folgenden Tabellen dargestellt (Bild 4-3, Bild 4-4). Die Tests am Fraunhofer ISIT erfolgen ca. ½ Jahr später als bei TAUBE ELECTRONIC.

| Firma | Basismaterial- Hersteller | Basismaterial Typ | STII | LA | P1/260° | P2/260° | P3/260° | P4/260° | P5/260° | P6/260° | F/% |
|-------------|------------------------------|----------------------|------|----|---------|---------|---------|---------|---------|---------|------|
| Hersteller1 | Hersteller1 | Typ1 | 210 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0,37 |
| | Hersteller2 | Typ2 | 212 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0,26 |
| Hersteller2 | Hersteller3 | Typ3 | 180 | 4 | 0 | 0 | 1 | 1 | 1 | 1 | 0,24 |
| | Hersteller4 | Typ4 | 216 | 4 | 0 | 0 | 0 | 0 | 0 | 1 | 0,33 |
| Hersteller3 | Hersteller5 | Typ5 | 183 | ? | 0 | 0 | 0 | 0 | 0 | 1 | 0,17 |
| Hersteller4 | Hersteller6 | Typ6 | 176 | ? | 0 | 1 | 1 | 1 | 1 | 1 | 0,17 |
| Hersteller5 | Hersteller3 | Typ7 ¹⁾ | 188 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0,25 |
| | Hersteller3 | Typ7 ¹⁾ | 188 | 2 | 0 | 0 | 0 | 0 | 0 | 1 | 0,25 |
| | Hersteller3 | Typ7 ¹⁾ | 188 | 3 | 0 | 0 | 0 | 0 | 0 | 0 | 0,19 |
| Hersteller6 | Hersteller5 | Typ8 | 208 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0,19 |
| | Hersteller4 | Typ4 | 216 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0,22 |

Bild 4-3 Ergebnisse der 260°C Belastungstests bei TAUBE ELECTRONIC

| Firma | Basismaterial- Hersteller | Basismaterial Typ | STII | LA | P1/260° | P2/260° | P3/260° | P4/260° | P5/260° | P6/260° | F/% |
|-------------|------------------------------|----------------------|------|----|---------|---------|---------|---------|---------|---------|------|
| Hersteller1 | Hersteller1 | Typ1 | 210 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0,29 |
| | Hersteller2 | Typ2 | 212 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0,27 |
| Hersteller2 | Hersteller3 | Typ3 | 180 | 4 | 1 | 1 | 1 | 1 | 1 | 1 | 0,21 |
| | Hersteller4 | Typ4 | 216 | 4 | 0 | 0 | 1 | 1 | 1 | 1 | 0,33 |
| Hersteller3 | Hersteller5 | Typ5 | 183 | ? | 0 | 0 | 0 | 0 | 1 | 1 | - |
| Hersteller4 | Hersteller6 | Typ6 | 176 | ? | 1 | 1 | 1 | 1 | 1 | 1 | 0,20 |
| Hersteller5 | Hersteller3 | Typ7 ¹⁾ | 188 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0,16 |
| | Hersteller3 | Typ7 ¹⁾ | 188 | 2 | 0 | 0 | 0 | 1 | 1 | 1 | 0,18 |
| | Hersteller3 | Typ7 ¹⁾ | 188 | 3 | 0 | 0 | 0 | 0 | 1 | 1 | 0,24 |
| Hersteller6 | Hersteller5 | Typ8 | 208 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | - |
| | Hersteller4 | Typ4 | 216 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | - |

Bild 4-4 Ergebnisse der 260°C Belastungstests am FHG-ISIT

Zusammengefaßt lassen sich aus der Untersuchung die folgenden Schlußfolgerungen ziehen :

1. "Standardbasismaterialien" (Spezifikation nur "FR4") sind ein erheblicher Risikofaktor in den bleifreien Lötprozessen mit SAC/SC-Loten
2. Aufbauten mit harzarmen Prepregs (1x 7628) delaminieren deutlich früher als Aufbauten mit harzreichen Prepregs (2x 1080)
3. Gleichmäßiger und höherer Kupferbelag auf den Layern verbessert das Delaminationsverhalten
4. Das Trocknen der Leiterplatten verbessert das Delaminationsverhalten nur um 1-2 Belastungsstufen

5. Die längere Lagerung von Leiterplatten (...über mehrere Monate) führt zu einer früheren Delamination der Multilayer

Risikominimierung

Eine Vermeidung der in dem Projekt deutlich gewordenen Risiken ist nur durch eine bessere Kommunikation zwischen Leiterplattendesignern, Leiterplattenherstellern und Baugruppenproduzenten zu erreichen.

Dazu sind in allen Gruppen erweiterte Kenntnisse erforderlich:

Der **Leiterplattendesigner** muß das Basismaterial abhängig von den elektrophysikalischen Anforderungen (z.B. Signalintegrität), der Produkteinsatzumgebung und der Wärmebelastung durch die Verarbeitungs- und Lötprozesse festlegen.

Der **Leiterplattenhersteller** muß wissen, wie die Leiterplatte während der Baugruppenfertigung thermisch belastet wird, wenn er die Materialauswahl vornehmen soll.

Der **Baugruppenproduzent** muß die Materialeigenschaften der Leiterplatte und ihres Lagenaufbaus kennen, damit er die dafür geeigneten Lötverfahren auswählen und die Risiken des Materials erkennen und minimieren kann

Die Untersuchungsergebnisse zeigen ganz deutlich, daß eine pauschale Spezifikation von Basismaterial nur mit dem Begriff "FR4" ein erhebliches Risiko darstellt.

Der international bekannte Zuverlässigkeitsexperte Werner Engelmaier hat in einer Reihe von Veröffentlichungen in den letzten Jahren auf die große Bedeutung insbesondere der Lamineigenschaften "Td" (i.e. Materialersetzungstemperatur) und Zcte (i.e. Z-Achsenausdehnung) ergänzend zum "Tg"-Wert hingewiesen und für eine erste Einschätzung der Brauchbarkeit von Basismaterialien für SAC/SC-Lötprozesse den sogenannten "Solder Temperature Impact Index", kurz : STII, entwickelt.

Dieser stellt einen Indikator für die Überlebensfähigkeit (= Survivability) von Materialien in bleifreien Lötprozessen mit SAC- & SC-Loten dar und berechnet sich nach folgender Formel :

$$\text{STII} = (\text{Tg}(\text{TMA}) + \text{Td})/2 - 10 \times \text{Zcte}(50 - 260 \text{ °C})$$

Der STII sollte für die uneingeschränkte Einsatzfähigkeit eines Basismaterials in bleifreien Lötprozessen mit SAC-/SC-Loten mindestens den Wert "215" haben.

Die für die Berechnung erforderlichen Materialparameter sind zunehmend in den Basismaterialdatenblättern zu finden, so daß heute jeder Anwender den "Solder Temperature Impact Index" eines Materials ohne große Schwierigkeiten selbst ermitteln kann.

Zu beachten ist dabei, daß Engelmaier in seiner Formel mit dem "Tg" gemessen nach der "TMA"-Methode rechnet, während die meisten Datenblattangaben den "Tg" gemessen nach der "DSC"-Methode angeben. Weil die "DSC"-Meßmethode aber einen um ca. 10 höheren Wert ergibt, muß für die Berechnung mit der Engelmaier-Formel also der DSC-Wert um 10 reduziert werden.

Wie sich gezeigt hat, spielt neben der thermischen Belastbarkeit des Basismaterials vor allem der Harzgehalt der Prepregs eine entscheidende Rolle. Daher sollten Lagenaufbau-Konstruktionen mit

nur einem einzigen harzarmen Prepreg möglichst vermieden werden, wenn die Leiterplatten in den Fertigungsprozessen mehrfach hohen Löttemperaturen ausgesetzt werden müssen.

Solche Aufbauten mit nur einem Prepreg sind zwar preiswerter, stellen aber auch ein größeres Risiko dar und sollten mit dem Leiterplattenhersteller unter Betrachtung aller Verarbeitungsbelastungen festgelegt werden damit Delaminationen mit Sicherheit vermieden werden (Bild 4-5).

Es zeigt sich weiterhin, daß es durch eine längere Lagerung offensichtlich zu Veränderungen in den Materialien kommen kann, die auch durch Trocknung nicht mehr zu kompensieren sind. Daher wäre eine weitere Maßnahme zur Vermeidung des Delaminationsrisikos, die Lagerzeiten der Leiterplatten bis zur Produktion der Baugruppen zu reduzieren und vor allem auch zwischen den Lötprozessen die Lagerzeiten möglichst kurz zu halten.

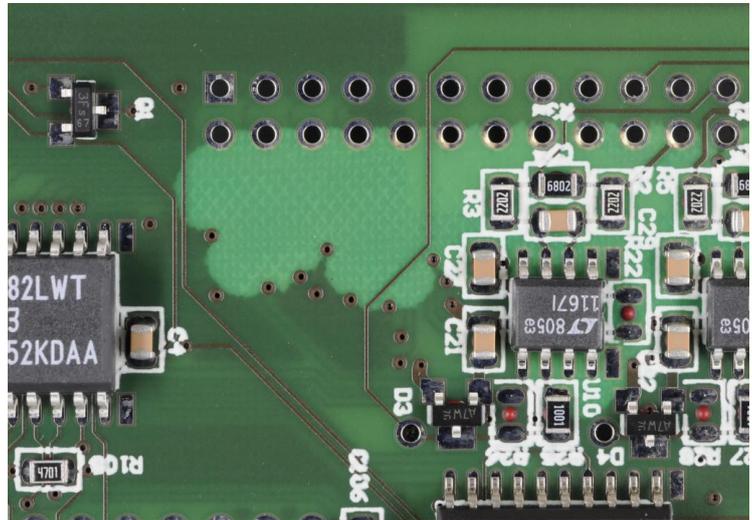


Bild 4-5 Delamination auf den äußeren ML-Lagen

Hinweis

Wenn Sie wissen wollen, wie groß der Sicherheitsbereich einer konkreten Leiterplatte ist, bzw. wie weit Sie sich mit Ihren Lötprozessen vom Ausfall entfernt bewegen, können Sie ohne größeren Aufwand folgenden Versuch machen :

Nehmen Sie 8 Leiterplatten aus dem zu untersuchenden Fertigungslos.

Trocknen Sie die Hälfte davon 24 Stunden bei 120°C.

Belasten Sie anschließend die Testmuster mit dem 260° Profil aus J-STD-020 so oft, bis die erste Leiterplatte delaminiert.

Mit diesem Versuch können Sie auf einfache Weise ermitteln, wie groß der Sicherheitsabstand in Ihrem Fertigungsprozeß für den konkreten Typ von Leiterplatten ist und in wieweit eine Trocknung der Leiterplatten das Delaminationsrisiko vermindern kann.

Natürlich kann dieser Versuch mit etwas eingeschränkter Aussagekraft auch mit einer geringeren Anzahl von Testmustern durchgeführt werden.

