

# 15. FED – Konferenz

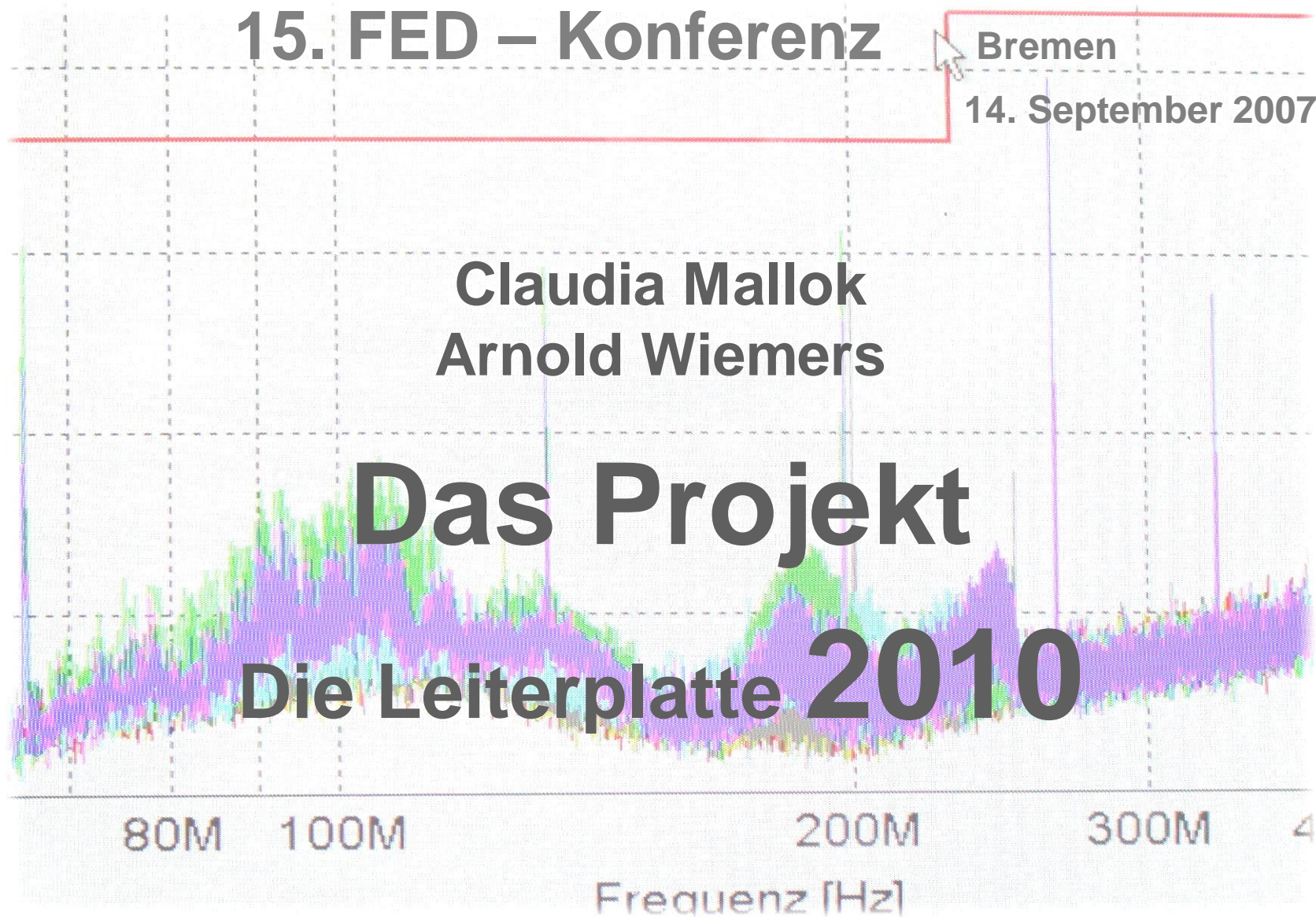
Bremen

14. September 2007

Claudia Mallok  
Arnold Wiemers

## Das Projekt

# Die Leiterplatte 2010



# 1. Anforderungen an Baugruppen

## Geschwindigkeit und Integration

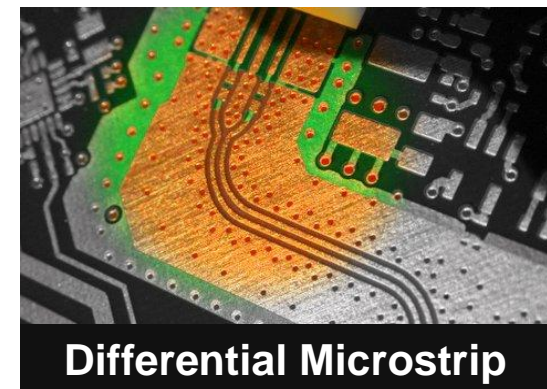
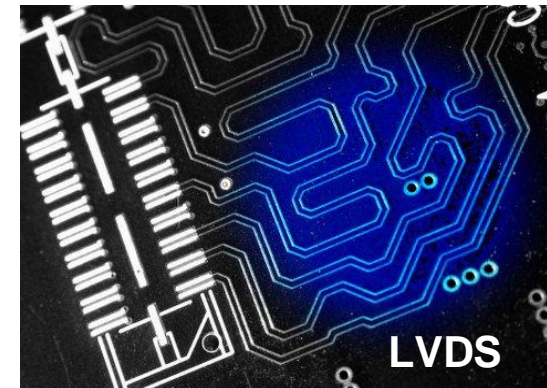
- ◆ Die zunehmende Leistung der integrierten Bauteile verändert die Anforderungen an das physikalische Umfeld der Leiterplatte.
- ◆ Bei Übertragungsfrequenzen  $> 1$  GHz, bei Pulsanstiegszeiten  $< 3$  ns und bei Datenraten  $> 1$  GBit müssen elektronische Baugruppen als High-Speed-Schaltungen/Baugruppen eingestuft werden.
- ◆ Für die Konstruktion von Leiterplatten müssen heute strategische und funktionale Aspekte beachtet werden.



## 1.2 High-Speed-Baugruppen

### Einsatzbereiche für High-Speed-Baugruppen

- ◆ **Hohe Datentransferraten (> 4GBit/s)**
  - Bildbearbeitung
  - Digitales Fernsehen / HDTV
- ◆ **Hochfrequente Ereignisse (> 15 GHz)**
  - Sensortechnik
  - Fahrerassistenzsysteme
  - Abstandsradar



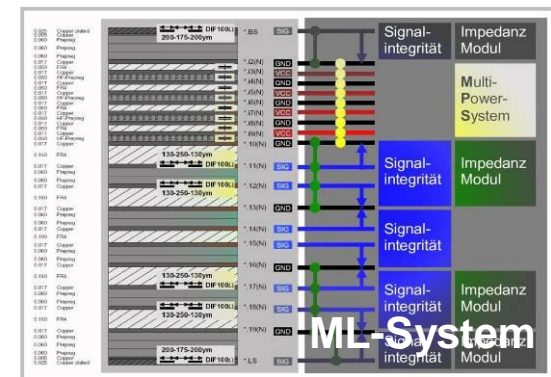
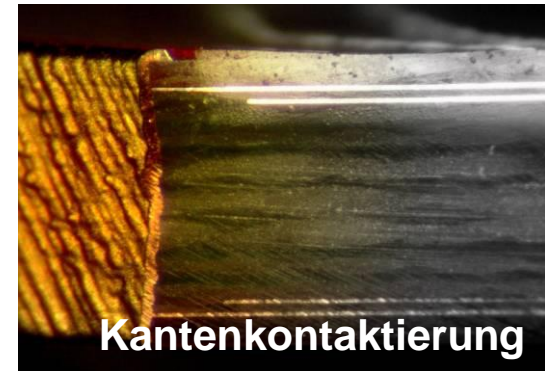
Anwendungen finden sich in allen Technologiebereichen :  
Medizintechnik, Luft- & Raumfahrt, Maschinenbau, Sicherheitstechnik,  
Automotive, Steuer- und Regeltechnik, Unterhaltungselektronik, Film  
und Fernsehen, Transportwesen, Kommunikationstechnik, Hausbau



# 1.3 Strategische Optionen

## Physikalische Anforderungen

- ◆ **Impedanz**  
SingleEnded Impedanzen  
Differentielle Impedanzen
  
- ◆ **EMV**  
Abschirmung / Kantenkontaktierung
  
- ◆ **Kapazitive Powerplanes**  
Breitbandentkopplung  
Entwärmung
  
- ◆ **Signalintegrität**  
Funktionsstabilität



## 2. Das Projekt „Die Leiterplatte 2010“

### Die Idee

Die „LP2010“ steht als Synonym für die Applikationsplattform „Meltemi“ der Fa. Unit^el aus Graz.

In der ELEKTRONIKPRAXIS wurden 14 Kapitel über die gesamte Entwicklung dieser Baugruppe vom Layout bis zum EMV-Test veröffentlicht.

Die Autoren haben Entscheidungshilfen gegeben und Alternativen beschrieben, die bei einer so komplexen Herausforderung eine erfolgsversprechende Lösung für eine stabile Board-Hardware darstellen. Es ist die **Idee** entstanden, die „LP2010“ als praxisbezogenes Gemeinschaftsprojekt über einen längeren Zeitraum mit mehreren Partnern weiterzuführen.



## 2.1 Das Projekt „Die Leiterplatte 2010“

### Vorgaben aus dem Umfeld

- 1** Die Konstruktion einer komplexen elektronischen Baugruppe ist eine große Herausforderung für jeden Entwickler, der am CAD-System die Fortschritte in der Entwicklung der Bauteiltechnologie und die Möglichkeiten der Leiterplattenproduktion in der Layoutgestaltung zusammenführen muß.
- 2** Die Diskussionen rund um „Die Leiterplatte 2010“ zeigen, daß die Vorstellungen über die Konstruktion einer komplexen Baugruppe sehr unterschiedlich sind.
- 3** Die Layouter/innen unterschätzen oft, daß die **fachliche Kompetenz** im Vorfeld einer Entwicklungsarbeit fundiert sein muß. Schon die Planung für eine neue Schaltung muß auf einer intensiven Bauteilrecherche aufsetzen.



## 2.2 Das Projekt „Die Leiterplatte 2010“

### Vorgaben aus dem Umfeld

- 4** Das Projekt soll auch prüfen, ob die Anforderungen an die Fähigkeiten einer **CAD-Software** zu niedrig angesetzt werden. Die volle Leistung eines CAD-Programms ist oft in der Basisversion nicht verfügbar.
- 5** Es ergibt sich ein Handlungsbedarf für die **Leiterplattenhersteller**. Der Stand der aktuellen Leiterplattentechnik ist anscheinend weitestgehend unbekannt. Etliche Optionen für die strategische Verbesserung der Eigenschaften von Baugruppen werden nicht genutzt.
- 6** Die **Baugruppenproduktion** hat sich in den letzten Jahren stark weiterentwickelt und diversifiziert. Die notwendigen Vorgaben an ein Layout bleiben jedoch oft unbeachtet. Hier kann und muß die Öffentlichkeitsarbeit verstärkt werden.



## 2.3 Das Projekt „Die Leiterplatte 2010“

### Vorgaben aus dem Umfeld

- 7** Die möglichen Chancen einer **autodidaktischen Schulung** auf CAD-Systeme, Leiterplattentechnik und Baugruppenproduktion werden überbewertet. Die Aufgabenstellung ist heute so komplex, daß eine sach- und fachgerechte Anwendung ohne professionelle Unterstützung und Förderung kaum noch umsetzbar ist.
  
- 8** Die **Weiterbildung** auf der Ebene der Fachunternehmen sowie auf der Ebene fachorientierter Dienstleister wird in den nächsten Jahren an Bedeutung gewinnen.





## 2.4 Das Projekt „Die Leiterplatte 2010“

### Die Aufgabe

Die Projektteilnehmer sind der Überzeugung, daß nur die gemeinsame, partnerschaftliche Herangehensweise an ein progressives Projekt die erhofften Erfolge verspricht.

**Die Aufgabe ist :**

**Mehrere Partner entwickeln das CAD-Layout für die „LP2010“ parallel auf ihren Tools nach.**

Während der Laufzeit der CAD-Entwicklung wird die Vorgehensweise in Projekttagbüchern protokolliert und dokumentiert.

Es wird eine der wichtigen Aufgabenstellungen sein, zu beschreiben, welche Kompetenz seitens eines/einer Layouters/in erforderlich ist, um eine solche CAD-Konstruktion umzusetzen.



## 2.5 Das Projekt „Die Leiterplatte 2010“

### Die Mitglieder der Projektgruppe „LP2010“

**unit<sup>^</sup>el**

**Unit<sup>^</sup>el**

Graz  
Herr Gerhard Eigelsreiter

Beratung, Projektkompetenz  
Veröffentlichung, Seminare

**ELEKTRONIK  
PRAXIS**

**ELEKTRONIKPRAXIS**

Vogel Industrie Medien  
Würzburg  
Frau Claudia Mallok

Projektleitung, Print-Medien  
Diskussionsforum im Internet  
Webcast, Abschlußpräsentation

**F E D**

**FED**

Berlin  
Herr Dr. Hartmut Poschmann

Beratung, Forum  
FED-Konferenz

**DesConTec**  
Design Consulting Technologie

**DesConTec GmbH**

München-Grafring  
Herr Ronald Weber  
Herr Martin Wrchotka

CAD-Layout  
Leiterplattenkonstruktion

**ILFA**  
Feinstleitertechnik

**ILFA GmbH**

Hannover  
Frau Jennifer Vincenz  
Herr Arnold Wiemers

CAD-Layout,  
Leiterplattentechnologie  
Assistenz zur Projektleitung



## 2.6 Das Projekt „Die Leiterplatte 2010“

### Die Mitglieder der Projektgruppe „LP2010“



**Taube Electronic GmbH** CAD-Layout  
Berlin Beratung  
Herr Rainer Taube Leiterplattenkonstruktion  
Frau Lange Bestückung der Baugruppen  
Herr Paape



**IDS** CAD-Layout  
Schwalbach a. Ts. Leiterplattenkonstruktion  
Herr Thomas Fend



**LeiterplattenAkademie** Veröffentlichungen, PR  
Berlin Seminare, Marketing  
Frau Kathrin Fechner



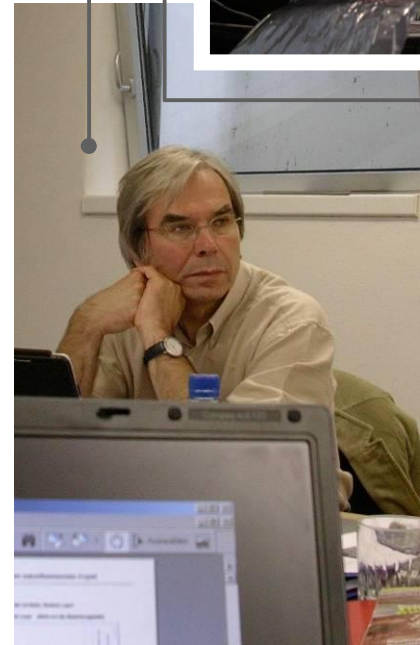
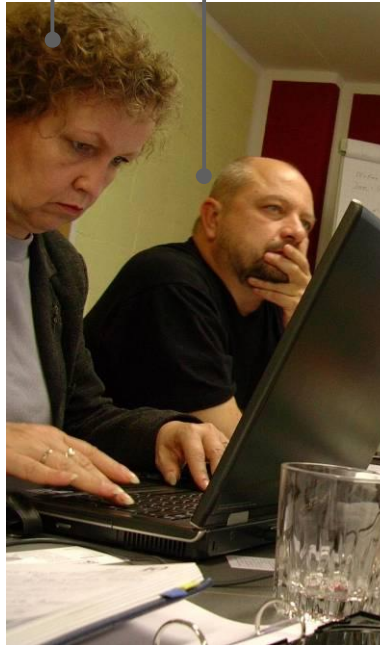
**ILFA Akademie** Veröffentlichungen, Marketing  
Hannover Tutorials  
Frau Katja Nordhausen



## 2.7 Das Projekt „Die Leiterplatte 2010“

### Einige Mitglieder der Projektgruppe „LP2010“

- Jennifer Vincenz
- Roland Krammer
- Gerhard Eigelsreiter
- Gerd Prillwitz
- Ronald Weber
- Rainer Taube
- Thomas Fend



## 2.8 Das Projekt „Die Leiterplatte 2010“

### Veröffentlichung der Zwischenergebnisse

Das Projekt läuft im ersten Abschnitt effektiv über zirka 8 Monate. Die Projektfortschritte werden kontinuierlich in der Fachzeitschrift ELEKTRONIKPRAXIS und in einem eigenen Fachportal im Internet veröffentlicht. Der Dialog mit den Lesern/Nutzern der Internetangebote der ELEKTRONIKPRAXIS und/oder der beteiligten Projektpartner ist erwünscht.

Über das begleitende offene Forum im Internet können Randaspekte des Projektes einbezogen werden, sodaß eine umfassende und komplette Betrachtung der Aufgabenstellung stattfinden kann.

Für das Projekt gibt es die eigene Domain : [www.leiterplatte2010.de](http://www.leiterplatte2010.de)

Die Teilergebnisse dieses Gemeinschaftsprojektes werden während der Projektlaufzeit von der ELEKTRONIKPRAXIS Online und in den Print-Ausgaben redaktionell begleitet.



## 2.9 Das Projekt „Die Leiterplatte 2010“

### Termine

|                  |  |
|------------------|--|
| 2007 Juli        | Startgespräch der Projektteilnehmer  |
| 2007 Juli/August | Beginn der Layoutarbeiten bei den Projektpartnern für das CAD-Layout       |
| 2007 September   | Abschlußgespräch. Layoutarbeiten der Projektteilnehmer                     |
| 2007 September   | Vorstellung des ersten Projektabschnittes zur FED-Konferenz in Bremen      |
| 2007 November    | Produktion der Leiterplatten (Fa. ILFA)                                    |
| 2007 Dezember    | Baugruppenbestückung (Fa. Taube)   |
| 2008 Februar     | EMV-Prüfung der Baugruppen (TGM, Wien)                                     |
| 2008 März/April  | Öffentliche Präsentation der Ergebnisse - VCC / ELEKTRONIKPRAXIS, Würzburg |



## 2.10 Das Projekt „Die Leiterplatte 2010“

### Kosten des Projektes

Jeder Projektteilnehmer kommt nach Möglichkeit selbst für seine Kosten auf. Ist das nicht möglich, dann muß eine Finanzierung in der Projektgruppe besprochen werden.

Voraussichtlich werden 8 bis 12 Baugruppen-Varianten hergestellt.

Die „ILFA Akademie“ und die "LeiterplattenAkademie GmbH" kommen für Satz- und Druckkosten, für Mailings und Referenten-Honorare selbst auf.

Die Fa. ILFA GmbH stellt die Leiterplatten zur Verfügung inklusive erforderlicher Materialbeistellung und produziert zu eigenen Lasten.

Die Bestückung der Leiterplatten übernimmt die Fa. Taube Electronic GmbH in Berlin zu eigenen Lasten.

Für die Beschaffung der elektronischen Bauteile bestehen Absprachen mit Unternehmen aus der Bauteil-Distribution.

Für den EMV-Test im TGM in Wien kommt die Projektleitung auf.



## 2.11 Das Projekt „Die Leiterplatte 2010“

### Unterstützung

Die Projektpartner erhalten externe Unterstützung :

| Projektpartner | Externes Unternehmen                      | Ansprechpartner                                |
|----------------|---|--|
| ILFA           | Fa. tecnotron                             | Herr Schulte                                   |
| TAUBE          | Polar Instruments                         | Herr Reischer                                  |
| DesConTec      | Fa. FlowCAD<br>Fa. Zitzmann<br>Fa. Ansoft | Herr Müller<br>Herr Hartmann<br>Herr Prillwitz |
| IDS            | Mentor Graphics<br>HS Gießen / privat     | Herr Menzel<br>Herr Prof. Thüringer            |





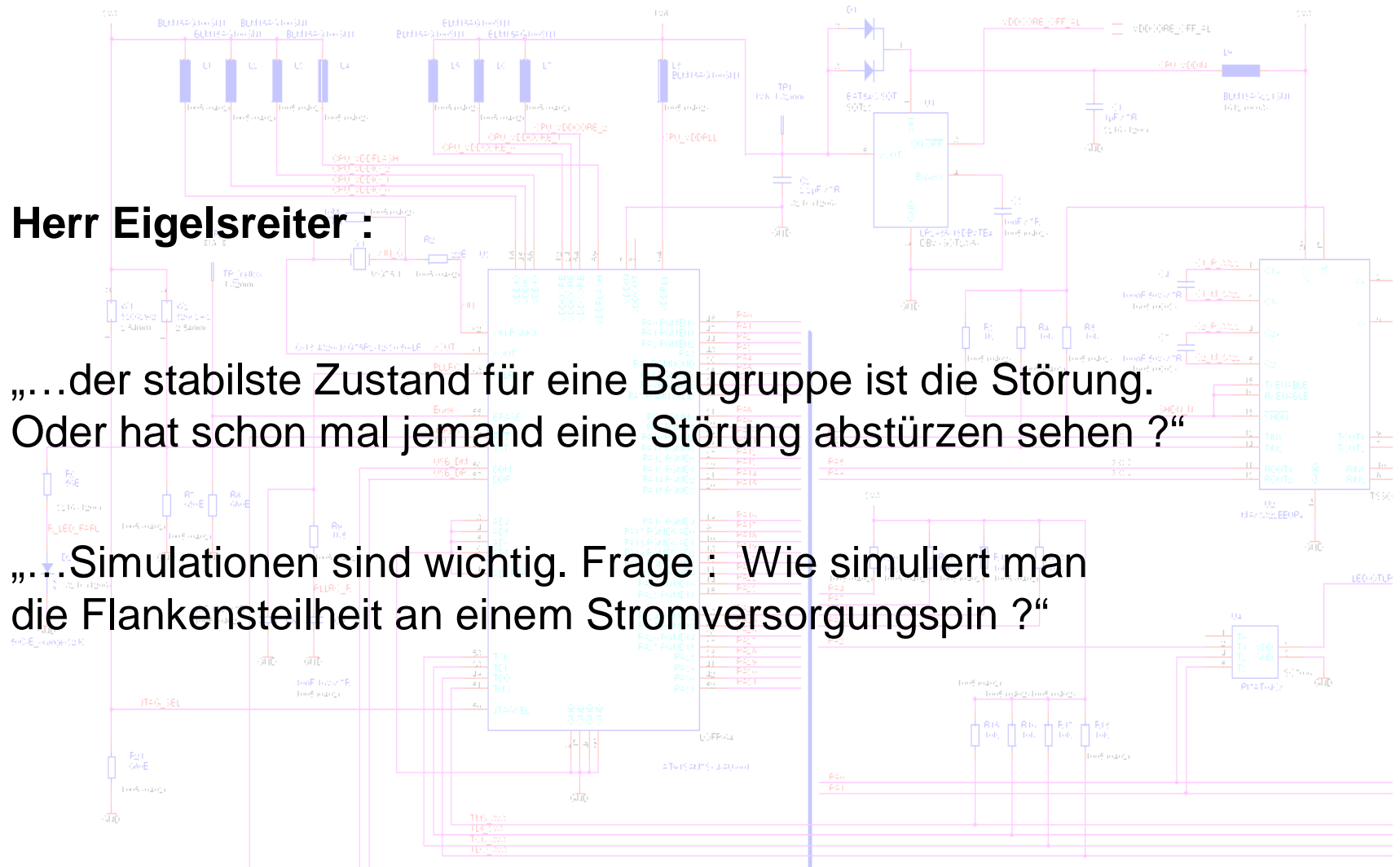
# 3. Schaltpläne und Baugruppenkonzept

**Aufgabe**    Schaltungskonzept, Bauteilauswahl, Beratung  
**Mitarbeiter**    Herr Gerhard Eigelsreiter    Herr Roland Krammer

**Herr Eigelsreiter:**

„...der stabilste Zustand für eine Baugruppe ist die Störung.  
Oder hat schon mal jemand eine Störung abstürzen sehen?“

„...Simulationen sind wichtig. Frage : Wie simuliert man  
die Flankensteilheit an einem Stromversorgungspin?“



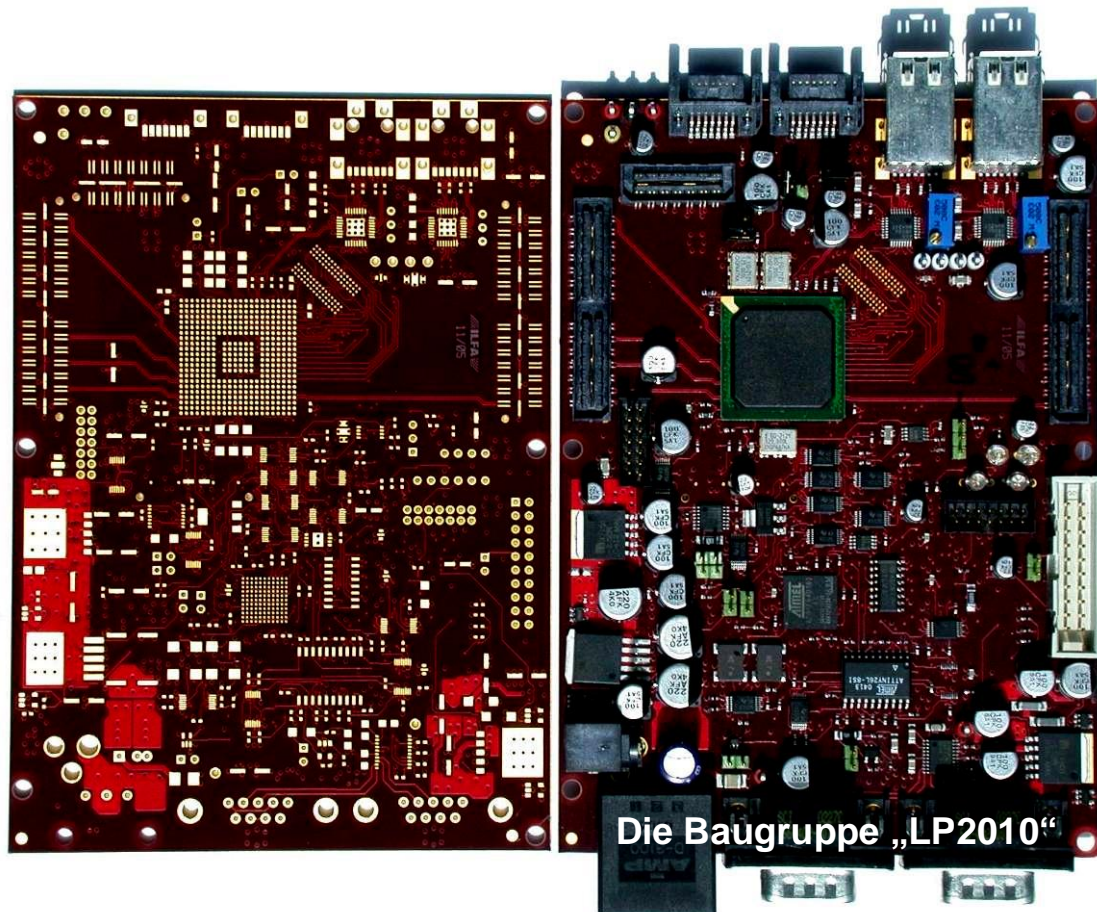
## 3.1 Schaltpläne und Baugruppenkonzept

### Die „Leiterplatte 2010“

Die „LP2010“ basiert auf er High-Speed-CPU „meltemi“ der Fa. Unit<sup>^</sup>el, einer Entwicklung von Herrn Gerhard Eigelsreiter.

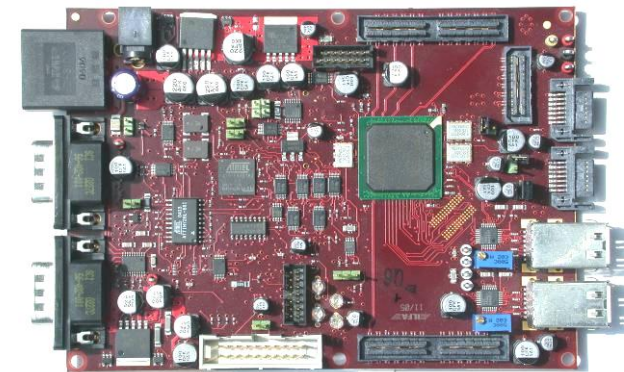
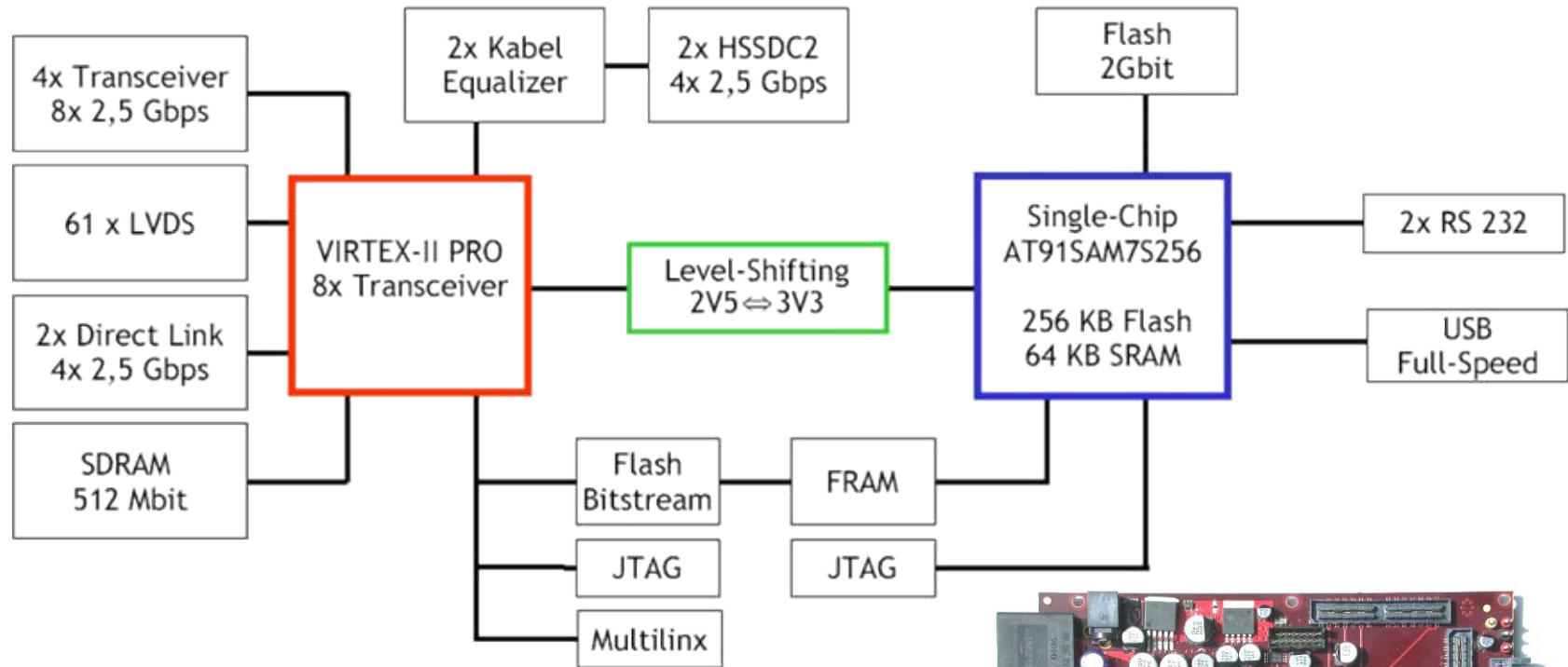
#### Eigenschaften

- ◆ Datatransfer > 4 GBit/s
- ◆ EMV-Stabilität
- ◆ Signalintegrität
- ◆ Impedanzdefiniert
- ◆ MPS
- ◆ C-Gruppen



# 3.2 Schaltpläne und Baugruppenkonzept

## Blockschaltbild



Das Blockschahtbild für die „LP2010“

# 3.3 Schaltpläne und Baugruppenkonzept

## Constraints und Prioritäten

4) Route through as few vias and crossunders as possible to minimize copper/solder thermocouple effects.

### Problem

- ◆ Forderungen sind schwer erfüllbar
- ◆ Anforderungen kollidieren

### Wer setzt die Prioritäten ?

Follow these guidelines to reduce the measurement error of the temperature sensor:

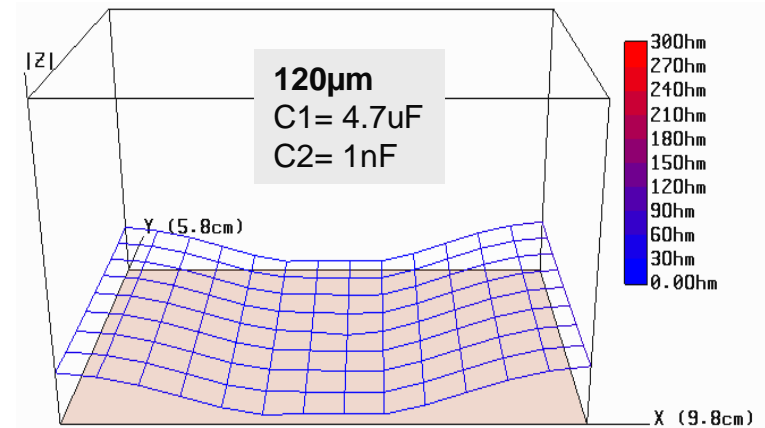
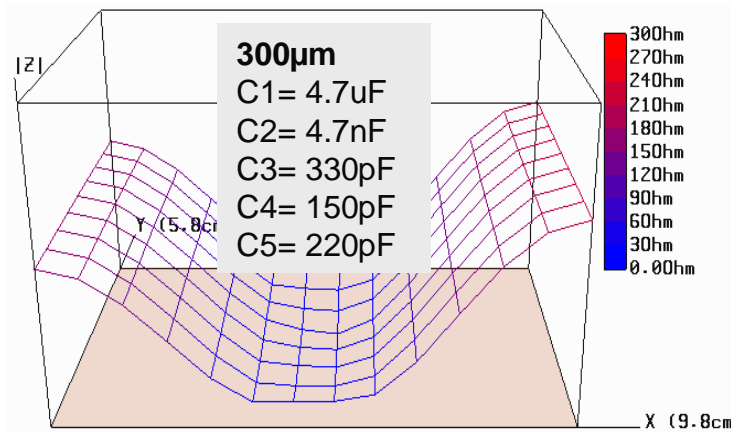
- 1) Place the MAX6646/MAX6647/MAX6649 as close as practical to the remote diode. In noisy environments, such as a computer motherboard, this distance can be as small as 100 mil (2.54 mm). This length can be increased to reduce noise sources are avoided. Noise can come from clock generators, memory buffers, and other sources.
- 2) Do not route traces adjacent to the deflection coils of a CRT. Also avoid routing traces across fast digital signals. Such traces can introduce 30°C error, even with good shielding. Do not route DXP and DDX traces close to each other, away from high-voltage traces, such as 12VDC. Leakage currents from PC board contamination must be dealt with carefully since a 20M $\Omega$  leakage path from DXP to ground causes about 1°C error. If high-voltage traces are unavoidable, connect guard traces to GND on either side of the DXP-DXX traces (Figure 4).
- 3) Route the DXP and DDX traces as close as possible to each other, away from high-voltage traces, such as 12VDC. Leakage currents from PC board contamination must be dealt with carefully since a 20M $\Omega$  leakage path from DXP to ground causes about 1°C error. If high-voltage traces are unavoidable, connect guard traces to GND on either side of the DXP-DXX traces (Figure 4).
- 4) Route through as few vias and crossunders as possible to minimize copper/solder thermocouple effects.
- 5) When introducing a thermocouple, make sure that both the DXP and the DDX paths have matching thermocouples. A copper-solder thermocouple exhibits 3 $\mu$ V/°C, and takes about 200 $\mu$ V of voltage error at DXP-DXX to cause a 1°C measurement error. Adding a few thermocouples causes a negligible error.
- 6) Use wide traces. Narrow traces are more inductive and tend to pick up radiated noise. The 10mil width and spacing recommended in Figure 4 are not absolutely necessary, as they offer only a minor improvement in leakage and noise over narrow traces. Use wider traces when practical.
- 7) Add a 200 $\Omega$  resistor in series with VCC for best noise filtering (see Typical Operating Circuit).
- 8) Copper cannot be used as an EMI shield; only ferrous materials such as steel work well. Placing a copper ground plane between the DXP-DXX traces and traces carrying high-frequency noise signals

6) Use wide traces. Narrow traces are more inductive and tend to pick up radiated noise. The 10mil widths and spacing recommended in Figure 4 are not absolutely necessary, as they offer only a minor improvement in leakage and noise over narrow traces. Use wider traces when practical.



# 3.4 Schaltpläne und Baugruppenkonzept

## Impedanz von Stromversorgungssystemen

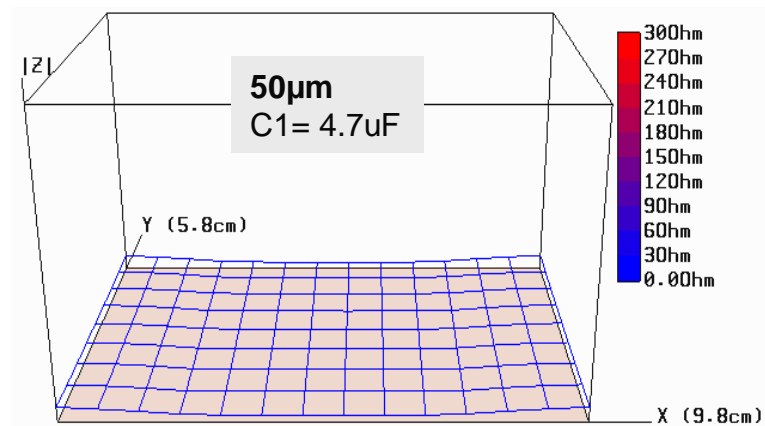


Berechnungen mit **Silent V.4.01**  
© Dirks Corporate Consulting

### Stromversorgungssysteme

Impedanz der 2.5V-Fläche  
(5.8 x 9.8 cm) für Lagenabstände  
von 300µm, 120µm und 50µm

Kondensatorgruppen X7R (Keramik)



## 3.5 Schaltpläne und Baugruppenkonzept

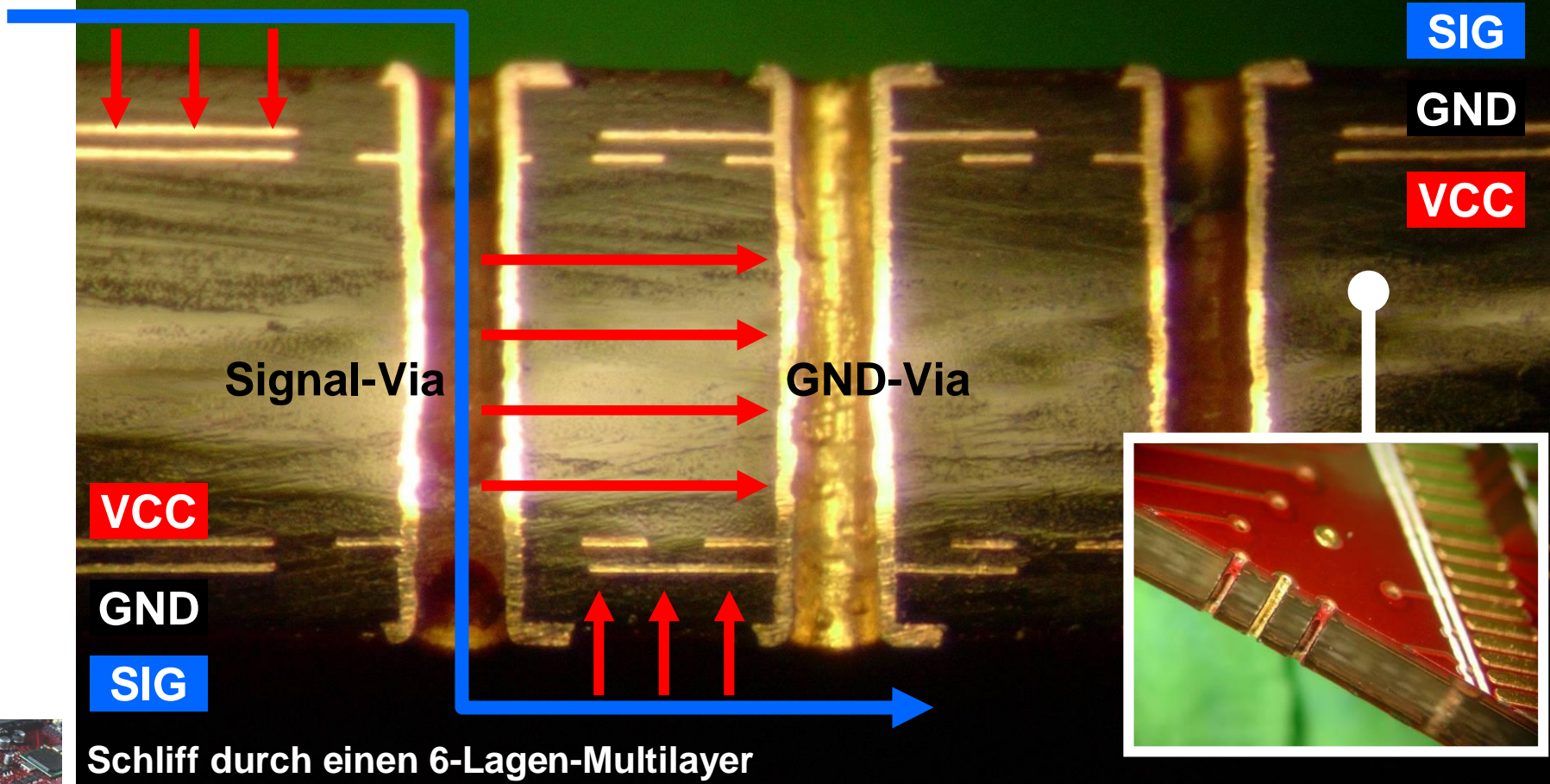
### MultiPowerSysteme bei der „LP2005“ / CERO



# 3.6 Schaltpläne und Baugruppenkonzept

## Rückstromwege über GND-Vias

Für eine höhere Signalintegrität können (müssen) die Rückstromwege über GND-Vias geführt werden.

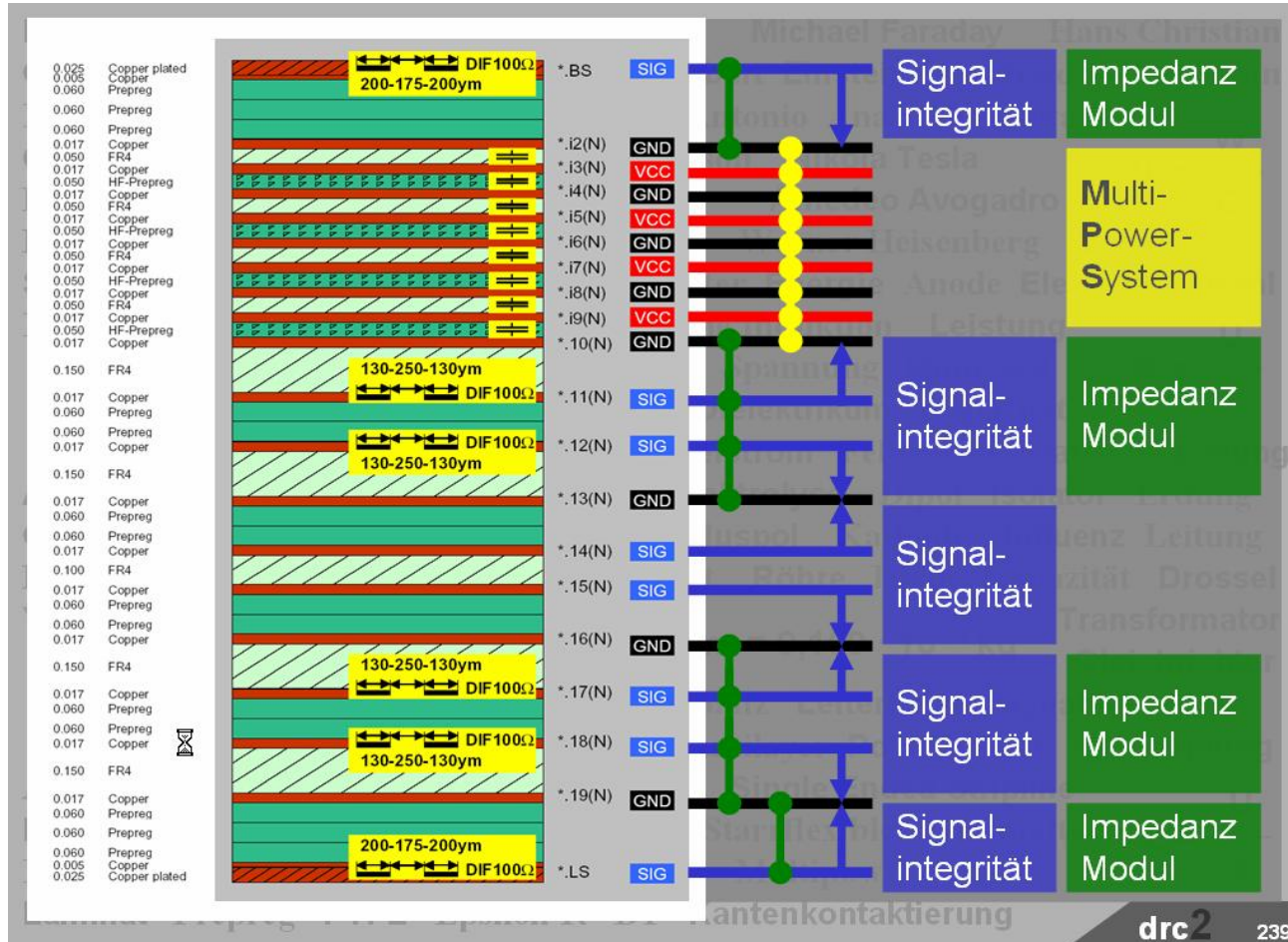


Schliff durch einen 6-Lagen-Multilayer



# 3.7 Schaltpläne und Baugruppenkonzept

## Lagenaufbau der „LP2010“



Die Eigenschaften eines Multilayers müssen **vor** Beginn der Layoutarbeit verbindlich definiert worden sein.





# 4. Simulation und CAD-Layout

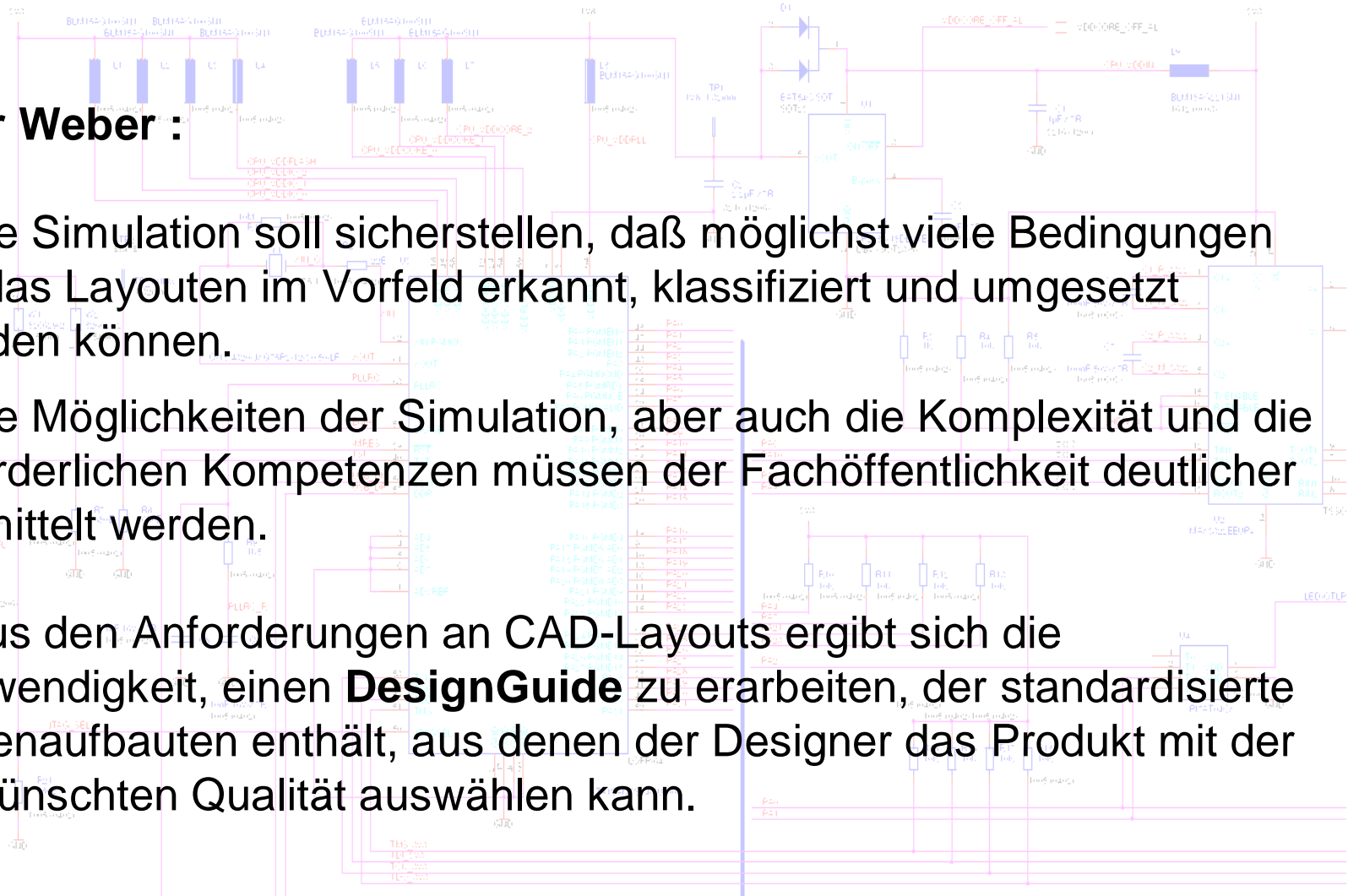
**Aufgabe** Simulation, CAD-Layouterstellung  
**Mitarbeiter** Herr Ronald Weber Herr Martin Wrchotka

**Herr Weber :**

...die Simulation soll sicherstellen, daß möglichst viele Bedingungen für das Layouten im Vorfeld erkannt, klassifiziert und umgesetzt werden können.

...die Möglichkeiten der Simulation, aber auch die Komplexität und die erforderlichen Kompetenzen müssen der Fachöffentlichkeit deutlicher vermittelt werden.

...aus den Anforderungen an CAD-Layouts ergibt sich die Notwendigkeit, einen **DesignGuide** zu erarbeiten, der standardisierte Lagenaufbauten enthält, aus denen der Designer das Produkt mit der gewünschten Qualität auswählen kann.

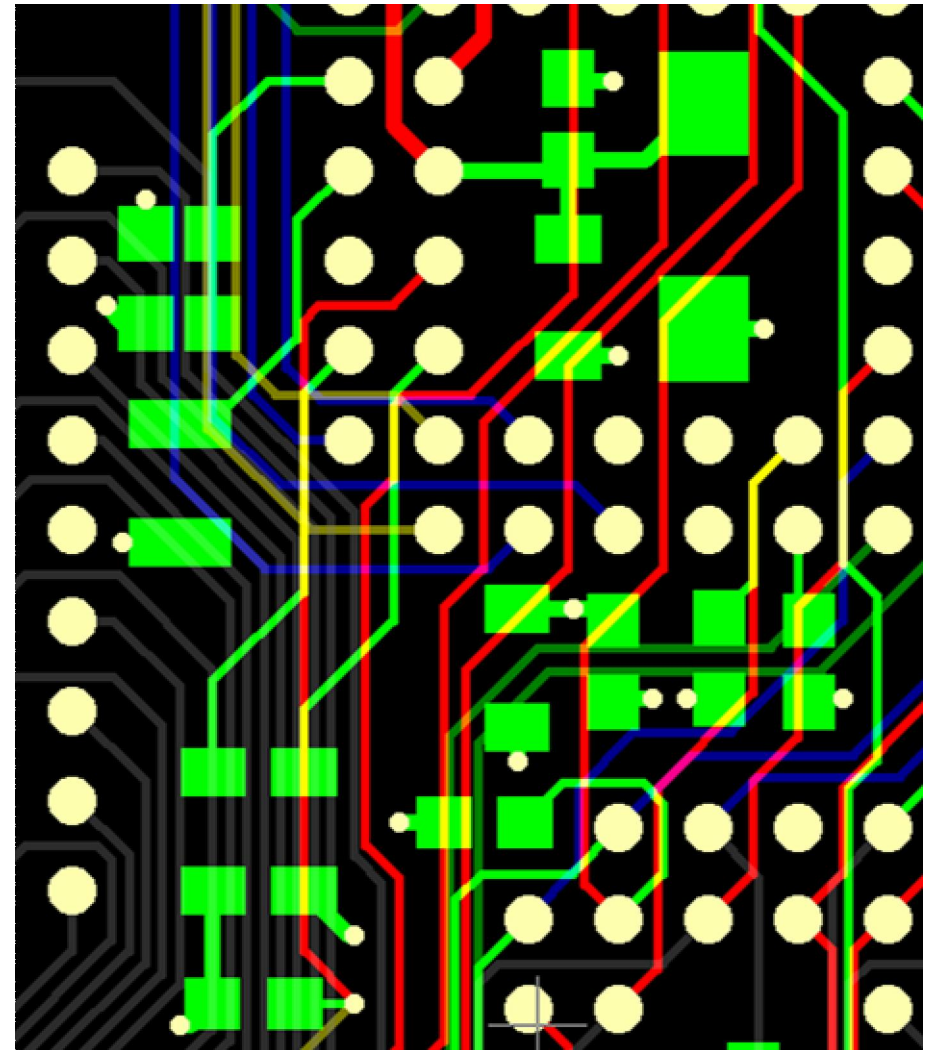


# 4.1 Simulation und CAD-Layout

## Der empfohlene Projektablauf

### Projektablauf

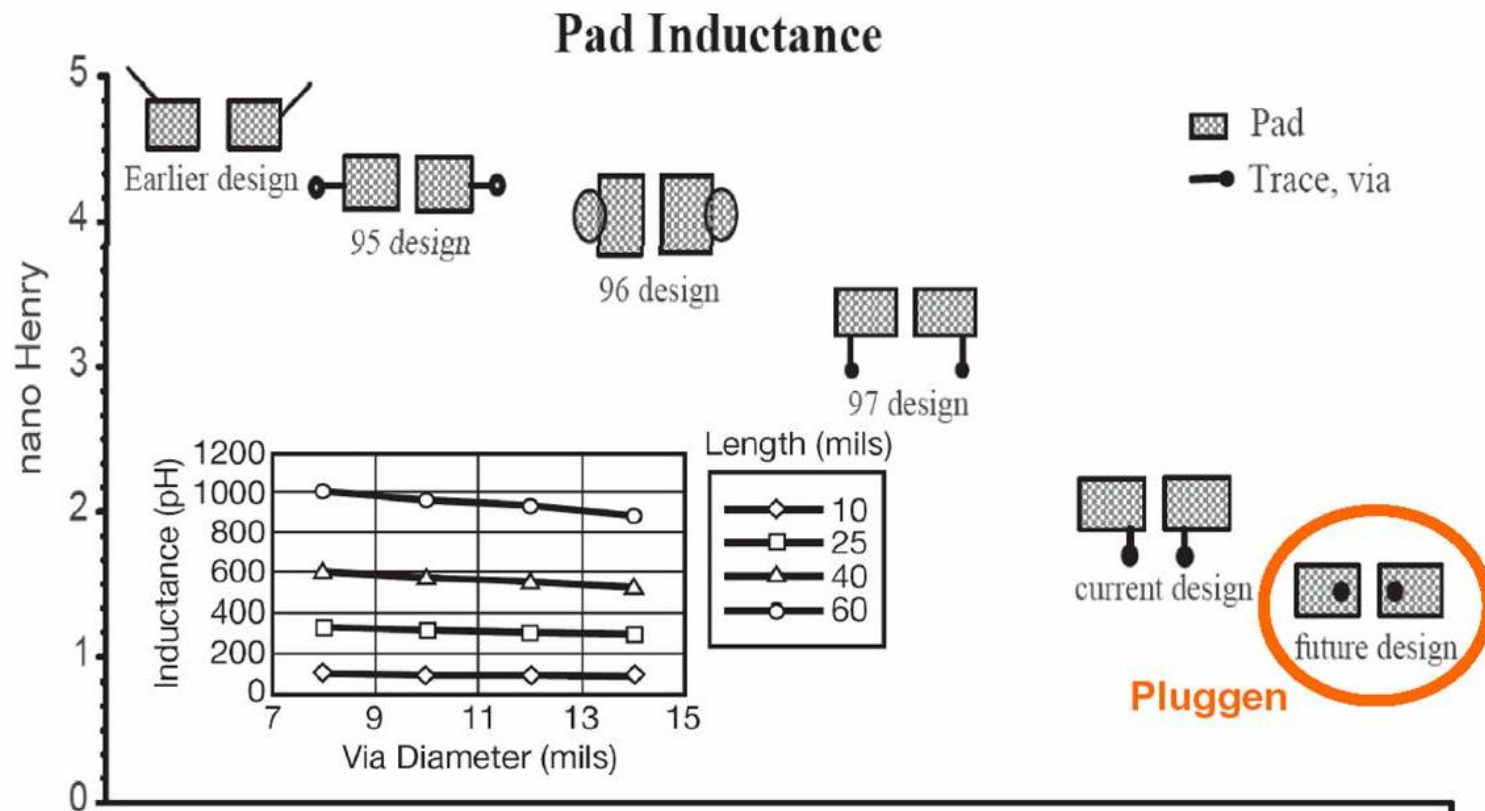
- ◆ Systemdesign
- ◆ Schaltungsdesign
- ◆ **Simulation**
- ◆ **CAD-Layout**
- ◆ Leiterplattentechnik
- ◆ Baugruppenproduktion
- ◆ Funktionstest



## 4.2 Simulation und CAD-Layout

### Berücksichtigung von Layoutgeometrien

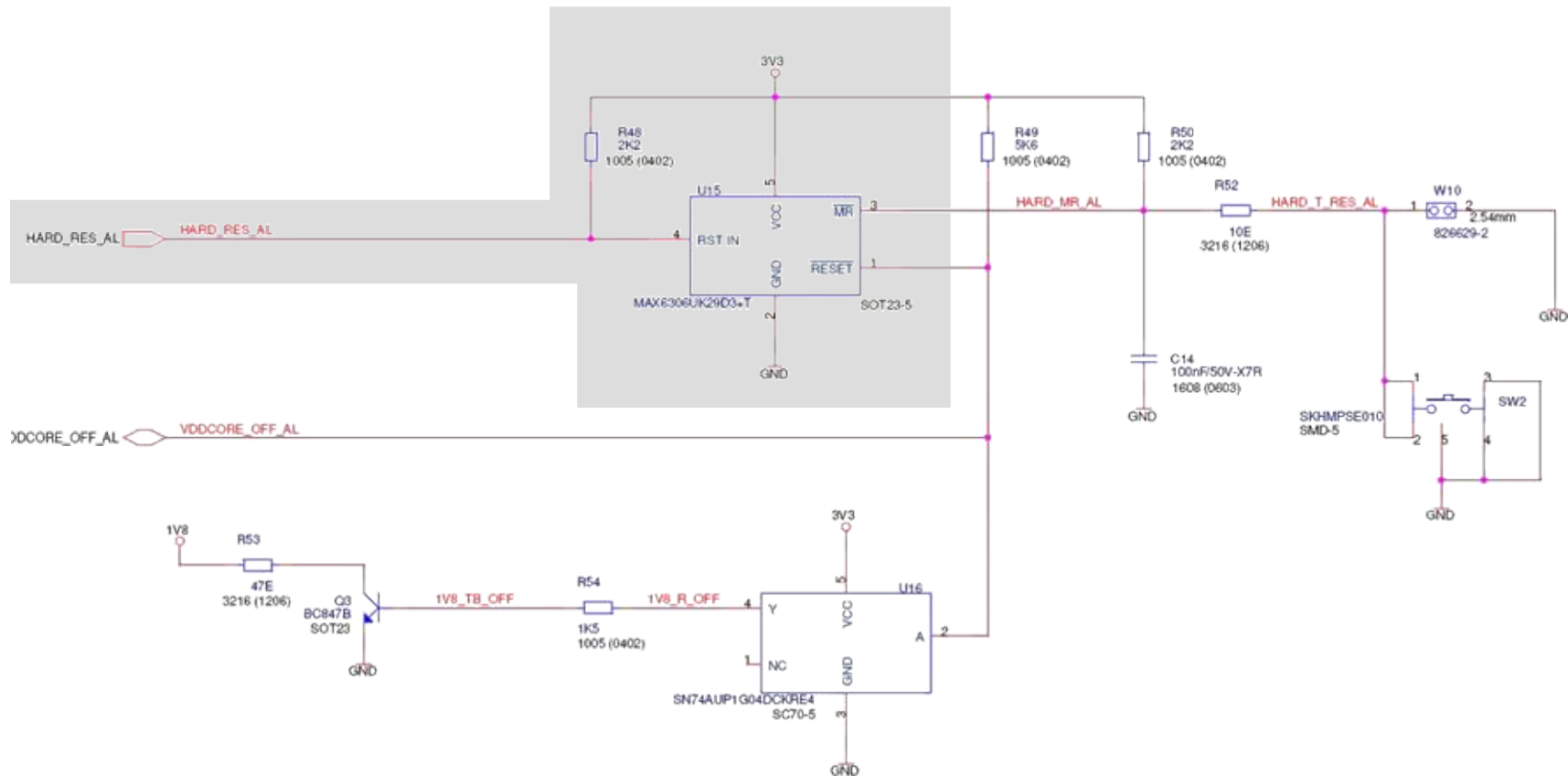
Die Simulation muß geometrische Layoutstrukturen abbilden können.



## 4.3 Simulation und CAD-Layout

### Anforderungen an eine Simulation

Wunsch : Alle Eigenschaften einer Schaltung simulieren zu können



## 4.4 Simulation und CAD-Layout

### Technische Eigenschaften von Basismaterialien

Quelle ISOLA AG

| Material-Beispiel          | FR4               | ISOLA | Duraver 104ML  |
|----------------------------|-------------------|-------|----------------|
| Flammklasse                | V0                |       |                |
| Halogenfrei                | nein              |       |                |
| Epsilon-R                  | 4.4-4.8           |       | bei 1MHz       |
| Epsilon-R                  | 4.2-4.5           |       | bei 1GHz       |
| Verlustfaktor $\tan\delta$ | 0.025             |       |                |
| Durchgangswiderstand       | $7.20 \cdot 10^5$ |       | Ohm            |
| Oberflächenwiderstand      | $1.60 \cdot 10^6$ |       | Ohm            |
| Durchschlagsfestigkeit     | 32                |       | kV/mm          |
| CTI Kriechstromfestigkeit  | keine Angabe      |       |                |
| Tg-Wert                    | 135               |       | °C             |
| CTE x/y/z - Ausdehnung     | 10/10/170         |       | ppm/°K         |
| Biegefestigkeit (zirka)    | 400               |       | MPa längs/quer |
| Haftfestigkeit             | 2.00              |       | N/mm           |



## 4.5 Simulation und CAD-Layout

### Signaltransfer auf Kupferoberflächen

Die Kupferoberfläche des Basismaterials wird durch die Verarbeitung (Bürsten, Entoxidieren) aufgeraut.  
Der zurückzulegende Signalweg wird dadurch länger, die Laufzeit steigt an.  
Bei High-Speed-Schaltungen fördert der Skin-Effekt diese Tendenz.



# 5. Bauteilbibliothek und CAD-Layout



**Aufgabe** CAD-Layout, Constraints, IPC-Calculator

**Mitarbeiter** Herr Thomas Fend

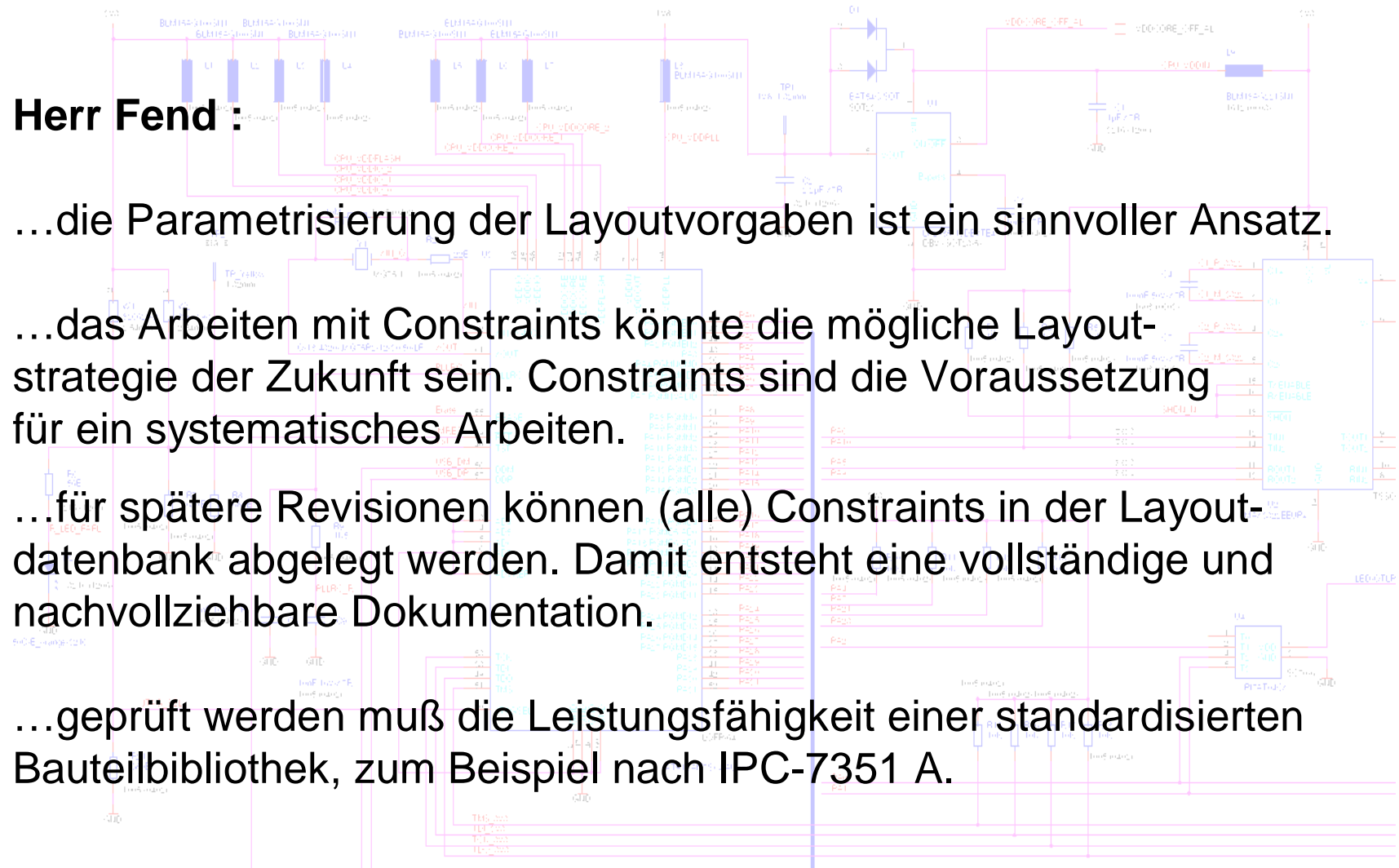
**Herr Fend:**

...die Parametrisierung der Layoutvorgaben ist ein sinnvoller Ansatz.

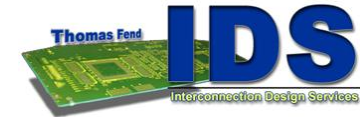
...das Arbeiten mit Constraints könnte die mögliche Layoutstrategie der Zukunft sein. Constraints sind die Voraussetzung für ein systematisches Arbeiten.

...für spätere Revisionen können (alle) Constraints in der Layoutdatenbank abgelegt werden. Damit entsteht eine vollständige und nachvollziehbare Dokumentation.

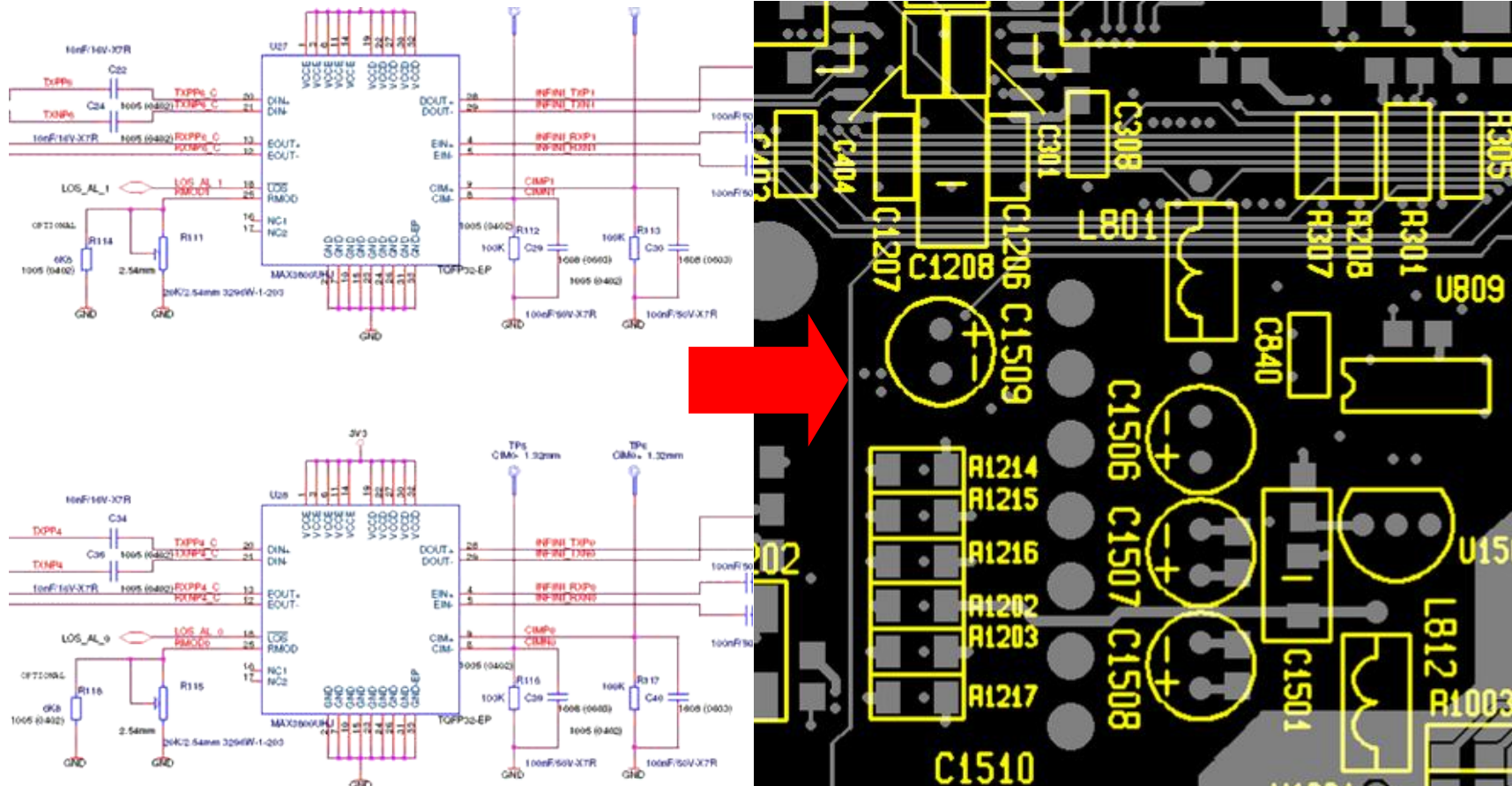
...geprüft werden muß die Leistungsfähigkeit einer standardisierten Bauteilbibliothek, zum Beispiel nach IPC-7351 A.



# 5.1 Bauteilbibliothek und CAD-Layout



## Parameter für das CAD-Layout



Ideal : Mit dem Schaltplan liegen alle Constraints fest und können automatisch in das CAD-System importiert werden.



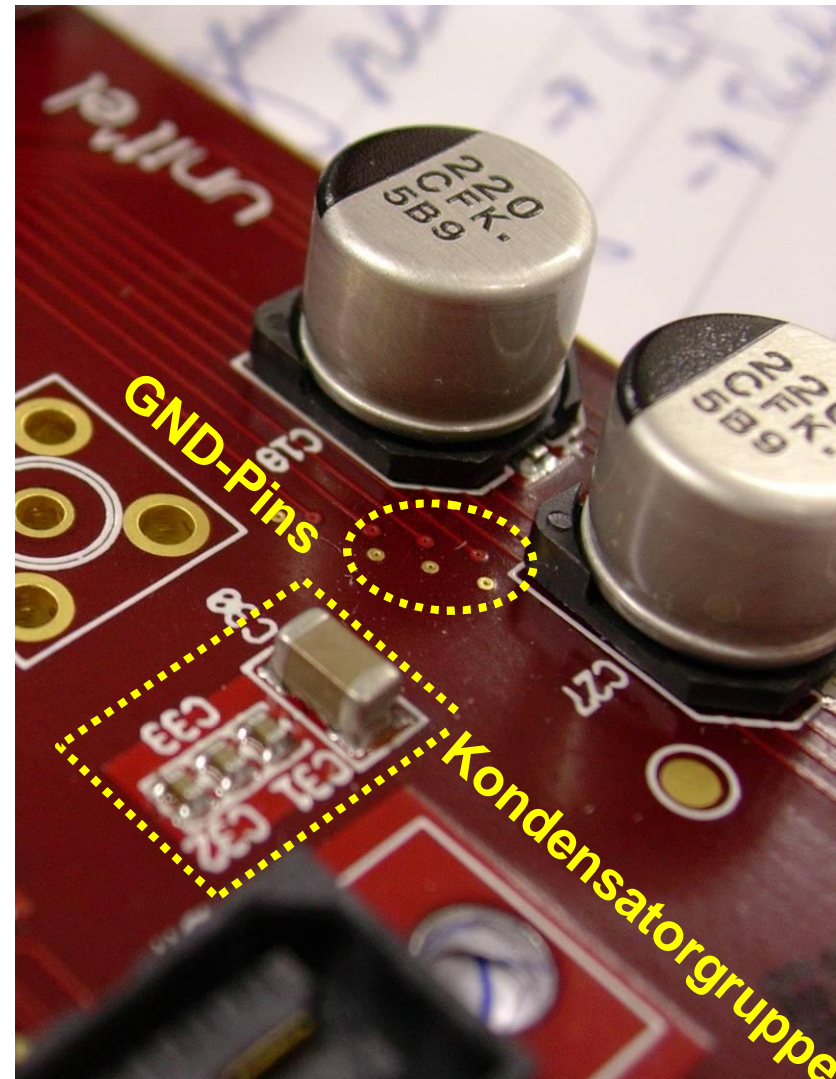


## 5.2 Bauteilbibliothek und CAD-Layout

### Vorgabenspektrum für das Layout

#### Constraints

- ◆ Layer-StackUp
- ◆ Netzklassen / Attribute
- ◆ Leiterbahn / Attribute
- ◆ Signale + Powerplanes
- ◆ (Auto)Routing / Optionen
- ◆ Rooms / Bauteilplatzierung
- ◆ (Auto)Placement / Optionen

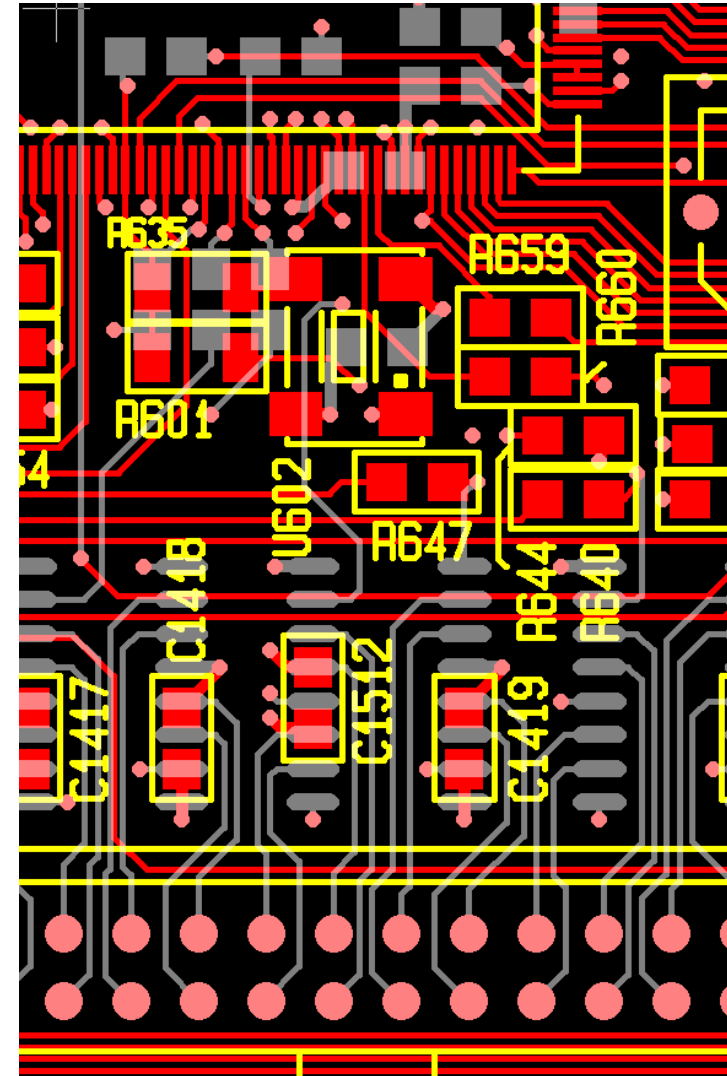


## 5.3 Bauteilbibliothek und CAD-Layout

### Abstimmung zwischen den EDA-Programmen

#### Fragen

- ◆ Welche Schaltplansysteme können Constraints vergeben ?
- ◆ Welche Constraints sind das ?
- ◆ Welche Tiefe hat die Deklaration von Parametern ?
- ◆ Welche Formate sind für den Import und Export einsetzbar ?
- ◆ Welche CAD-Systeme können Constraints einlesen ?
- ◆ Können geänderte Constraints rückannotiert werden ?
- ◆ Wer steuert die Entwicklung der Schnittstellen ?

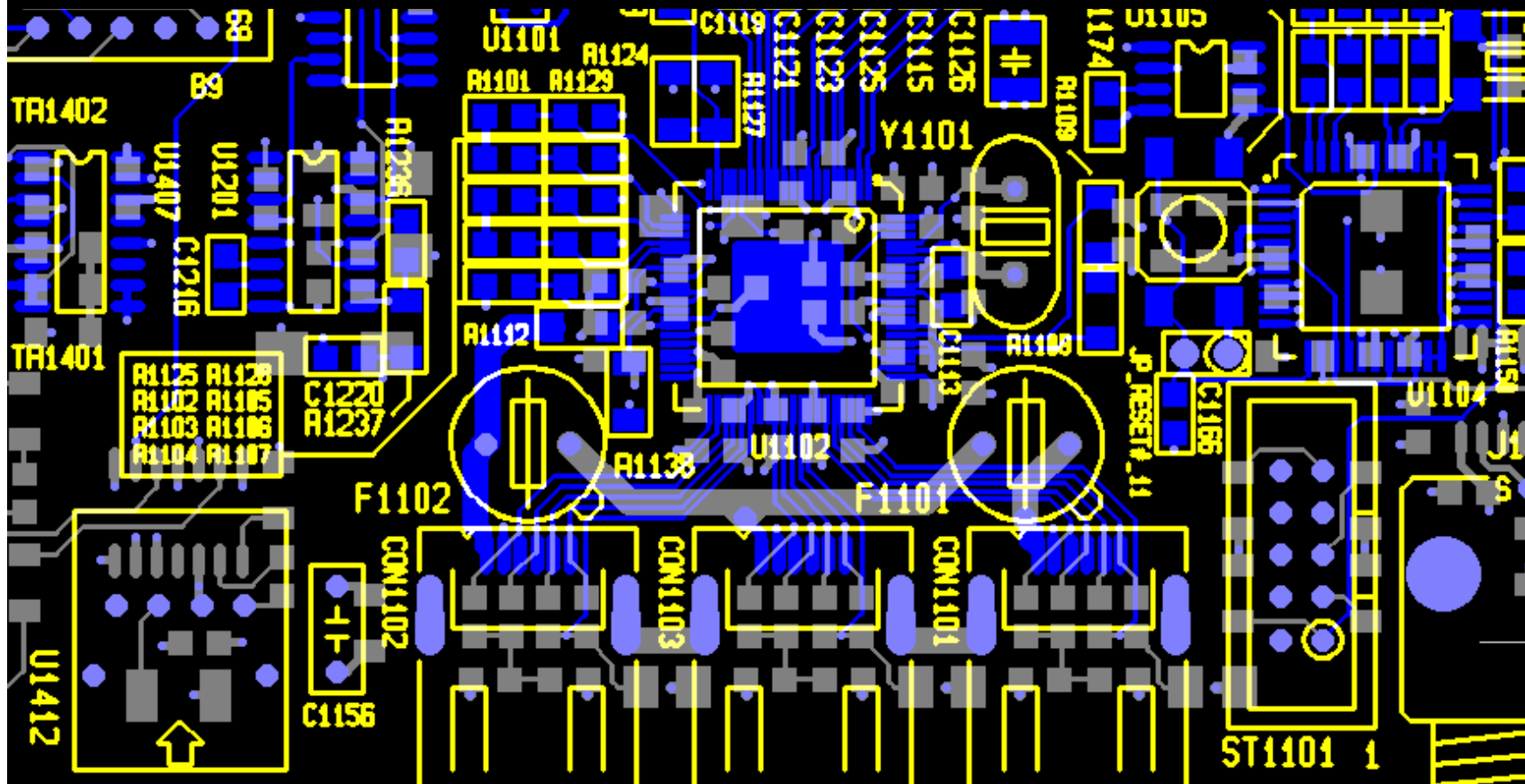


## 5.4 Bauteilbibliothek und CAD-Layout

### CAD : Funktion & Ästhetik

Mal ganz was anderes :

Jedes Layout hat seine Handschrift und seine eigene Ästhetik.



# 6. Leiterplattentechnologie & CAD-Layout

**Aufgabe** CAD-Layout, Leiterplattentechnologie  
**Mitarbeiter** Frau Jennifer Vincenz Herr Arnold Wiemers

## Frau Vincenz :

...das Projekt LP2010 ist sehr anspruchsvoll. Ziel ist ein funktionales Design zu erstellen, das zu einer stabilen Hardwarefunktion führt.

...das Layout sollte mit einem guten EDA-Tool zu bewerkstelligen sein, die gewonnenen Erfahrungen sollen auf zukünftige Projekte transferiert werden können.

## Herr Wiemers :

...die Berechnung physikalischer Anforderungen an die Leiterplatte und die Konstruktion von Lagenaufbauten sind Teil des Arbeitsalltages geworden.

...die Anforderungen an Baugruppen für Hochtechnologie sind nur zu erfüllen, wenn bereits die Leiterplatte als elektronisches Bauteil, als mitentscheidende Komponente, in die Konstruktion einbezogen wird.



# 6.1 Leiterplattentechnologie & CAD-Layout

## Installation eines neuen CAD-Systems

Wie sieht es aus, wenn man mit einem völlig neuen, unbekanntem Tool an eine solche Aufgabe herangeht? Nun, wir denken, ein Gutteil der Designarbeit tatsächlich ohnehin im Menschen

Von „0“ auf „100“: Die komplette Installation des CAD-Systems für das Layout der „LP2010“.

Extrakt aus dem Projekttagbuch von Frau Vincenz.

Projekt LP2010 ein Stück Neuland betreten, mit einem u

The screenshot shows the PCB Footprint Wizard software interface. The 'Pads' dialog box is active, showing 'Specify the pads for your QFN footprint'. It includes fields for 'Pad Counts' (Total, Vert, Horz), 'Pad Style' (Shape, Style), and 'Measurements' (e, E, D, Pw, PL, L, T, H, h, D1, E1). A diagram of a QFN footprint is shown with dimensions. The 'Technology' dialog box is also visible, asking 'What technology would you like to use?' with 'ILFA LP2010.pfl' selected. The 'Type' dialog box is also visible, asking 'What kind of footprint do you wish to create?' with various footprint types listed.

LP2010 Projekttagbuch ILFA – 1.Teil – 06.09.2007

ILFA Feinstleiteteknik

PCB Footprint Wizard - Pads

Specify the pads for your QFN footprint

Pad Counts: Total 6, Vert 7, Horz 7

Pad Style: Shape Rectangle, Style Style2

Measurements: e: 0.650, E: 0.000, D: 0.000, Pw: 0.380, PL: 0.000, L: 0.400, T: 0.150, H: 0.050, h: 0.250, D1: 3.700, E1: 3.700

Pin Position: Pin Numbers, Pin Numbering (Clockwise, Anti-clockwise)

PCB Footprint Wizard - Technology

What technology would you like to use?

Use Technology File: ILFA LP2010.pfl

PCB Footprint Wizard - Type

What kind of footprint do you wish to create?

Types: DIP, SOIC, SOJ, SON, QHPA, QHP, QFP, QGFP, QFN, LCC, PGA, BGA, CAN, AVSAL, SIP, MELF, SOD

Origin: Centre, Pin 1

Component Name Position: Default

Die Bauteilmaße werden in die Maske eingegeben, die benötigten Pads werden dann automatisch erzeugt, sollten dann aber später in der Technology auf einen neuen, aussagekräftigeren Namen gespeichert werden.

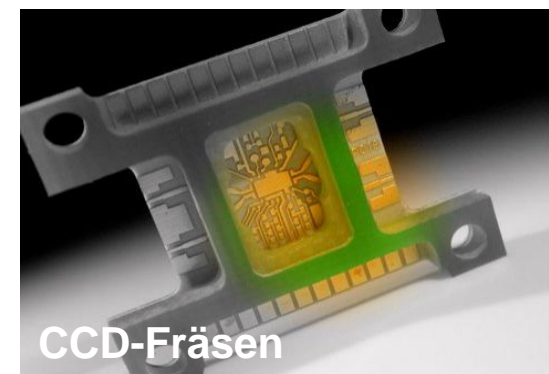
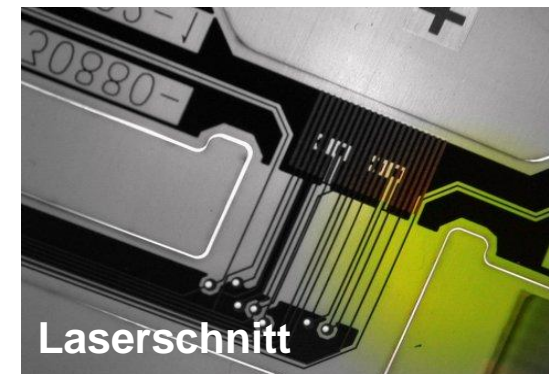
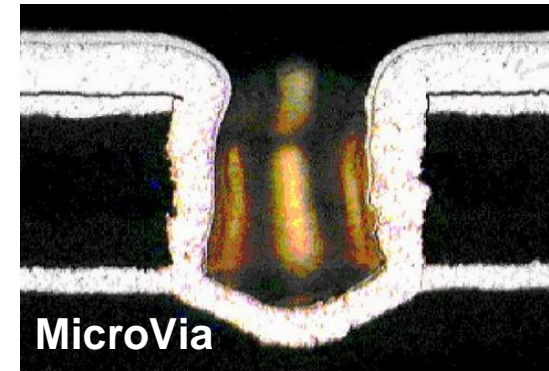
Stück für Stück wird man vom Footprint-Wizard durch das Prozedere der Erstellung eines Footprints geleitet.



## 6.2 Leiterplattentechnologie & CAD-Layout

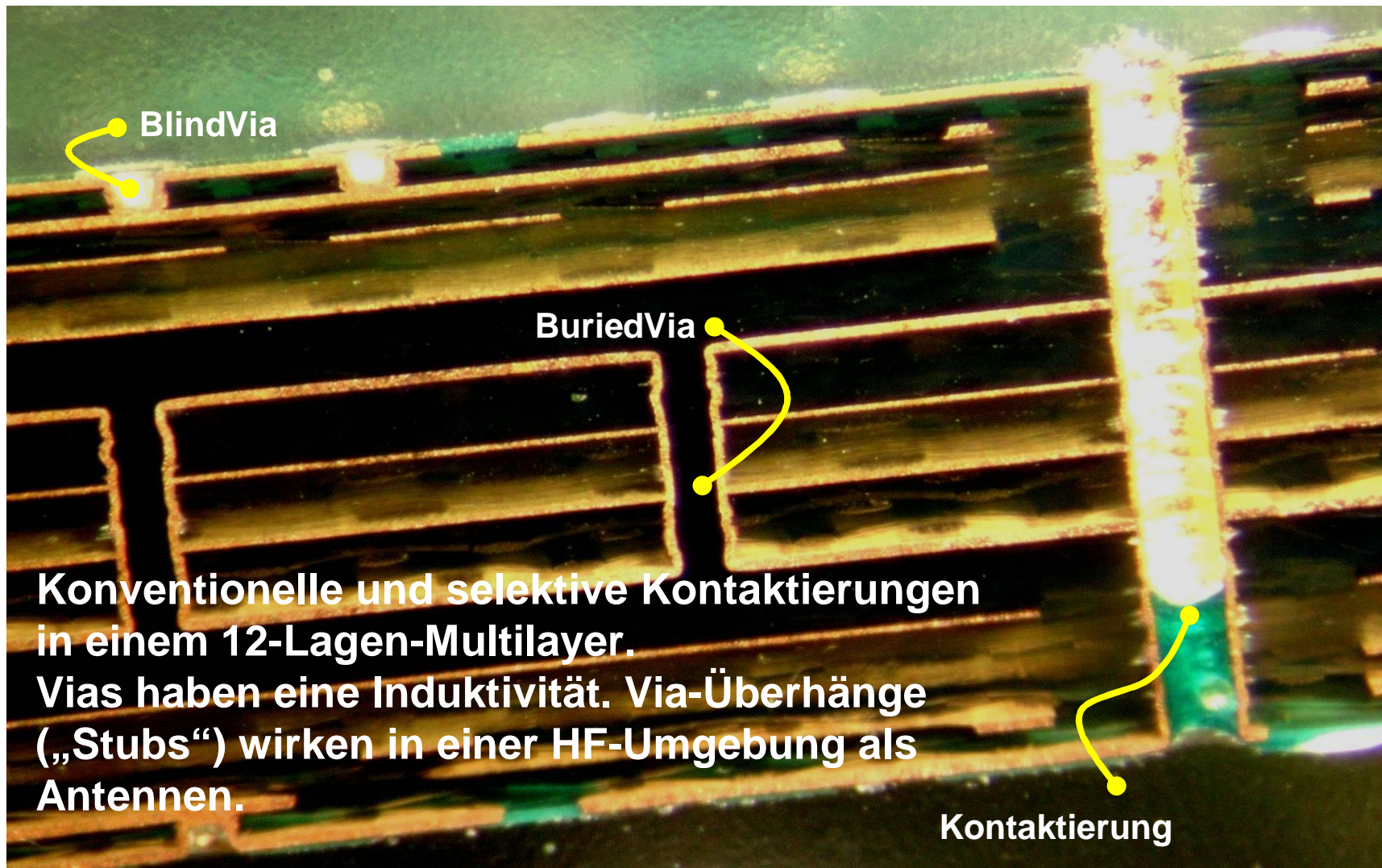
### Leiterplattentechnologie für HS-Baugruppen

- ◆ **Microvias**  
Lasern / Bohren bis minimal 50µm
- ◆ **Laserschneiden**  
Trennkanäle bis minimal 30µm
- ◆ **Hybridmultilayer**  
Kombination von Basismaterialien
- ◆ **Laserdirektbelichter (LDI) für MFT**  
Leiterbildstrukturierung bis 50µm
- ◆ **CNC-Bearbeitung**  
Bohren und Fräsen mit CCD-Kamera



## 6.3 Leiterplattentechnologie & CAD-Layout

### Kontaktierungsstrategien

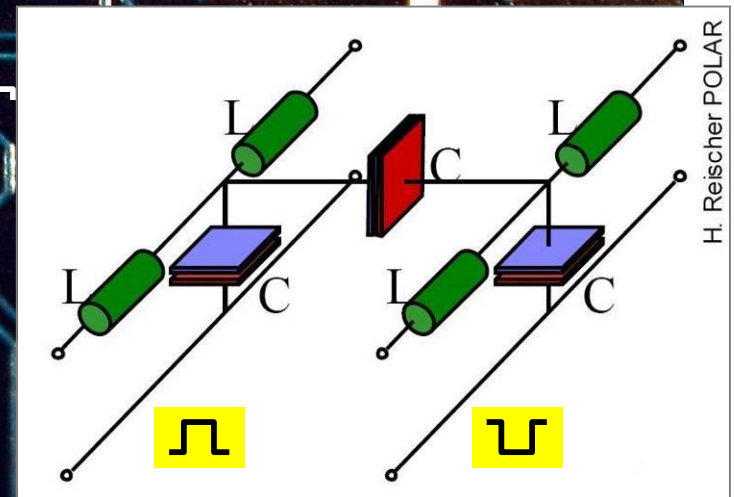


# 6.4 Leiterplattentechnologie & CAD-Layout

## Signale mit differentieller Impedanz

Für einen zuverlässigen High-Speed-Informationstransfer ist eine differentielle impedanzdefinierte Signalübertragung erforderlich.

$$Z_0 = \sqrt{\frac{L}{C}}$$





## 6.5 Leiterplattentechnologie & CAD-Layout

### Übertragungsgeschwindigkeiten

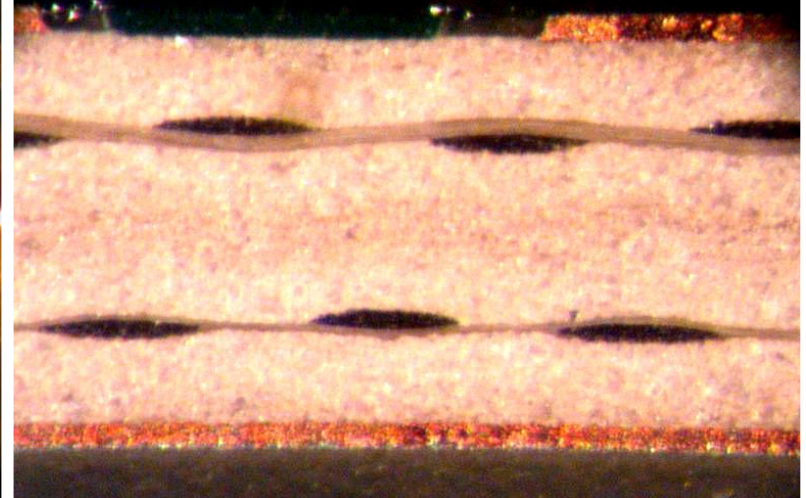
Die physikalischen Eigenschaften des Basismaterials (Homogenität des Materials, Dielektrikum (= Epsilon-R)) legen die Übertragungsgeschwindigkeit fest.

$$\text{Signal speed} = \frac{c}{\sqrt{\epsilon_r}}$$

$$\epsilon_r = 4.2 \text{ bis } 4.7$$

FR4 : Glasgewebe + Epoxidharz

Glasgewebe mit Keramikfüllung



# 7. Baugruppenproduktion & CAD-Layout



**Aufgabe** Baugruppenproduktion, Beratung, CAD-Layout  
**Mitarbeiter** Frau Lange Herr Paape Herr Rainer Taube

## Herr Taube :

...die Layoutgestaltung muß bereits unter dem Aspekt der späteren Baugruppenproduktion stehen. Die Lötbarkeit einer Baugruppe setzt optimierte Landpatterns voraus.

...die intermetallischen Phasen, gerade bei Ni/Au-Oberflächen, haben beim Löten einen Einfluß auf die Qualität des Signaltransfers.

...die Erfahrungen mit kantenmetallisierten Leiterplatten zeigen, daß es beim Löten Unterschiede bei der Wärmeaufnahme der Baugruppen gibt.

...die Basismaterialien haben auf die Verarbeitung von Baugruppen zunehmend Einfluß. Das Wissen über die Eigenschaften der Basismaterialien darf als zu gering eingestuft werden.



## 7.1 Baugruppenproduktion & CAD-Layout

### Signaltransfer auf vergoldeten Oberflächen

Gold wird selektiv auf der Oberfläche von Leiterplatten über einer Nickelschicht aufgebaut. Nickel dämpft die Übertragungsgeschwindigkeit von Signalen um zirka 25%. Die komplette Vergoldung von Leiterbahnen ist nicht empfehlenswert.

Die Löttemperatur muß für chemisch Ni/Au um 10° erhöht werden.



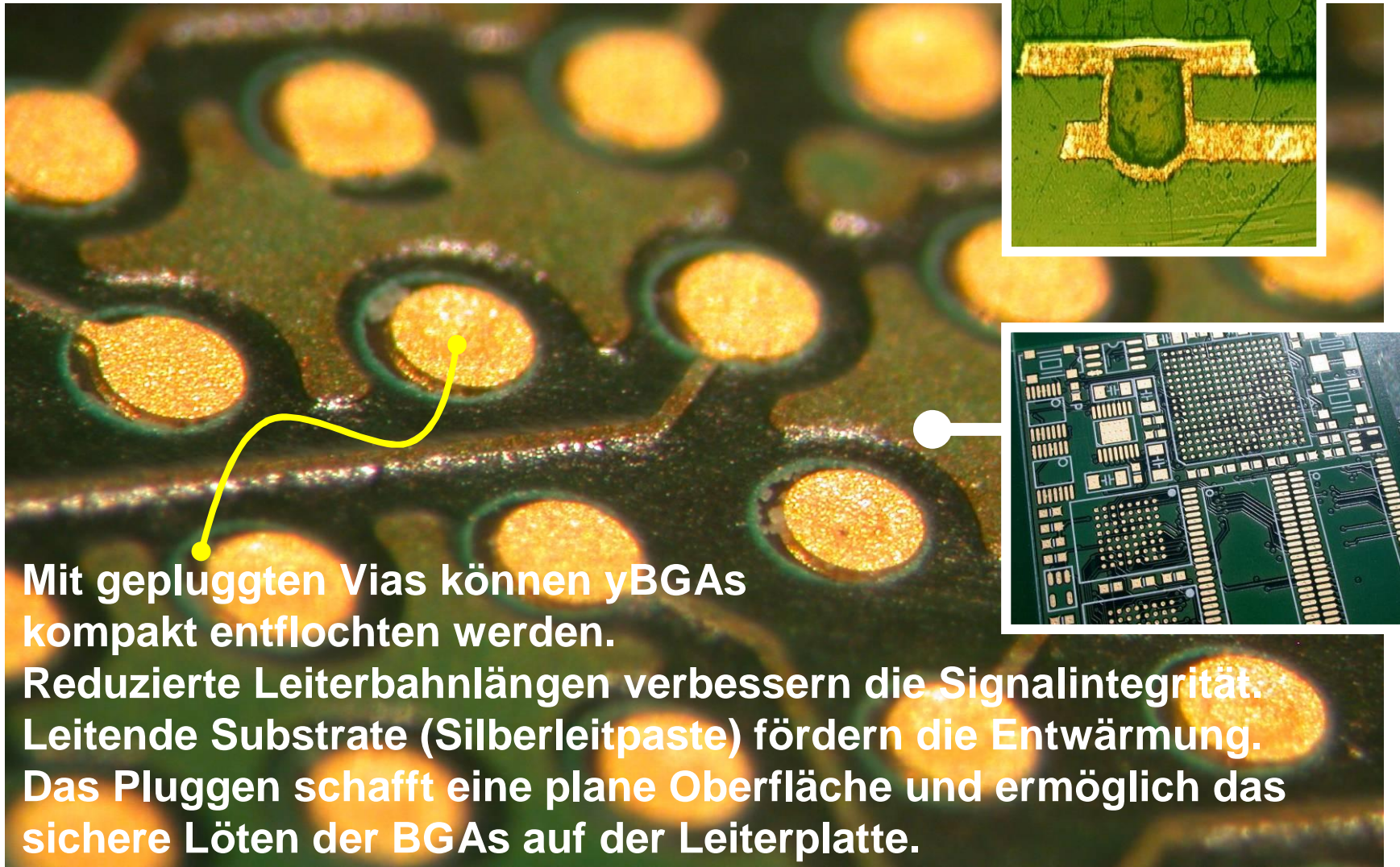
## 7.2 Baugruppenproduktion & CAD-Layout

### Kantenkontaktierung von Leiterplatten



## 7.3 Baugruppenproduktion & CAD-Layout

### Pluggen von Vias

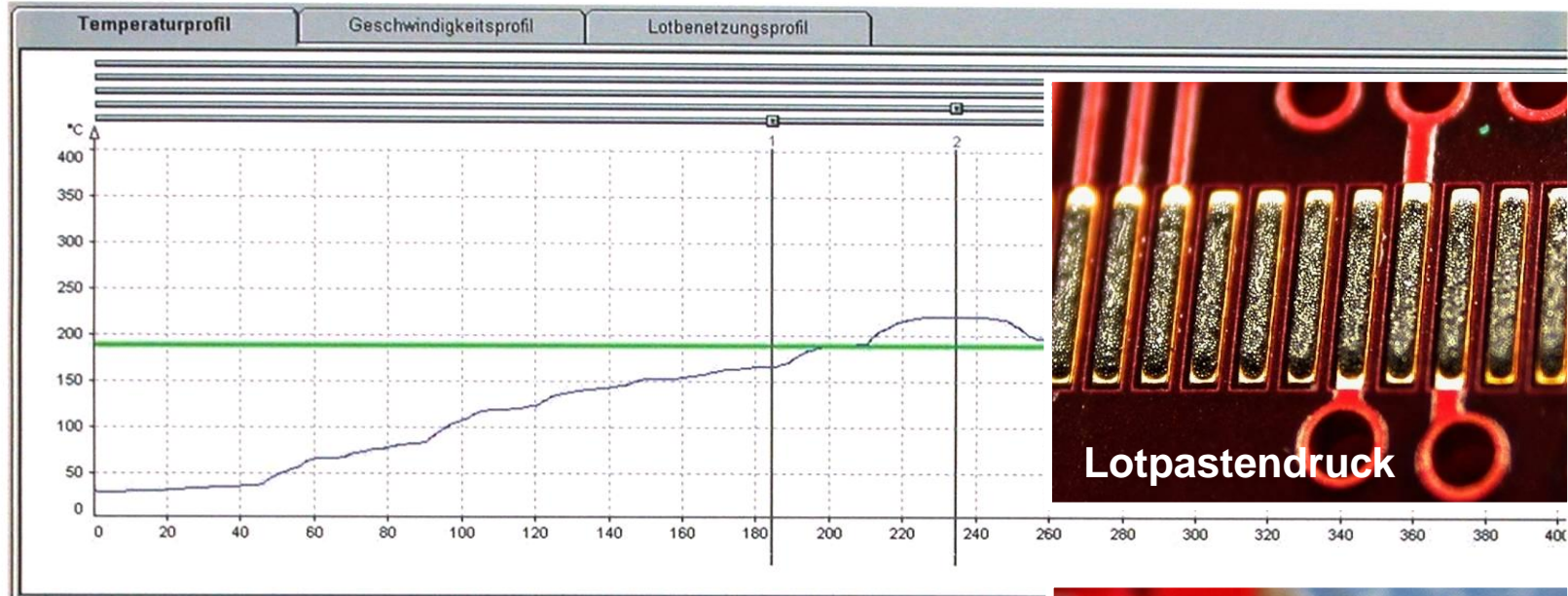


Mit gepluggten Vias können yBGAs kompakt entflochten werden. Reduzierte Leiterbahnlängen verbessern die Signalintegrität. Leitende Substrate (Silberleitpaste) fördern die Entwärmung. Das Pluggen schafft eine plane Oberfläche und ermöglicht das sichere Löten der BGAs auf der Leiterplatte.



# 7.4 Baugruppenproduktion & CAD-Layout

## Temperaturprofil



| 1. Aufzeichnung: keine |          | 2. Aufzeichnung: keine |   |   |   |   |   |   |   |
|------------------------|----------|------------------------|---|---|---|---|---|---|---|
| Transport (cm/min)     |          | -                      |   |   |   |   |   |   |   |
| Zeit (s)               | Weg (cm) | Temperatur (°C)        |   |   |   |   |   |   |   |
|                        |          | 1                      | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
| Cursor 1: 184,3        | - 165,4  | -                      | - | - | - | - | - | - | - |
| Cursor 2: 234,5        | - 220,0  | -                      | - | - | - | - | - | - | - |
| Cursor 3: -            | -        | -                      | - | - | - | - | - | - | - |
| Cursor 4: -            | -        | -                      | - | - | - | - | - | - | - |
| Cursor 5: -            | -        | -                      | - | - | - | - | - | - | - |
| Differenz: 50,2        | 0,       | -                      | - | - | - | - | - | - | - |
| Gradient (°C/s)        | -        | -                      | - | - | - | - | - | - | - |
| Maximum (°C)           | -        | -                      | - | - | - | - | - | - | - |
| Delta T-Peak (°C)      | -        | -                      | - | - | - | - | - | - | - |
| Zeit über SP           | -        | -                      | - | - | - | - | - | - | - |
| Aktivierungszeit:      | -        | -                      | - | - | - | - | - | - | - |

**Der Lagenaufbau, das Wärmeverhalten der Leiterplatte und die physikalischen Parameter des Basismaterials haben Einfluß auf die Qualität der Baugruppe.**



# 8. Anhang / Geplante Varianten

## Baugruppen für das Projekt „LP2010“

| CAD-System | Bibliothek für die Anschlußflächen |             |                | Metallisieren der Kanten |      | Oberflächen |    |    | Basismaterialien |          | Viatypes |                  |            | Simulation + Layout |                   | Minimale Dicke der Kerne |       | Pluggen |   | CES | 3M |
|------------|------------------------------------|-------------|----------------|--------------------------|------|-------------|----|----|------------------|----------|----------|------------------|------------|---------------------|-------------------|--------------------------|-------|---------|---|-----|----|
|            | 7351A Typ B                        | 7351A Typ C | eigene Library | Ja                       | Nein | Ni-Au       | Sn | Ag | Standard         | Low-Loss | Via DK   | Via Blind Buried | Via in Pad | Simulation          | Layout            | 50ym                     | 100ym | Pluggen |   |     |    |
| Cadence    | -                                  | -           | x              | x                        | -    | + tectronix |    | x  | später           | x        | später   | x                | + ansoft   | 1                   | x                 |                          | x     | -       | - |     |    |
| Mentor     | -                                  | x           | -              | x                        | -    | x           | -  | -  | x                | später   | x        | später           | x          | -                   | 1 Thüringer (2 ?) | x                        |       | x       | x | -   |    |
| Altium     | -                                  | -           | x              | x                        | x    | x           | x  | -  | x                | später   | x        | später           | x          | -                   | 1                 | x                        |       | x (?)   | - | -   |    |
| Pulsonix   | x                                  | -           | -              | x                        | x    | x           | x  | -  | x                | später   | x        | später           | x          | -                   | 1 (2 ?)           | x                        | x     | x       | - | -   |    |

|       | STII | Tg  | Td  | CTEz | IEC        |           |
|-------|------|-----|-----|------|------------|-----------|
| FR4 1 | 175  | 120 | 310 | 4,0  | 61249-2-38 | abstimmen |
| FR4 2 | 210  | 150 | 340 | 3,5  | 61249-2-37 | abstimmen |
| FR4 3 | 225  | 170 | 340 | 3,0  | 61249-2-37 | abstimmen |

| Information         |  |
|---------------------|--|
| Cadence = DesConTec | CES = Constraint Editing System  |
| Mentor = IDS        | Thüringer = Herr Prof. Rainer Thüringer ist Ansprechpartner für Herrn Fend für weitere technische Varianten. |
| Altium = Taube      | 3M = 3M-Folienmaterial   |
| Pulsonix = ILFA     |  |



## 9. Anhang / Freigabe der Dokumente

### Perspektiven

Herr Eigelsreiter hat sich bereit erklärt, alle Schaltpläne, Netzlisten, Bauteillisten und Mechanikdaten freizugeben.

Nach Klärung der Urheberrechtsfragen ist geplant, die Daten für die Erstellung des Layouts „LP2010“ als **Download** über die Site der ELEKTRONIKPRAXIS verfügbar zu machen.

Die **Freigabe** soll erweitert werden um die Daten, die während der Projektarbeit der Gruppe entstehen. Die Baugruppe könnte dann komplett nachentwickelt werden. In der letzten Ausbaustufe liegen die Layoutdaten der Projektgruppe im Original vor, inklusive aller Bibliotheken, Constraints und Netzlisten.

Die **Bedingungen** sind :

- 1) Die Weitergabe der Daten erfolgt unter Haftungsausschluß.
- 2) Es erfolgt eine Registrierung durch die ELEKTRONIKPRAXIS.
- 3) Die Ergebnisse werden allgemein zugänglich veröffentlicht.

