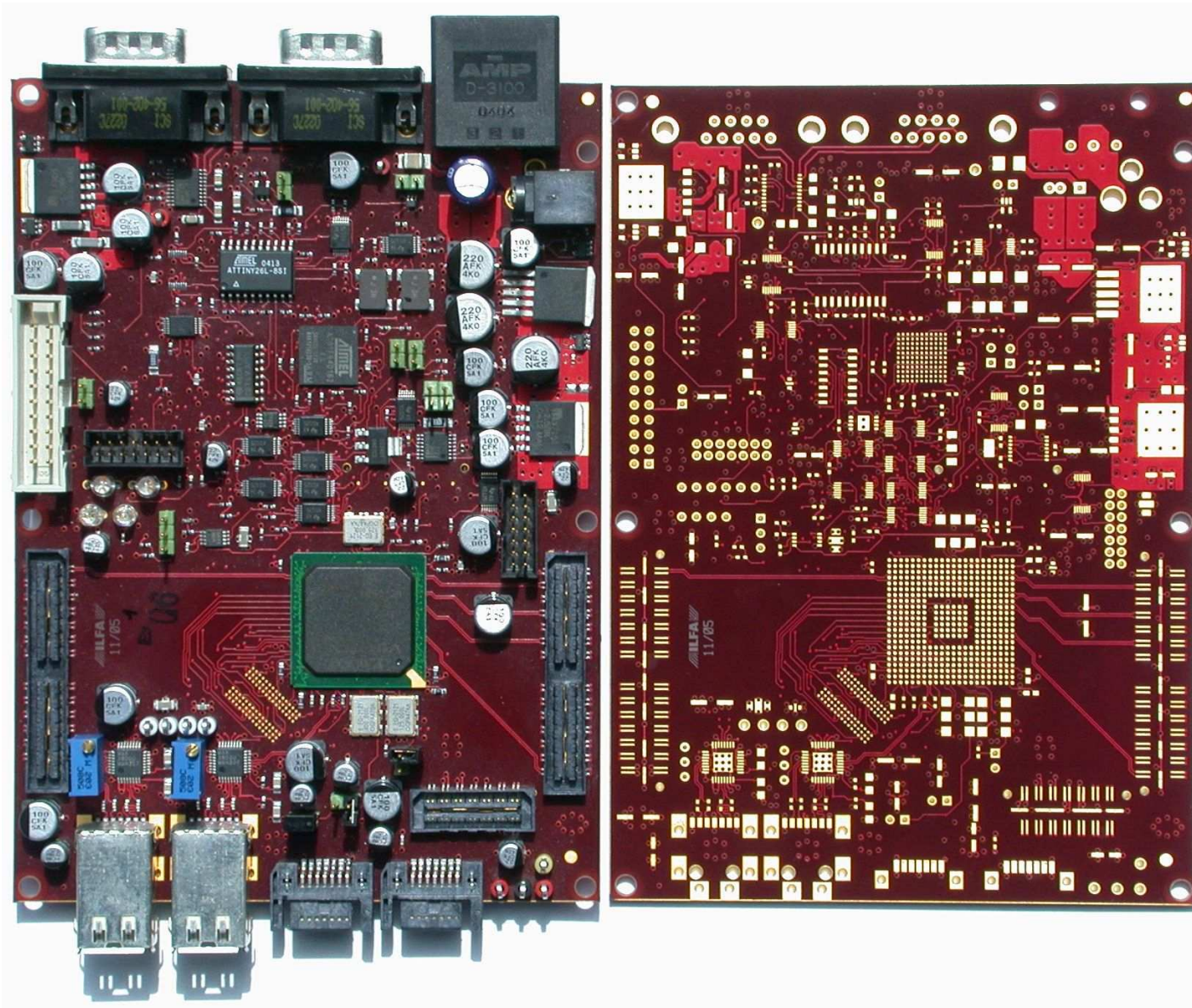


**LP2010**

**meltemi**

**Schaltpläne**

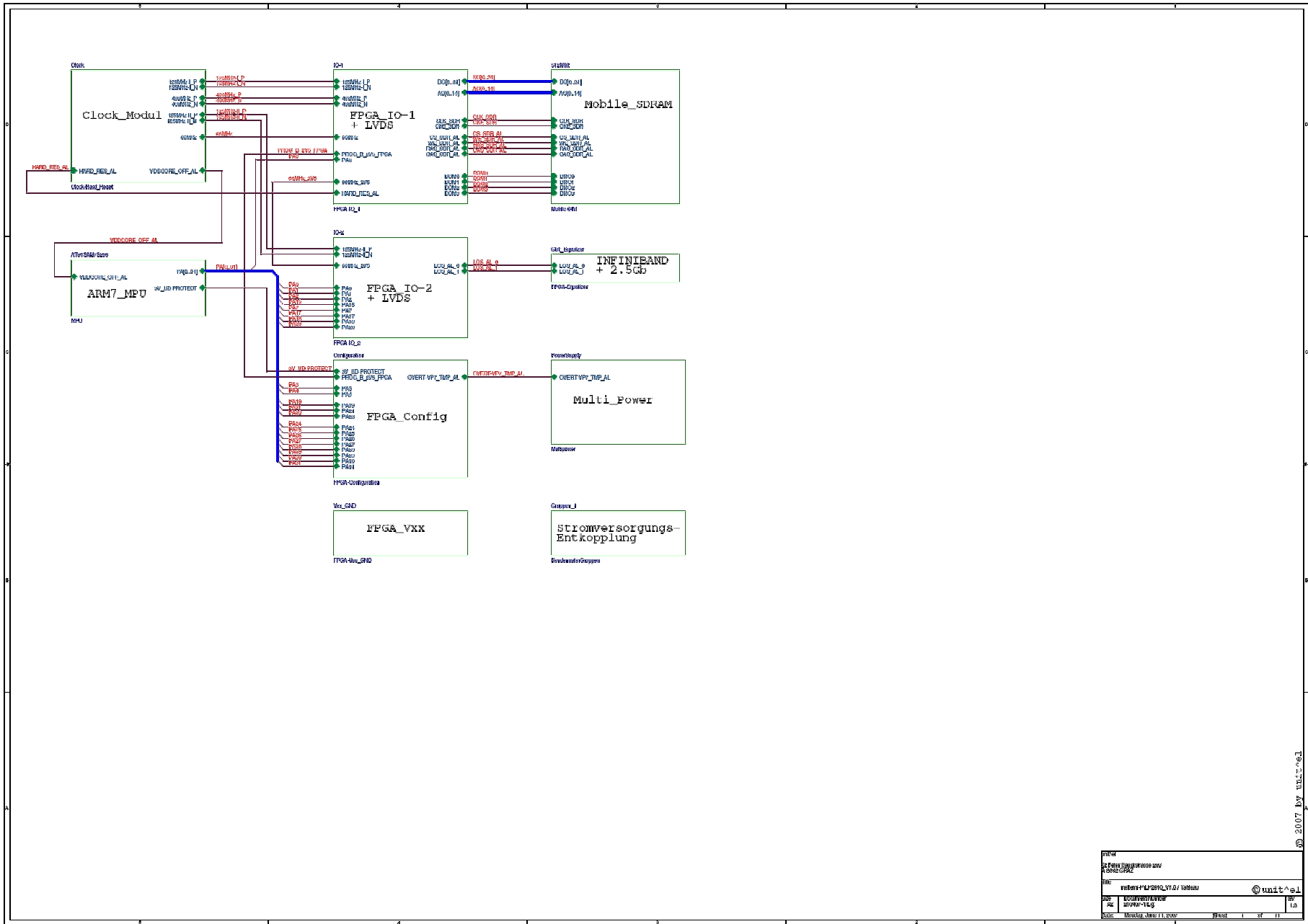
13. Juni 2009 / Arnold Wiemers



LP2010 / meltemi

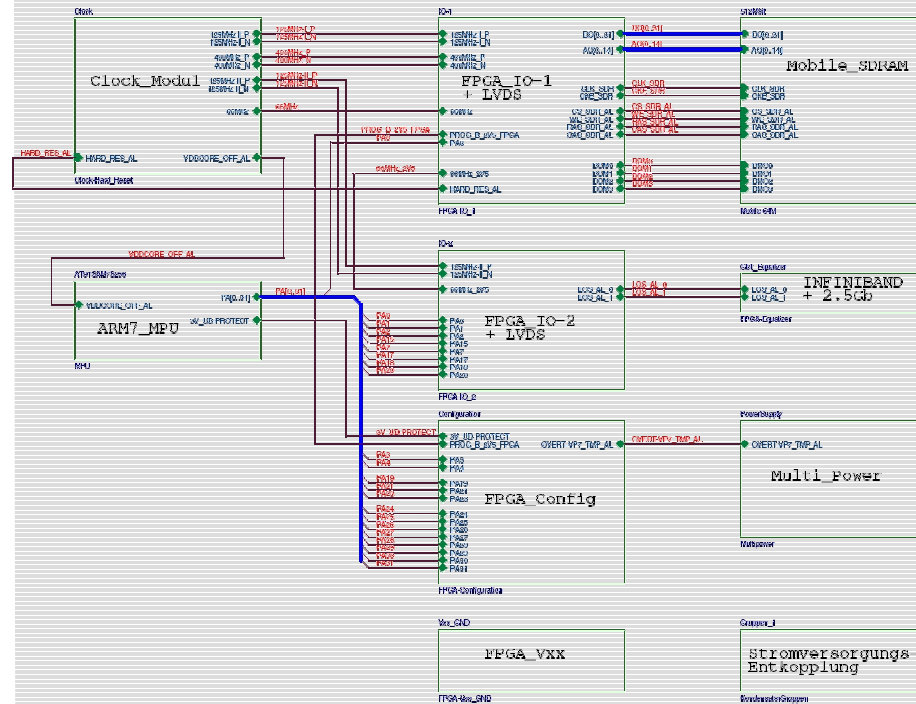
BS-Seite bestückt

BS-Seite unbestückt



Tsch. 21.11.2002

Titel	Einzelplan
Proj.	LP2010_VT_01_10000
Aut.	unit^el
Rev.	1.0
Datum	11.11.2002



## Übersicht

Das Argument für den Einsatz eines **FPGAs** war die Möglichkeit, eine Applikation frei programmierbar zu gestalten. Auch nach der Bestückung der Baugruppe ist dadurch eine Einflußnahme auf die Funktion umsetzbar.

Die Ausführung der **I/Os** als differentielle Leiterbahnstruktur sorgt für eine stabile Signalübertragung. Mit dem Xilinx-FPGA können **8-Transceiver-Kanäle** mit 2.5Gb/s full duplex betrieben werden. Im FPGA IO-1 stehen 26, im FPGS IO-2 stehen 35 differentielle **LVDS**-Kanäle zur Verfügung. Über einen zwischengeschalteten adaptiven Equalizer ist eine Übertragung via **Infiniband** bis zu einer Kabellänge von 17m möglich.

Durch den Einsatz des **SDRAMs** kann die Treiberleistung bei Schwachlastbetrieb modifiziert werden. Die Übertragungsqualität und das EMV-Verhalten der Schaltung lassen sich dadurch positiv beeinflussen.

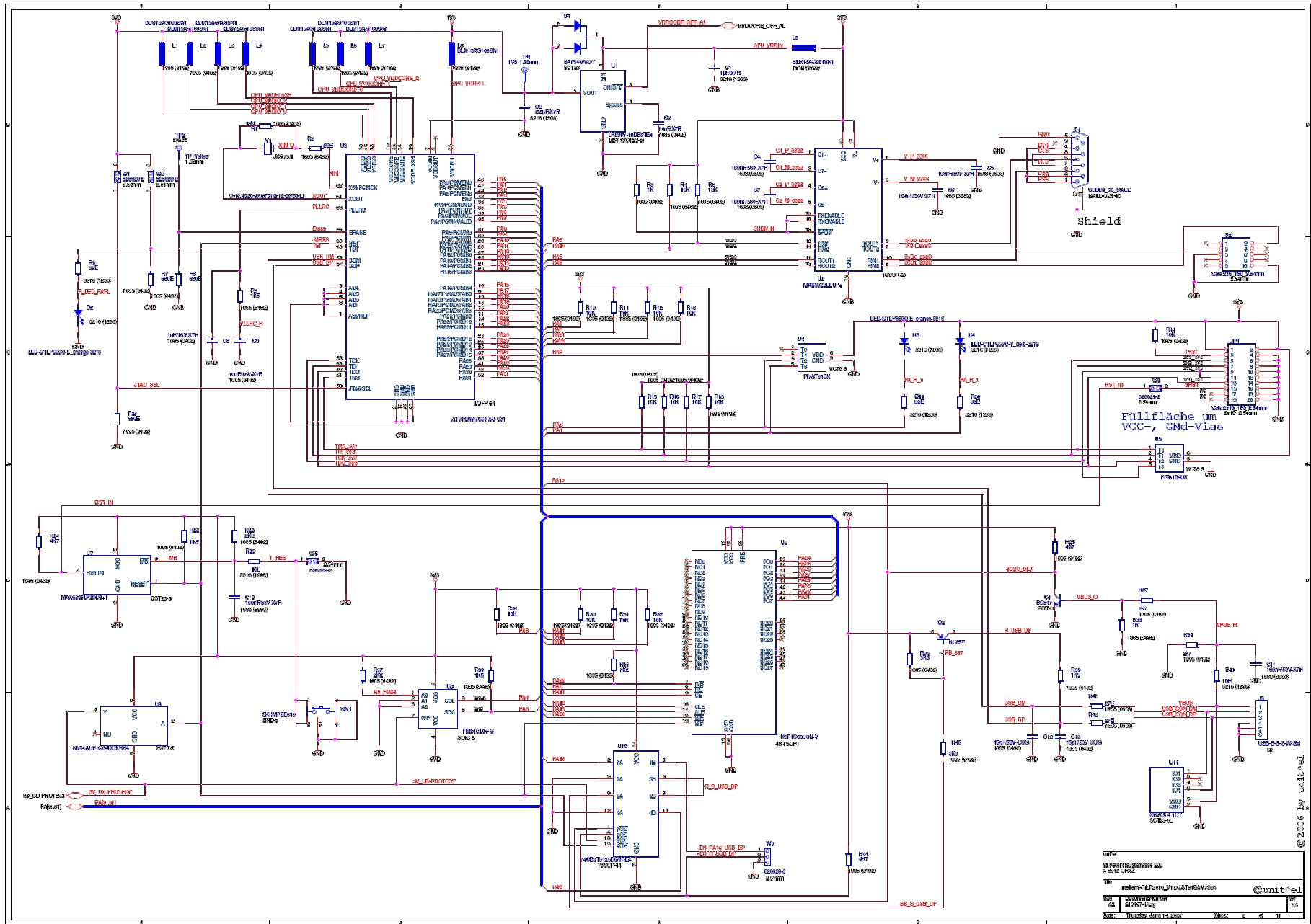
Die **ARM7-MPU** wird benutzt für das Booten des Boards über zwei **RS232C**-Schnittstellen. Sie kann weiterhin für das Debuggen genutzt werden. Während des Betriebes der Baugruppe kann über die MPU ein alternatives Design in das FPGA umgeladen werden. Im **NAND-Flash** können 8 solcher alternativer Designs gehalten werden. Das NAND-Flash kann nur von der MPU bedient werden.

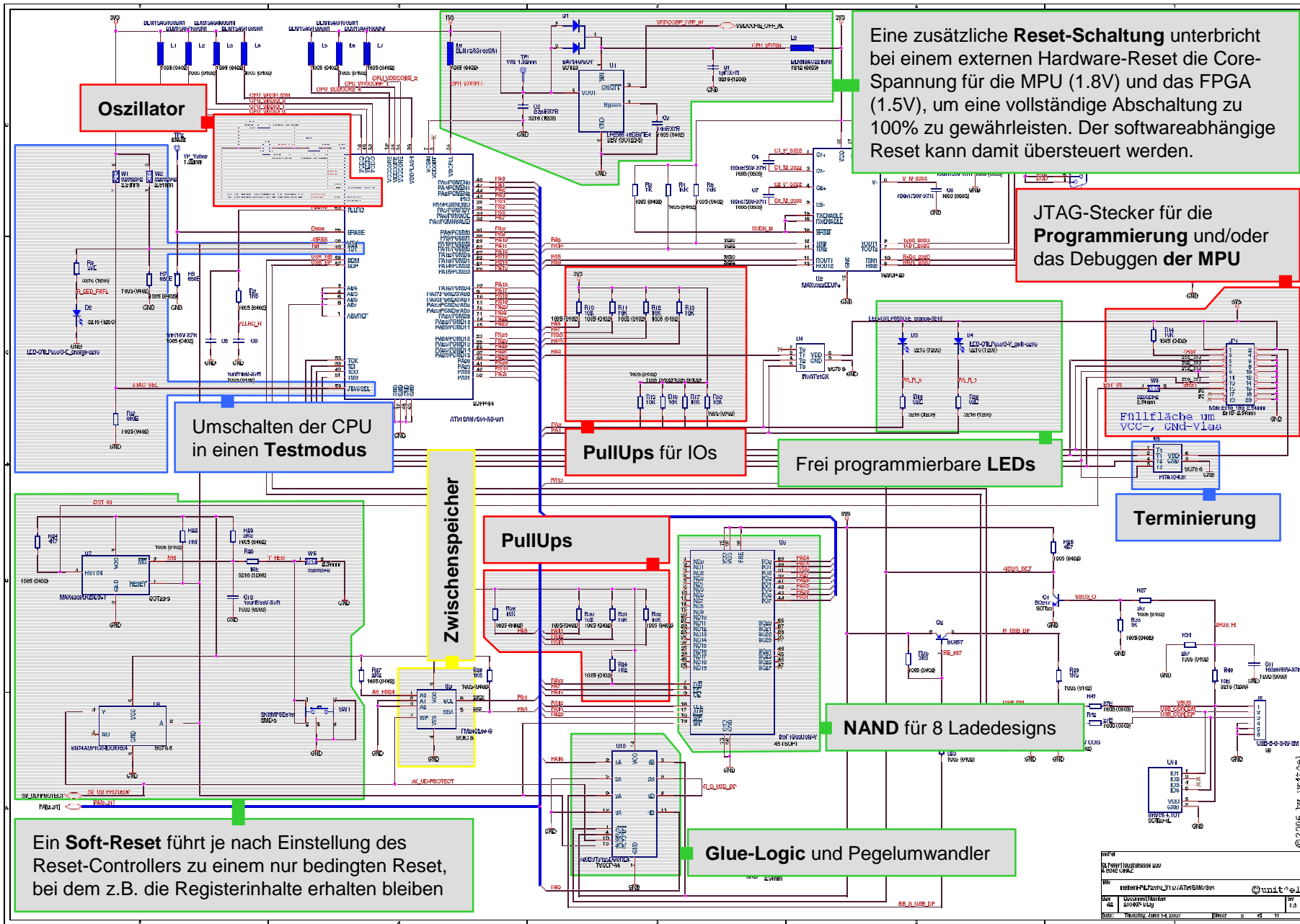
Das Clock-Modul hat vier **Clock-Generatoren**. 3 sind als LVDS ausgelegt. Von den differentiellen Clock-Oszillatoren stehen zwei mit 125MHz für die interne Logik und für die Transceiver zur Verfügung und einer mit 400MHz ausschließlich für die interne Logik. Der 4. Clock-Generator ist als SingleEnded-Leitung mit 66 MHz für den Betrieb der CPU und die Busanbindung an das FPGA zuständig.

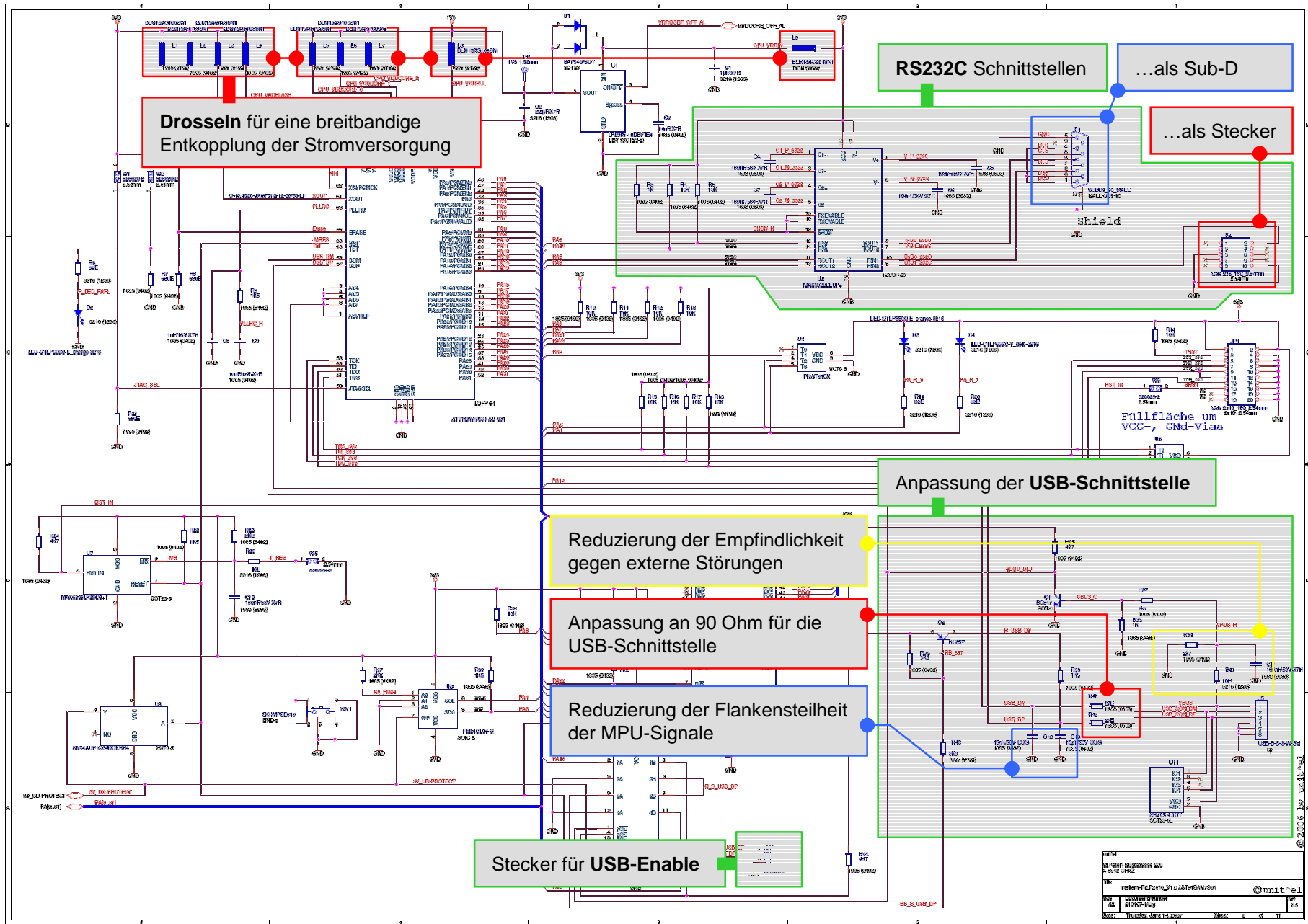
Die Stromversorgung erfolgt über ein **Multipowersystem**.

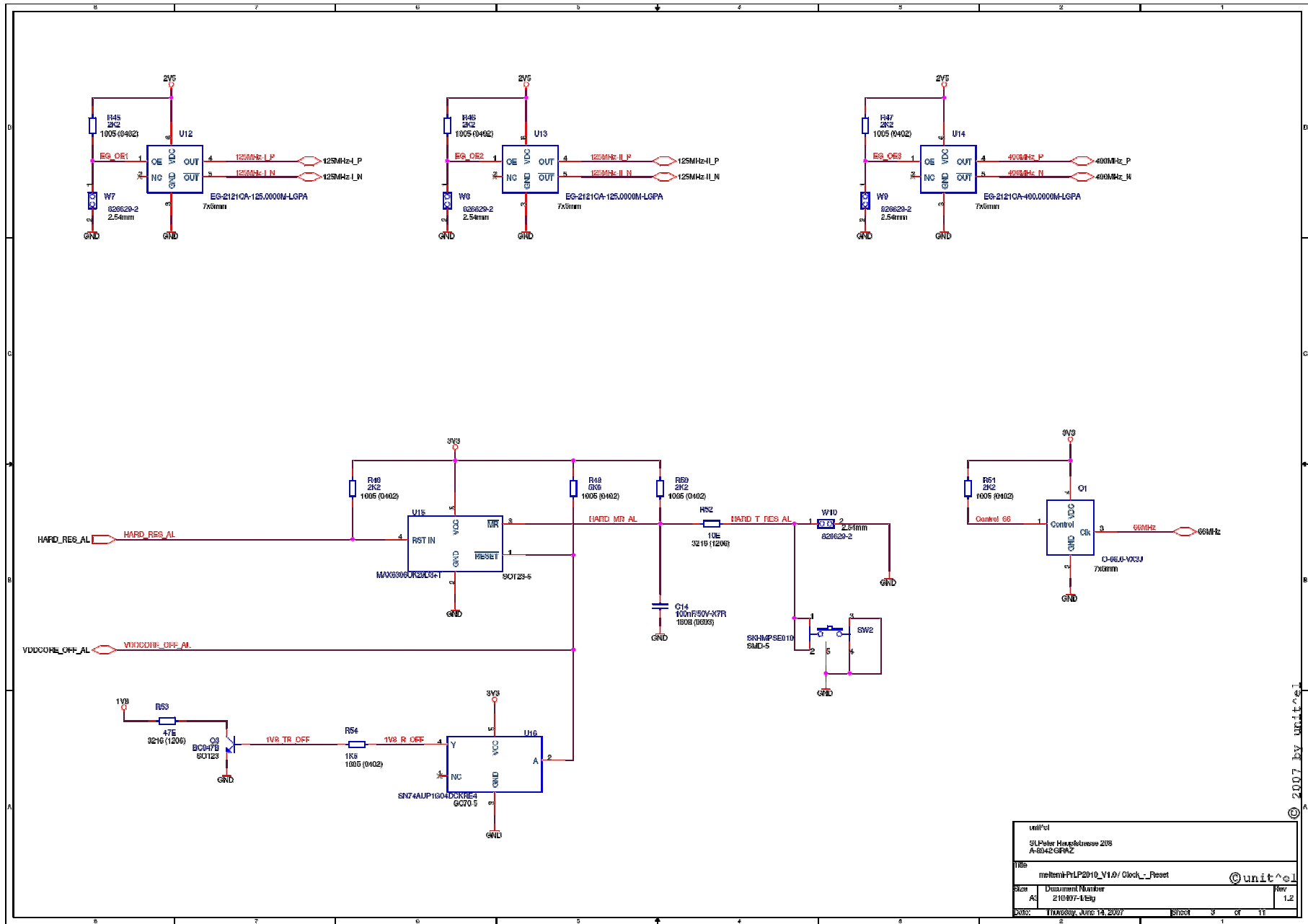
Toshiba AD 2002 ©

PROJ	LP2010_V1.01
DESIGNER	unit^e1
DATE	2002-11-11
DESCRIPTION	LP2010_V1.01
SCALE	1:1
DATE	2002-11-11
SCALE	1:1





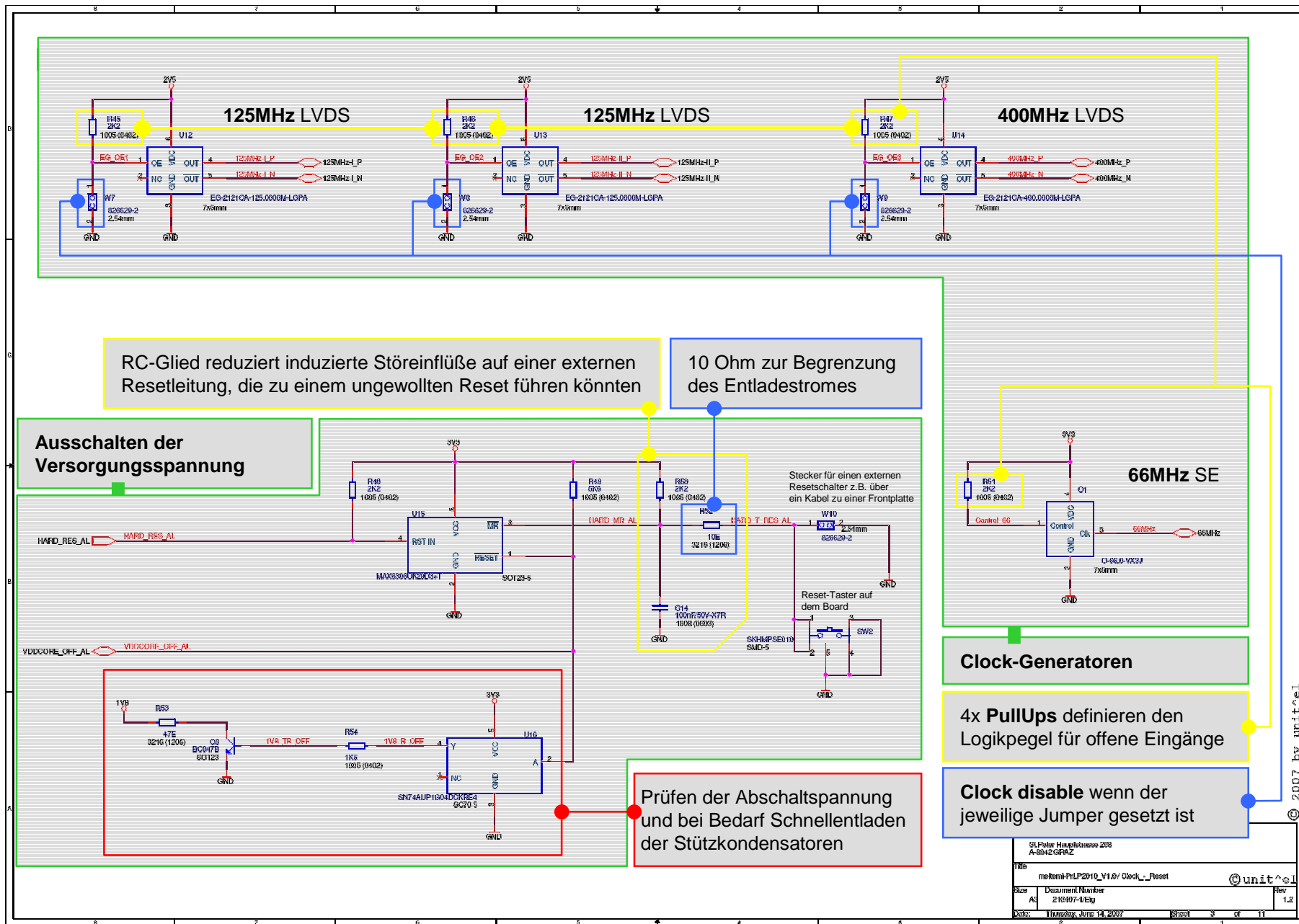




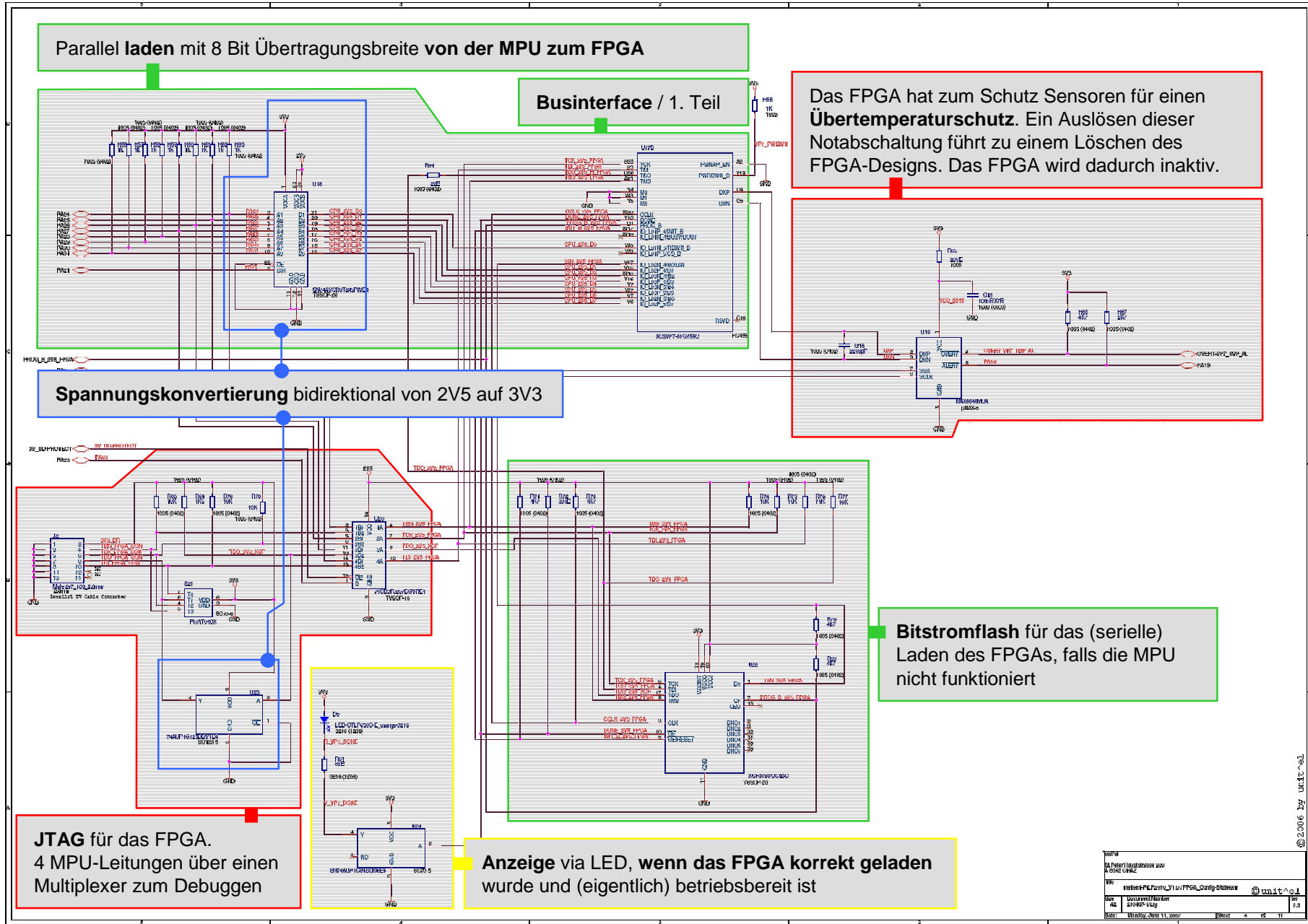
© 2007 by unit^col

unit^col	
3LPolar Hauptadresse 205 A-6042 GPNZ	
Title metem-PrLP2010_V1.0/ OvwL_Resett	
Size A4	Document Number 210407-1 Belg
Date: Thursday, June 14, 2007	Sheet 3 of 11
	© unit^col Rev 1.2







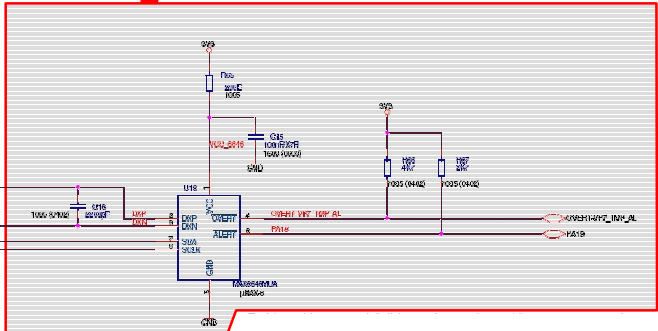


Parallel laden mit 8 Bit Übertragungsbreite von der MPU zum FPGA

Businterface / 1. Teil

Das FPGA hat zum Schutz Sensoren für einen **Übertemperaturschutz**. Ein Auslösen dieser Notabschaltung führt zu einem Löschen des FPGA-Designs. Das FPGA wird dadurch inaktiv.

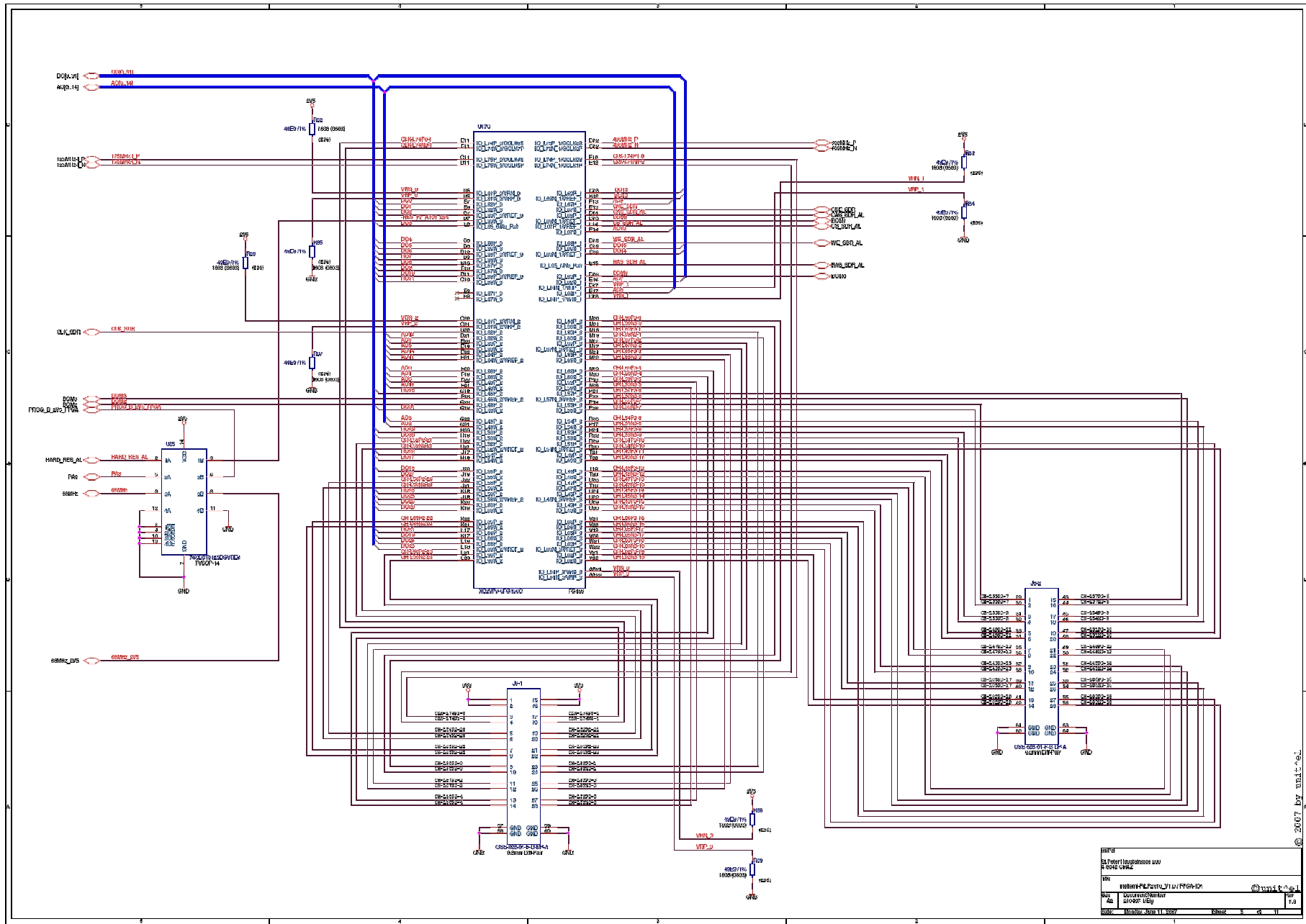
Spannungskonvertierung bidirektional von 2V5 auf 3V3

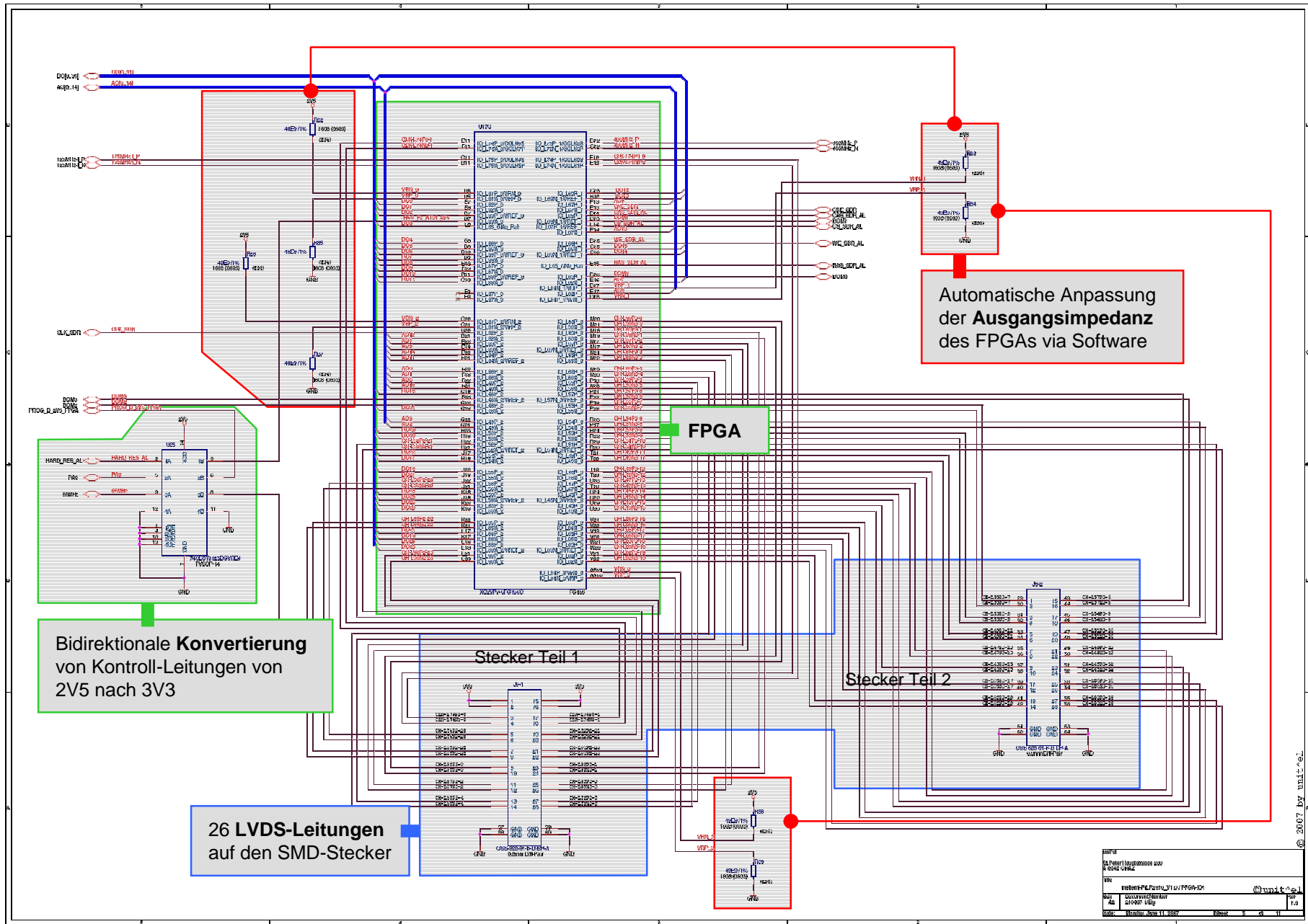


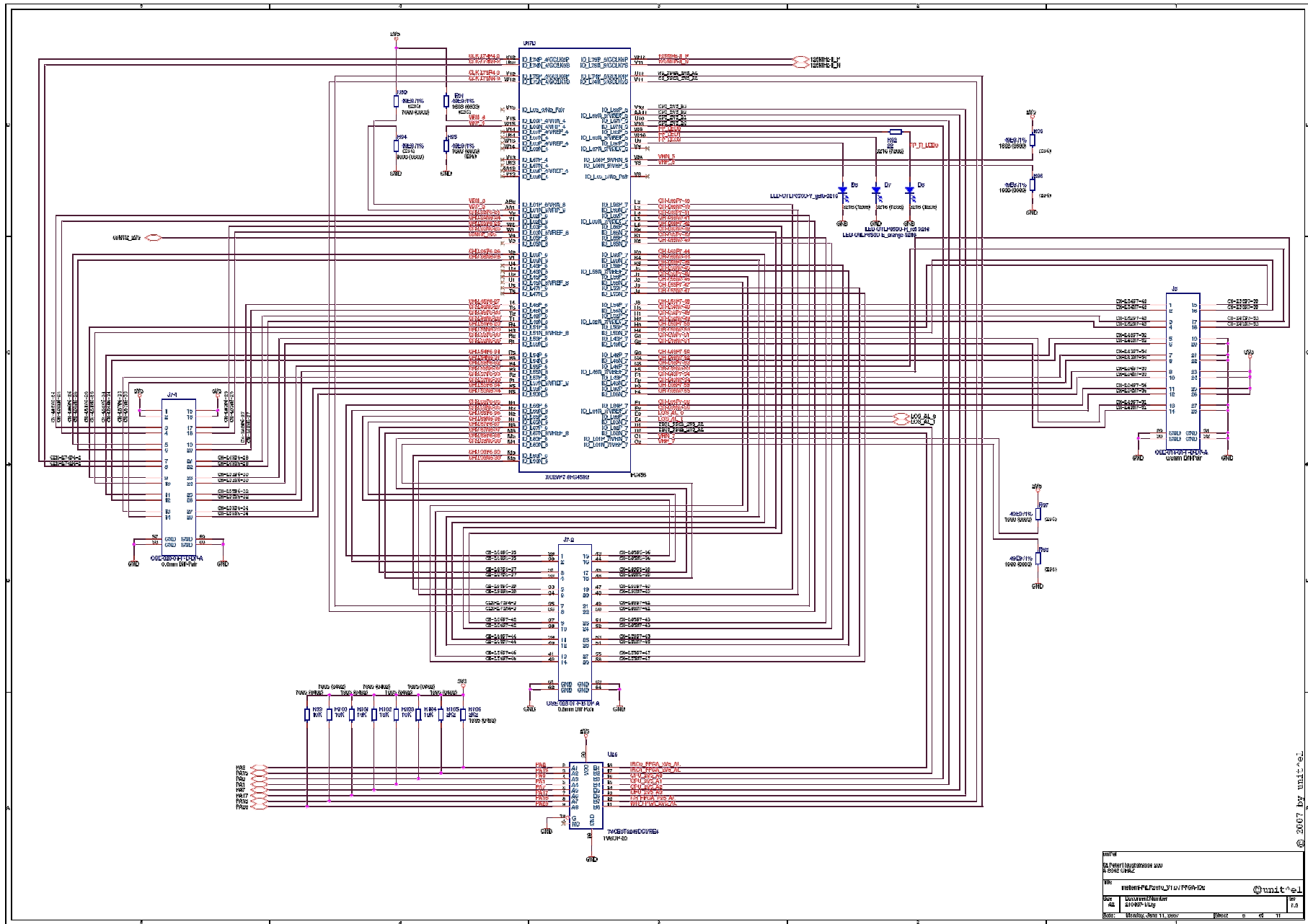
**Bitstromflash** für das (serielle) Laden des FGAs, falls die MPU nicht funktioniert

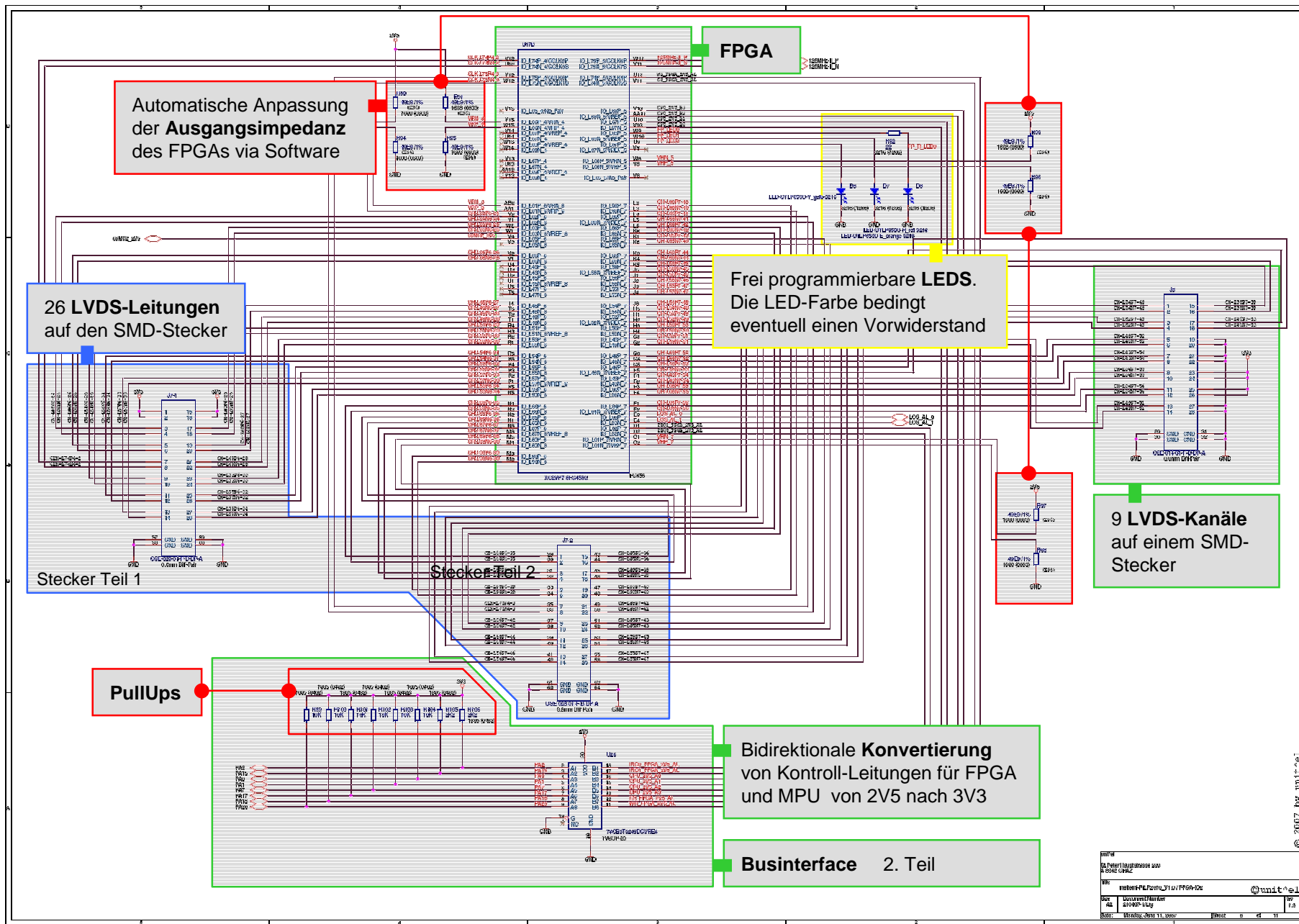
JTAG für das FPGA. 4 MPU-Leitungen über einen Multiplexer zum Debuggen

Anzeige via LED, wenn das FPGA korrekt geladen wurde und (eigentlich) betriebsbereit ist



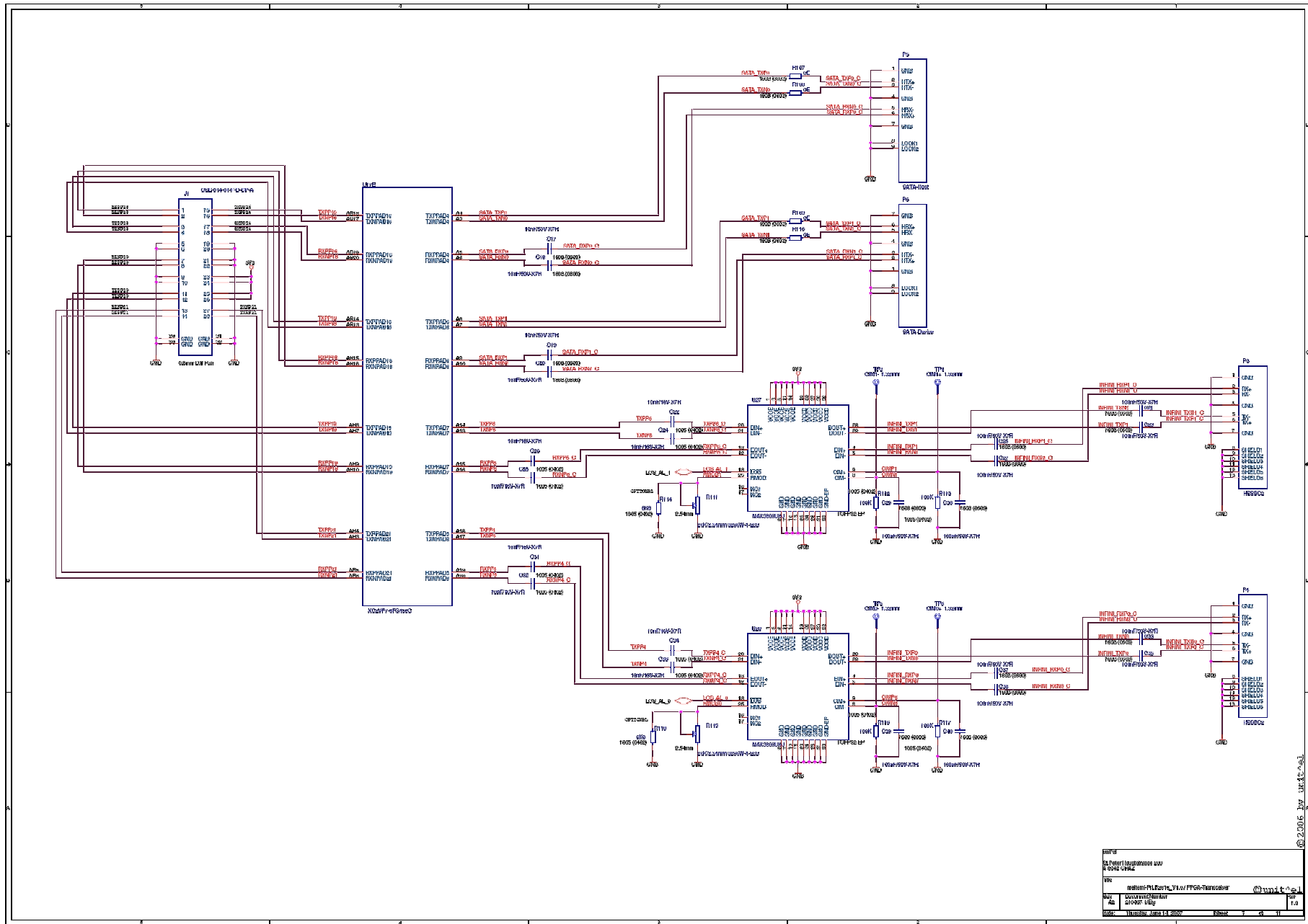






Datei			
Bauteil / Lagername			
Name			
Beschreibung			
Part	Umsatz	Stückzahl	Unit
1	1	1	1
Datei: ...			

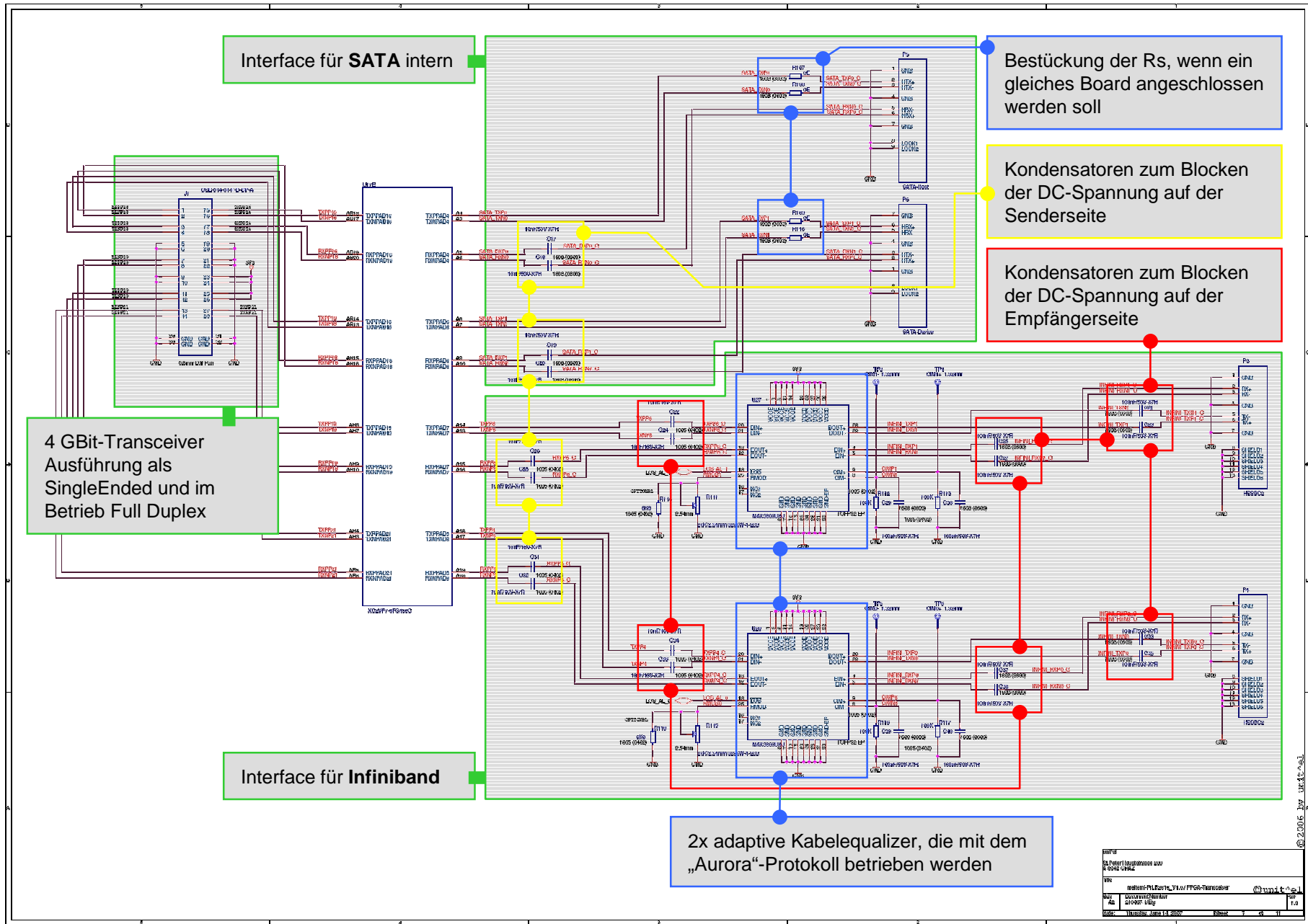
7.0.21.1001 2002



© 2016 by LUKAT-AG

Proj	LP2010
Proj. Name	LP2010
Proj. No.	LP2010
Proj. Rev.	1.0
Proj. Date	2016-08-10
Proj. Status	Released
Proj. Manager	...
Proj. Engineer	...
Proj. Designer	...
Proj. Checker	...
Proj. Approver	...





Interface für SATA intern

Bestückung der Rs, wenn ein gleiches Board angeschlossen werden soll

Kondensatoren zum Blocken der DC-Spannung auf der Senderseite

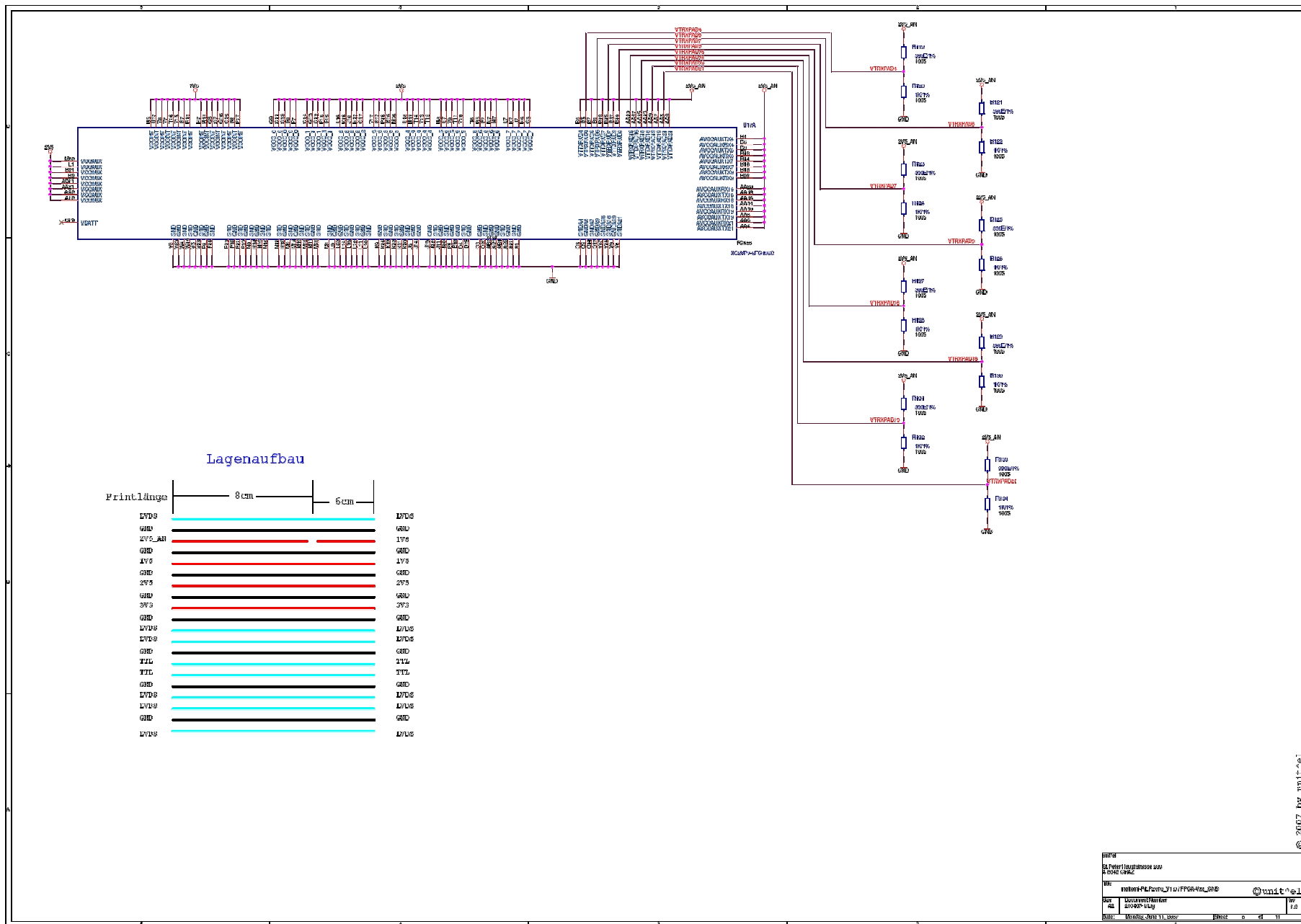
Kondensatoren zum Blocken der DC-Spannung auf der Empfängerseite

4 GBit-Transceiver Ausführung als SingleEnded und im Betrieb Full Duplex

Interface für Infiniband

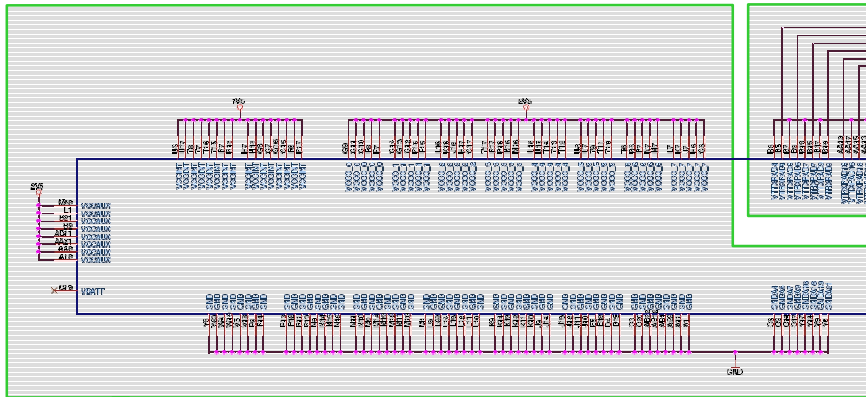
2x adaptive Kabelequalizer, die mit dem „Aurora“-Protokoll betrieben werden

Proj	LP2010
Proj.angl.	LP2010
Rev.	1.0
Proj.angl.	LP2010
Rev.	1.0
Proj.angl.	LP2010
Rev.	1.0

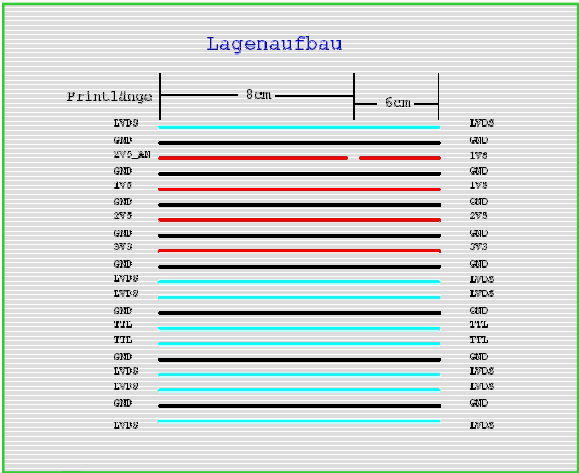


Toshiba AD 2002 ©

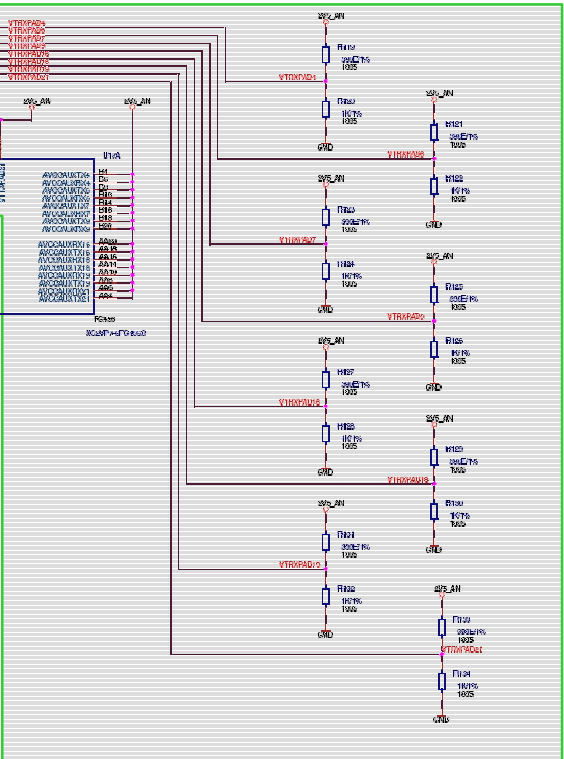
EPC			
St. Peter / Hauptstraße 200			
52056 Uckermark			
TYP		LP2010_P1_12 / PFG8-V02_GND	
DATE		2010-07-04	
SCALE		1:1	
PAGE		1 of 11	



Stromversorgung des **FPGA**



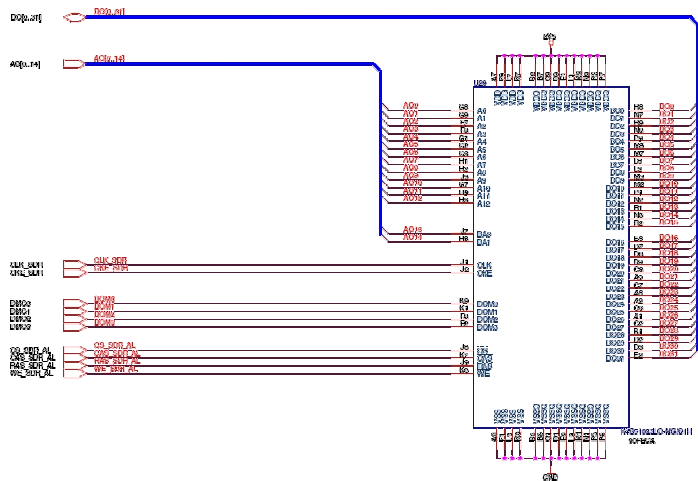
Schematischer **Lagenaufbau**



Stromversorgung für die **Transceiver** und zur Anpassung der erforderlichen Übertragungseigenschaften

Toshiba AD 2002 ©

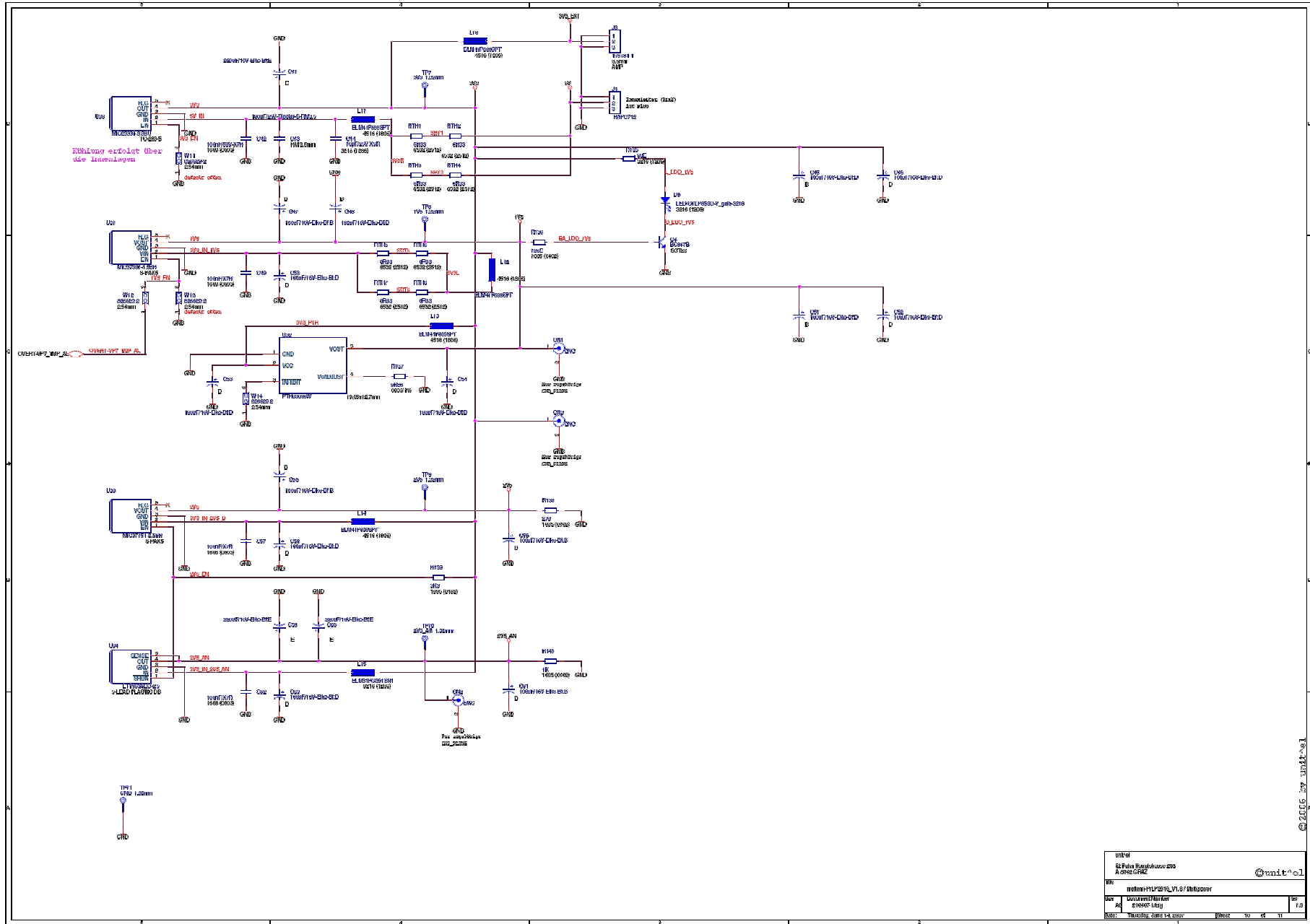
Proj:	EL Peter / Lagenaufbau.sch	
Titel:	LAGENAUFBAU	
Proj. Nr.:	LAGENAUFBAU_01.dwg / FPGA-VGA_GND	©unit.ele
Rev.:	1	1/2
DATE:	2002-03-11 10:05	BRUNNEN 0 04 11

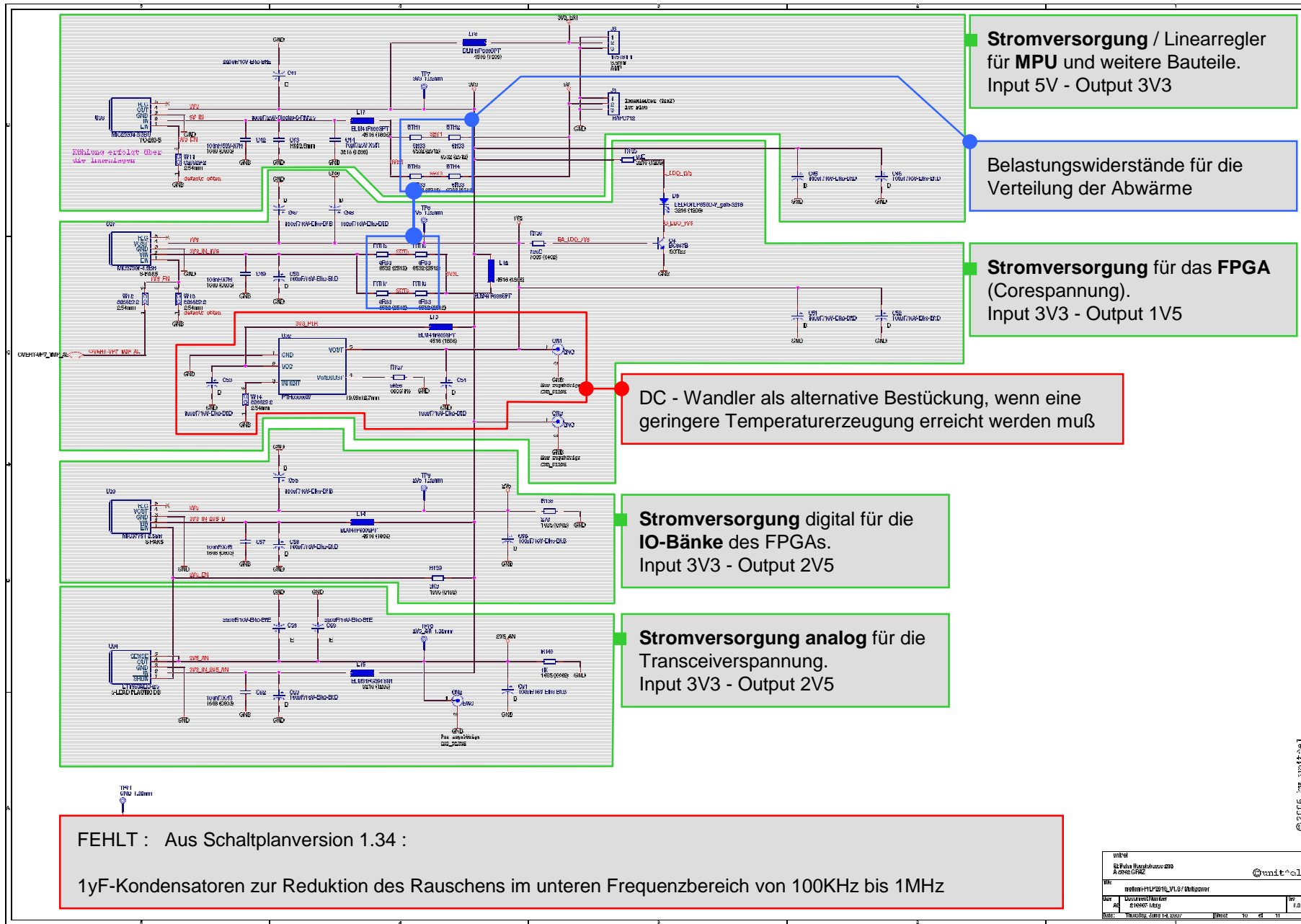


Schaltplan AD 2007 ©

Proj. Nr.	1000000000	Rev.	1.0
Proj. Name	1000000000	Proj. Datum	14.09.2007
Proj. Nr.	1000000000	Rev.	1.0
Proj. Name	1000000000	Proj. Datum	14.09.2007







**Stromversorgung / Linearregler für MPU und weitere Bauteile.**  
Input 5V - Output 3V3

Belastungswiderstände für die Verteilung der Abwärme

**Stromversorgung für das FPGA (Corespannung).**  
Input 3V3 - Output 1V5

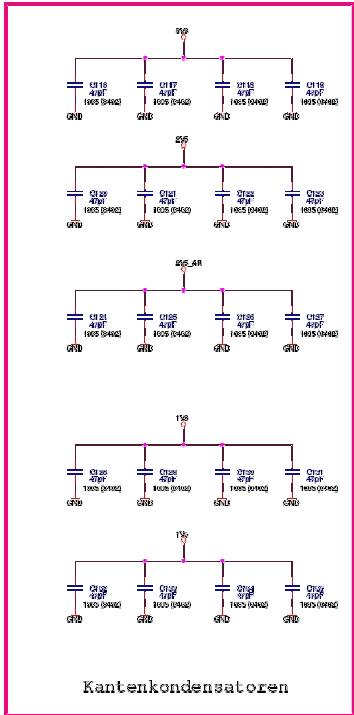
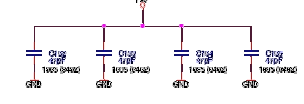
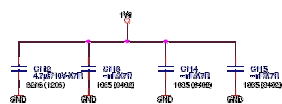
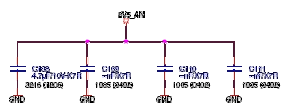
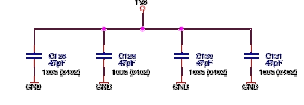
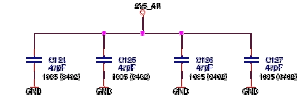
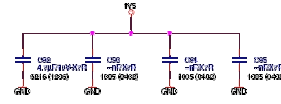
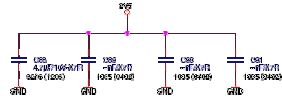
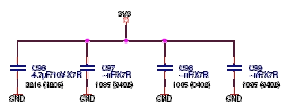
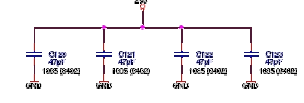
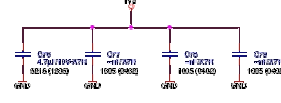
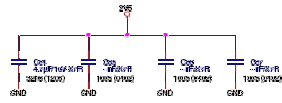
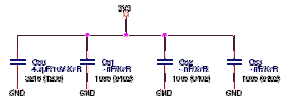
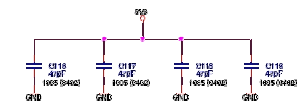
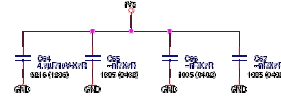
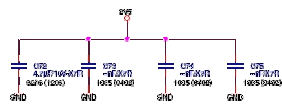
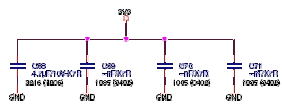
DC - Wandler als alternative Bestückung, wenn eine geringere Temperaturerzeugung erreicht werden muß

**Stromversorgung digital für die IO-Bänke des FPGAs.**  
Input 3V3 - Output 2V5

**Stromversorgung analog für die Transceiverspannung.**  
Input 3V3 - Output 2V5

**FEHLT :** Aus Schaltplanversion 1.34 :  
1yF-Kondensatoren zur Reduktion des Rauschens im unteren Frequenzbereich von 100KHz bis 1MHz

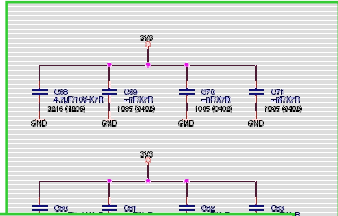
UNP-01	© 2015
Si-Power Management 030	© 2015 GEM
UNP-01	© 2015 GEM
rev: 01	rev: 01
date: 2015-08-14 14:00:00	date: 2015-08-14 14:00:00
sheet: 10 of 11	sheet: 10 of 11



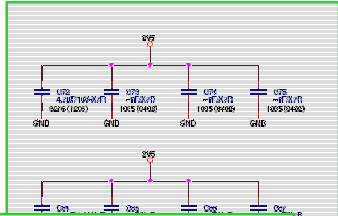
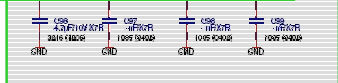
© 2015 3P UMFP-931

UNP4		©unit	
St. Peter Hauptstrasse 233			
A-6550 GFMZ			
name: P1LP2010_V1.0 / Nachname: P1LP2010			
date:	16.03.2015 10:11	sheet:	11 of 11
author:	UMFP-931	printer:	

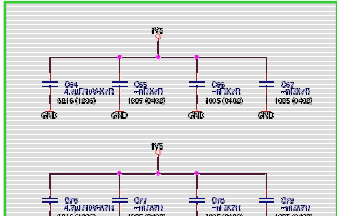
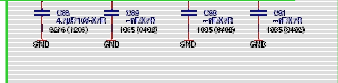




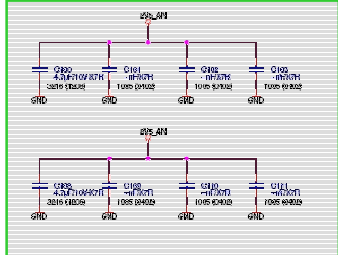
Kondensatoren MPU und Sonstige 3V3



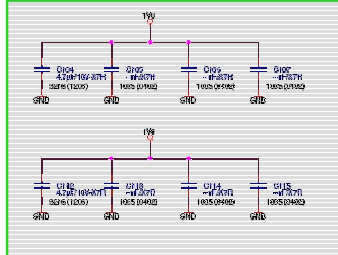
Kondensatoren FPGA digital IO 2V5



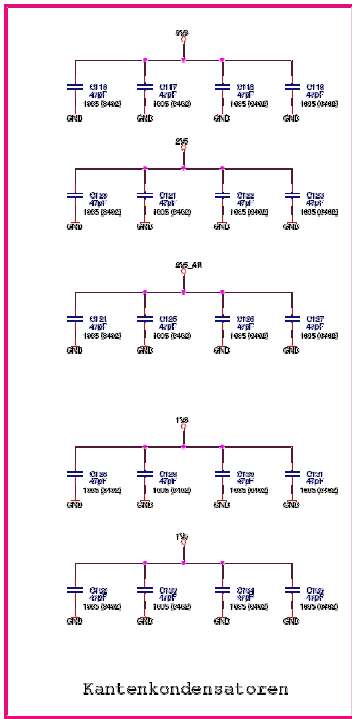
Kondensatoren FPGA Corespannung 1V5



Transceiverspannung FPGA analog 3V3



Corespannung der MPU 1V8



Alle Kantencondensatoren bleiben unbestückt

Alle Kondensatoren mit den Angaben -nF/X7R bleiben unbestückt

UNP1 Si-Power Management 200 A 0510 0762		
revision: PL12010_V1.0 / Kondensator-Platzplan		
date: 12.04.2011 14:00 author:	checked:	page: 11 of 11