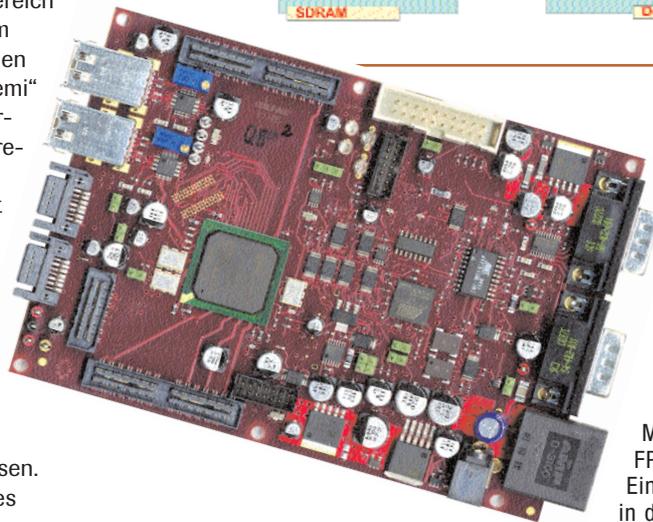
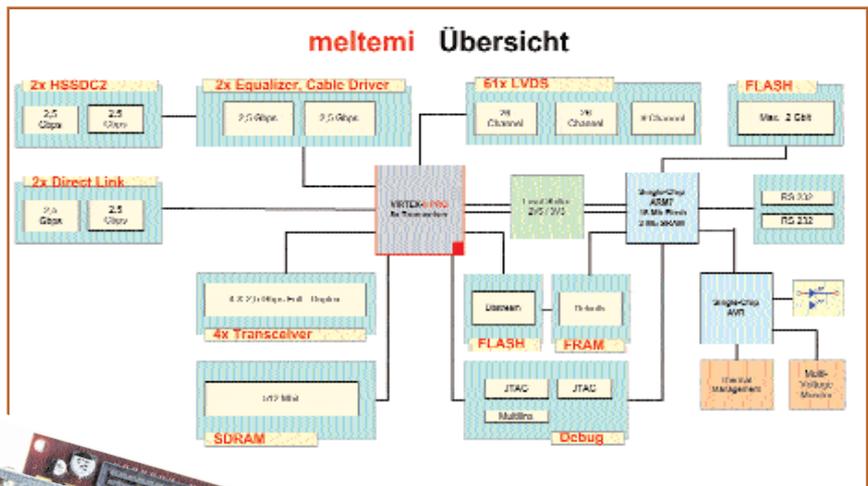


Als „Etesien“ (leitet sich von „etos“ – jährlich her) bereits den alten Griechen geläufig, ist der Meltemi ein Schönwetterwind, der aus nördlichen Richtungen weht und im Sommer als angenehm kühlend empfunden wird. Sein Ursprung liegt in der nördlichen Ägäis. Stets heiteres Wetter und gute, klare Sicht sind seine herausragenden Merkmale.

Klare und gute Sicht ist auch für jeden dringend notwendig, der sich den höheren Gefilden der seriellen Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich hardwareseitig widmen möchte. Um diese gute Sicht nicht aus den Augen zu verlieren stand der Name „meltemi“ Pate für das in der Serie „Die Leiterplatte 2010“ beschriebene Hardwareprojekt.

Ziel der Serie ist es ein wenig Licht in eine solche Entwicklung zu bringen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer derart komplexen Herausforderung einen erfolversprechenden Weg aus einem Labyrinth an Lösungswahrscheinlichkeiten zu einer stabilen Board-Hardware weisen. Zentraler Dreh- und Angelpunkt des meltemi-Board ist ein FPGA mit integrierten seriellen Transceivern, umgeben



■ Bild 1:
Blockschaltbild meltemi und bestücktes Board: Angel- und Drehpunkt des meltemi-Board ist ein FPGA mit integrierten seriellen Transceivern, umgeben von fest verdrahteter Unterstützungslogik und einem 32-Bit-Single-Chip-Mikrocontroller. Die mittels FPGA nach außen geführten Eingangs-/Ausgangs-Ports sind in differenzieller Leitungstechnik ausgeführt. Von den insgesamt 77 differenziellen Kanälen sind 61 in LVDS-Technik mit einer Übertragungsrate von 600 Mbit/s pro Kanal ausgestattet.

*Gerhard Eigelsreiter ist Inhaber der Firma unit^el, Spezialist für High-Speed-Embedded-Systeme mit Schwerpunkt reprogrammierbare Logik und EMV-gerechtes Leiterplattendesign, in Graz/Österreich.

„Das geht nicht mit Desktop Prototyping.“

NEU

Die Komplettlösung für Ihr Inhouse Leiterplatten-Prototyping!
LPKF ProMat® S82 und **LPKF ProConduct™** Stecksysteme,
 Bohren und chemisches Durchkontaktieren.

schnell & präzise: höchste Verfahrensgeschwindigkeit für hoch-
 qualitative Leiterplatten

flexibel: kürzeste Entwicklungszeit Ihrer Prototypen

einfach & sauber: chemierfreie Durchkontaktierung mit dem
LPKF ProConduct®-System

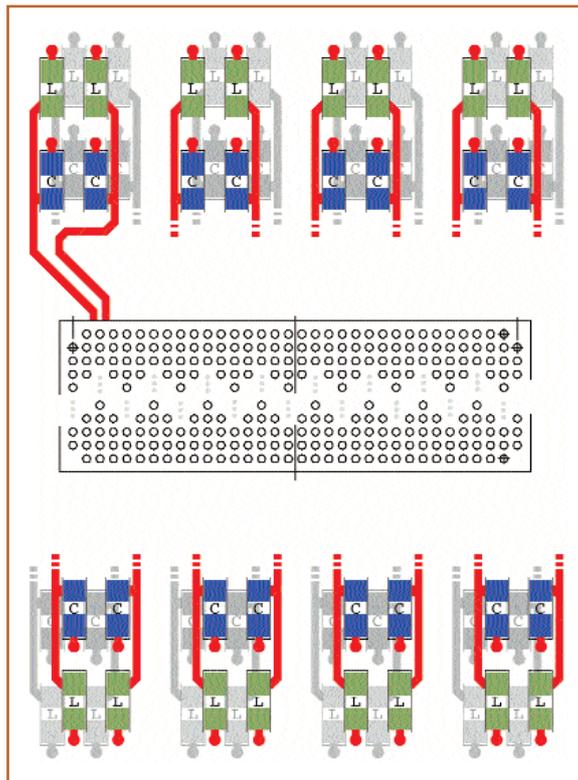
Rufen Sie uns an:
 +49 (0) 51 31-70 85-01



LPKF Laser & Electronics AG Telefon +49 (0) 51 31-70 85-0 Fax +49 (0) 51 31-70 85-80 lpkf@lpkf.de www.lpkf.de/prototyping

LPKF
 Laser & Electronics

■ Bild 2: „Gartenzaun“ für 8 Transceiver auf Oberseite und Unterseite. Das FPGA ist nur zum Teil gezeichnet. Eine Herausforderung für jeden Leiterplattenlayouter. Das Ergebnis hinsichtlich Verbesserung der Signalintegrität zwecks stabiler, möglichst störarmer Datenübertragung ist kümmerlich bis unbrauchbar.



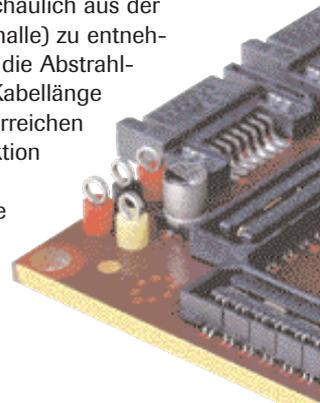
► von fest verdrahteter Unterstützungslogik und einem 32-Bit-Single-Chip-Mikrocontroller (Bild 1). Die mittels FPGA nach außen geführten Eingangs-/Ausgangs-Ports sind samt und sonders in differenzieller Leitungstechnik ausgeführt. Von den insgesamt 77 differenziellen Kanälen sind 61 in LVDS-Technik mit einer Übertragungsrate von 600 MBit/s/Kanal, also insgesamt mehr als 36 GBit/s brutto ausgestattet. Die restlichen 16 Kanäle werden von acht integrierten Transceivern mit 2,5 GBit/s/Kanal, insgesamt 40 GBit/s brutto, abgedeckt. Vier Transceiver-Verbindungen laufen über jeweils zwei Infiniband- und zwei Serial-ATA-Steckerkomponenten nach außen. Die restlichen vier Transceiver als auch die insgesamt 61 LVDS-Leitungspaare benutzen vier impedanzdefinierte High-Speed-Buchsenleisten zwecks Erweiterung mit Aufsteckboards. Die zwei Infiniband-Steckverbinder sind nicht direkt an die Transceiver angebunden: Die sichere und problemlose Datenübertragung über längere Kabelverbindungen (bis 17 m) gewährleisten adaptive Kabel-Treiber und -Equalizer. Wer sich jetzt fragt, wozu eine solche riesige Übertragungsrate benötigt wird, braucht sich nur den Anforderungswunschzettel seiner derzeitigen, respektive potenziellen künftigen Kunden für

die nächsten Jahre schicken zu lassen. Wohl dem, der auch für die nächsten Jahre mit moderaten Übertragungsraten auskommen möchte. Das rettet solche Glückspilze aber nicht vor der Flankensteilheit der Signale und vor den Störeinträgen durch die Stromversorgungspins der Chips; der Phantasie hochinnovativer Chiphersteller die Grenzen der Halbleiterphysik weiter auszuloten sind sichtlich kaum Grenzen gesetzt.

■ Die Auswirkungen der seriellen Transceiver auf ihre Umgebung

Schwerpunkte unseres Beitrages sind die seriellen Transceiver mit den unvermeidlichen Auswirkungen auf ihre Umgebung hinsichtlich Störabstrahlung und ihres Einflusses auf die Stabilität der restlichen Hardware. Den Kern bildet ein Vergleich verschiedener Messungen im Nah- und Fernfeld für zwei unterschiedliche Kabel-Steckerkombinationen, und zwar Infiniband als qualitativ hochwertige, aber kostenintensivere Lösung, sowie Serial-ATA als preiswertere, jedoch dem PC nahe stehende Variante. In beiden Fällen beträgt die Brutto-Übertragungsrate 2,5 GBit/s, Full-Duplex. Für das Link-Layerprotokoll wurde Aurora von Xilinx herangezogen. Es ist ein relativ leicht zu bedienendes Verfahren für Punkt-zu-Punkt-Verbindungen. Für Messungen im Nahfeld kam eine H-Feld-Sonde unseres Partners Dirks

Corporate Consulting zum Einsatz (Bezugsquellen siehe Literaturhinweise am Schluss des Artikels). Fernfeldmessungen in der EMV-Prüfhalle im TGM-Wien dienten der Verifikation der im Labor durchgeführten Messungen. Die „meltemi“ Messergebnisse von Infiniband (I1 bis I6) und Serial-ATA (S1 bis S6) Board-zu-Board Kabelverbindungen sind auf Seite 58 auf einen Blick dargestellt. Die Kabellänge für Infiniband ist mit 10 m und für Serial-ATA mit 1 m spezifiziert. Gemessen wurde mit Nutzdaten (I1 bis I3, S1 bis S3) und ohne Nutzdaten (I4 bis I6, S4 bis S6). Als Messpunkte für die H-Feldsonde wurden die SMD-Pads (I1, I4; S1, S4) der jeweiligen Stecker auf der Leiterplatte und der Übergang Kabelstecker auf Kabelanfang (I3, I6; S3, S6) herangezogen. Die Darstellung und Speicherung der Daten im Zeitbereich (I2, I5; S2, S5) übernahm das 6-GHz-Oszilloskop WaveMaster 8600A von LeCroy. Die Auswertung der Messkurven verdeutlicht erhebliche Unterschiede der Störabstrahlung von Infiniband- und Serial-ATA-Steckern und Kabeln. Trotz 10 m Kabellänge für Infiniband und zusätzliche adaptive Kabel-Equalizer lassen sich signifikante Abstrahlwerte weder im Nahfeld (I1, I4, I3, I6) noch in der EMV-Prüfhalle (I7 – Kabellänge 10 m, I8 – Kabellänge 3 m) eruieren. Dramatisch sieht es allerdings für die Serial-ATA-Verbindung mit einer Kabellänge von 1 m sowohl im Nahfeld (S1, S4, S3, S6) als auch in der EMV-Prüfhalle (S8 – Kabellänge 1 m; S7 – Kabellänge 5 cm) aus. Erst bei einer sehr kurzen (5 cm) Serial-ATA-Kabelverbindung (S7) normalisieren sich die Störabstrahlwerte. Verantwortlich sind massive Impedanz-Fehlanpassungen und unzulängliche Schirmungen der Serial-ATA-Stecker-Kabelkombination. Mit für Kabel geeigneten Ferriten, die man nachträglich anbringen kann, lassen sich die Abstrahlwerte etwas reduzieren. Dass diese Möglichkeit überhaupt besteht ist hauptsächlich der breitbandigen Stromversorgungs-Entkopplung mit gestapelten Stromversorgungsflächen zuzuschreiben. Wie anschaulich aus der Messung S7 (EMV-Prüfhalle) zu entnehmen ist, reduzieren sich die Abstrahlwerte bereits bei einer Kabellänge von 5 cm deutlich und erreichen bei noch weiterer Reduktion „Infiniband-Werte“. Ein deutlicher Beweis für die herausragenden Eigenschaften von Boards



Die Leiterplatte 2010 – Teil 1

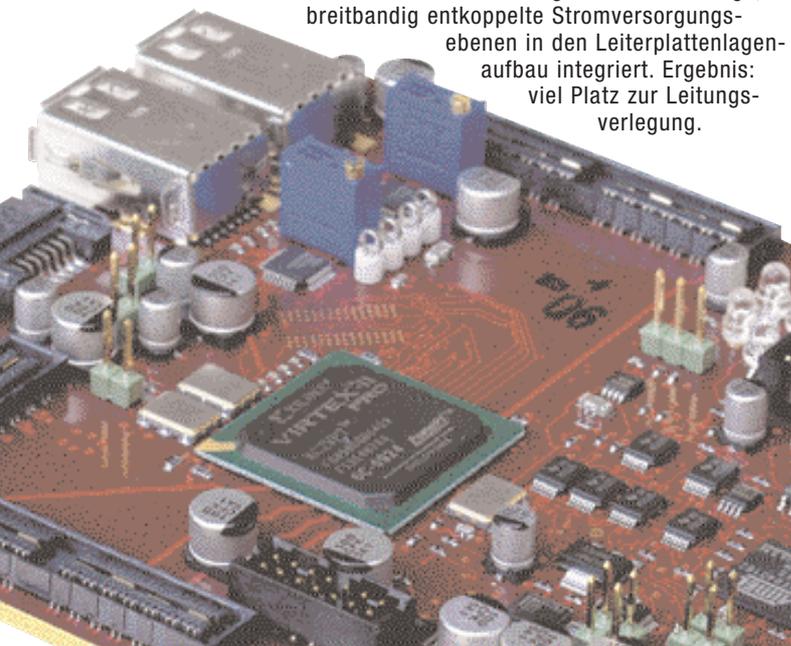
mit korrekt konstruierten und entkoppelten Stromversorgungssystemen.

Anmerkung zu den Bildern I1, I3, I4 und I6 für die Infini-band-Kabelverbindung: Es handelt sich hier keinesfalls um platzraubende Kopien ein und derselben Messung. Es war schlicht und ergreifend einfach NICHTS Brauchbares an Abstrahlung zu messen(!). Die wenigen Zacken in der Kurve sind eher anderen Störsendern wie Handy-Masten zuzuordnen. Eine aus Sicht des Verfassers und erst recht aus Sicht des Lesers enttäuschende Grafik, die nur gähnende Langeweile hervorrufen kann. Daraus zu vermuten, die Serial-ATA-Kabelverbindung mit ihren erfrischend auffälligen Messkurven wäre bewusst nur als Rechtfertigung für diesen Vergleich schaltungstechnisch hinaufkonstruiert worden, entbehrt jeglicher Grundlage. Andererseits, als diametralen Widerpart um im geneigten Leser Spannung zu erzeugen nimmt sie der Autor dankbar an.

Kosten und Nutzen von Kabelverbindungstechniken sorgfältig abwägen

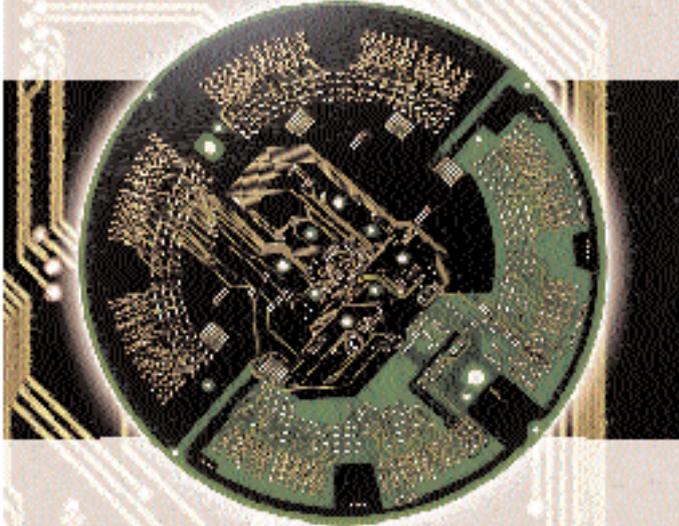
Doch welche Hinweise stecken tatsächlich in diesen Kurven (S1, S4, S3, S6)? Was lässt sich daraus Brauchbares heraus-sieben? Zuerst einmal die unerfreuliche Erkenntnis, dass bei fehlenden Nutzdaten (S4, S6; aus Sicht des Anwenders sollte eigentlich gar nichts übertragen werden) die Abstrahlwerte bei der Basisfrequenz von 1,25 GHz ein Maximum erreichen. Dies liegt darin begründet, dass normalerweise diese Basisfrequenz zur Synchronisation der FPGA-Transceiver Empfänger-Hardware benötigt wird, um keine unakzeptabel langen Auf-synchronisationszeiten entstehen zu lassen. Wenn man Pech hat fliegt man durch simples Nichtstun (keine Nutzdaten) erst recht durch die EMV-Prüfung. Manche Hardwareentwickler behaupten, dass dies der eigentliche Grund für die hohe Zahl an Wiederholungsprüfungen in den EMV-Messhallen wäre, indem sie auf die Tatsache verweisen, dass die meisten Prüflinge überhaupt weder FPGAs noch serielle Hochgeschwindigkeits-Transceiver auf der Leiterplatte hätten. Vor so viel Sarkasmus distanziert sich der Autor allerdings entschieden. Beim Verwenden von Kabelverbindungstechniken für Übertragungsraten im Multi-GigaBit/s-Bereich, besonders im industriellen Umfeld, gilt es Kosten und Nutzen sorgfältig ►

■ Bild 3:
meltemi-Transceiver-Lösung ohne Gartenzaun. Statt Drosseln, Kondensatoren und Einzelleitungen werden flächige, breitbandig entkoppelte Stromversorgungs-ebenen in den Leiterplattenlagen-aufbau integriert. Ergebnis:
viel Platz zur Leitungsverlegung.



high-Tech

Eine runde Sache – Platinen von Enzmann.



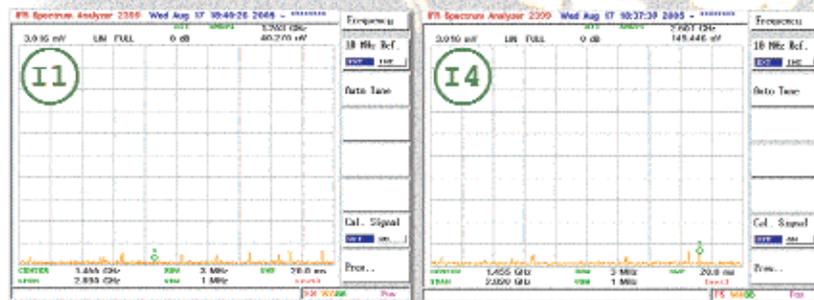
- Erfahren seit über 35 Jahren
- Funktionsrenderer Eminent
- Beispielhafte Produktionstechnologie
- **ACE** Exklusiv-Vertrieb für Deutschland und Österreich
- Zertifizierte Qualität nach DIN EN ISO 9001:2000
- Weitere Informationen finden Sie im Internet unter: www.enzmann.de

Christian Bromann GmbH
Gedruckte Schaltungen
Blumenstraße 39
82538 Geretsried
Telefon (0 81 71) 98 06-0
Telefax (0 81 71) 6 31 46
E-Mail: info@enzmann.de

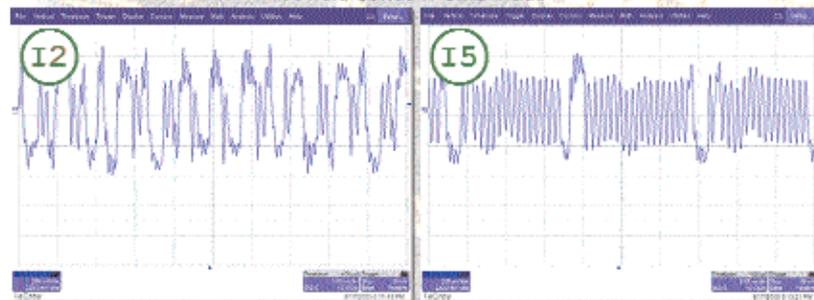


ENZMANN
Gedruckte Schaltungen

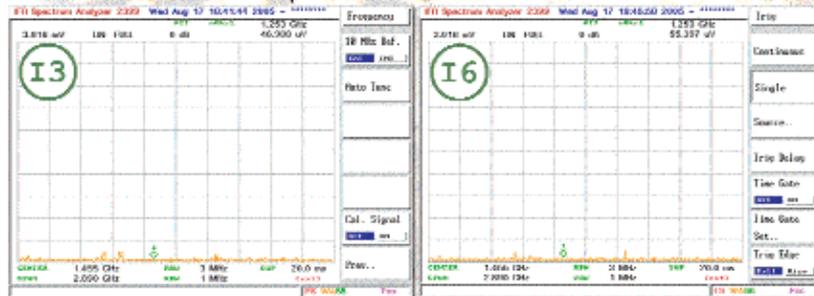
Nutzdaten **Infiniband** Sync



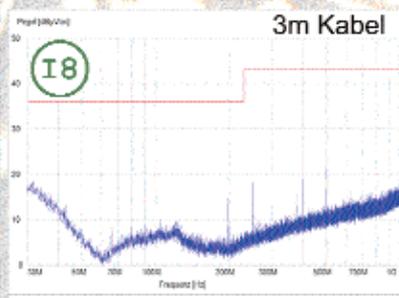
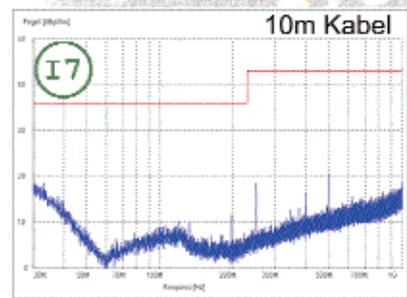
H-Feld Sonde -- SMD-Pads



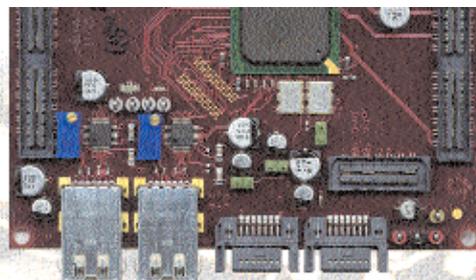
Scope 2.5GHz-Probe -- SMD-Pads



H-Feld Sonde -- Kabel



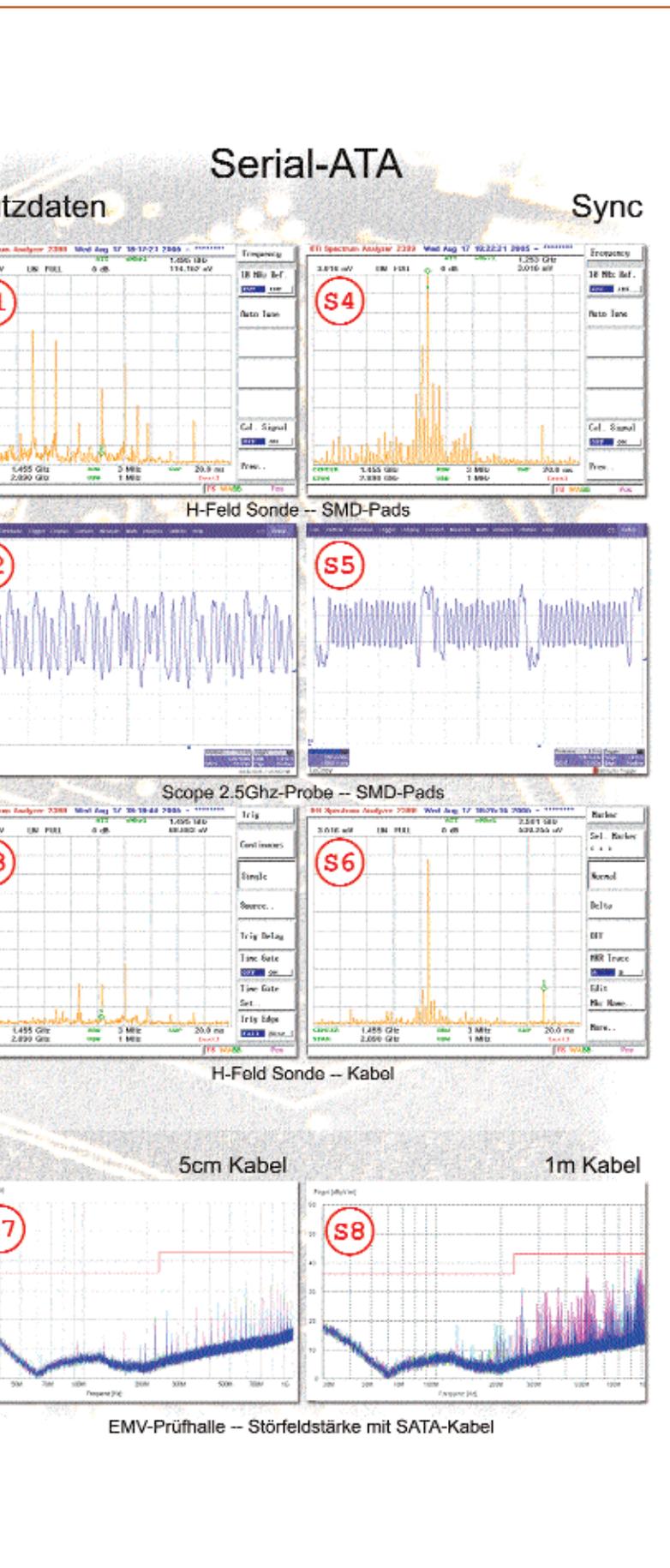
EMV-Prüfhalle -- Störfeldstärke mit Infinibandkabel



Infiniband Serial-ATA

Die „meltemi“-Messergebnisse von Infiniband (I1 bis I6) und Serial-ATA (S1 bis S6) Board-zu-Board-Kabelverbindungen bei einer Brutto-Übertragungsrate von 2,5 GBit/s Full-Duplex: Das Herzstück der Multi-Gigabit-Applikationsplattform meltemi ist ein FPGA mit integrierten seriellen Transceivern umgeben von fest verdrahteter Unterstützungslogik und einem 32-Bit-Single-Chip-Mikrocontroller. Die mittels FPGA nach außen geführten Eingangs-/Ausgangs-Ports sind in differenzieller Leitungstechnik ausgeführt. Im Mittelpunkt des ersten Teils unserer Serie „Die Leiterplatte 2010“ stehen die seriellen Transceiver und deren Auswirkungen hinsichtlich Störabstrahlung und Einfluss auf die Stabilität der gesamten Baugruppe. Die Ergebnisse wurden in verschiedenen Messungen im Nah- und Fernfeld für die Kabel-Steckerkombinationen Infiniband und Serial-ATA jeweils bei einer Brutto-Übertragungsrate von 2,5 GBit/s Full-Duplex überprüft.





PCB-POOL®

- 1 WERKSATZ
- + Materialien
- + Platzhalter
- + Kleber

€49,-

Produktion
Trennung
Wahl 624

PCB-POOL
KOSTENLOS

PCB-POOL.COM

Billhendes Leben

Unterernährung hat gerade für Kinder fatale Folgen. Denn das hemmte nicht weltweit nur, den akuten Hunger zu stillen, sondern fördert Programme, die den Hunger auf Dauer bekämpfen. Beweismittel für den Kauf von Köhen bringen Milch, Gemüse und Getreide. Informationen erhalten Sie kostenlos. Schreiben Sie uns diese Anzeige mit Ihrer Anschrift.

terre des hommes | Telefon: +49 4750 70 33
Postfach 400 6 | e-Mail: terre@t-online.de
49 4750 30 60 00 | Internet: www.tdh.de

terre des hommes

VOLTIS

www.induktive-Bauteile.de

Multimediale Elektronik

Leiterplattenlayout
mit Zahlen, Buchstaben, Pinyin, GB, Katakana etc.
Multimedial, 2 x 10000 Hier
Tel.: 0394 52 882-7, Fax: 0394 52 882-8
http://www.multimediale-elektronik.de

Seit 1985 unser Geschäft

Produktion Ihrer Elektronik

unsere Geräte
nah beim **Kunden**

für eine gemeinsame Kultur
so als wäre es Ihre **eigene**
Fertigung

unsere Verzögerung
zu Ihrer **Sicherheit**

Smyczek

Überzeugen Sie sich von unseren Aussagen strukturiert vor Ort
www.smyczek.de | info@smyczek.de | 052 46 - 70 60 0
NEU: Röntgeninspektion als Dienstleistung

Die Serie „Die Leiterplatte 2010“

Über zwei Jahre nach der Serie „Die Leiterplatte 2005“ (siehe Link) werfen die Hardwareentwickler und Leiterplattendesigner wieder einen Blick auf den technologischen Fortschritt getrieben von der Halbleiterindustrie und setzen sich intensiv mit zwangsläufig aufwerfenden Fragen näher auseinander. Dies erfolgt in bewährter Manier wieder an einer konkreten, gegenständlichen Hardwarekonstruktion – der Applikationsplattform „meltemi“, einer Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich. Das Ziel unserer vierteiligen Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu be-

schreiben, die bei einer so komplexen Herausforderung eine erfolgversprechende Lösung für eine stabile Board-Hardware darstellen. Am Ende der Serie verdeutlichen die Autoren ihre Vorgehensweise am Beispiel der Hochgeschwindigkeitsplattform „meltemi light“. Dabei werden anhand eines 6-lagigen Multilayers mit 32 Bit Single-Chip-Mikrocontroller und Spartan-III-FPGA viel versprechende Lösungsansätze näher diskutiert, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten. Ein Überblick über die Serie ist in ELEKTRONIKPRAXIS 24/2005 erschienen. Den nächsten Teil bei dem Leiterplattenlayout und Fertigung im Mittelpunkt stehen, lesen Sie in Ausgabe 2/2006.

Über eine Art Tauschhandel kann der Physik jedoch Genüge getan werden: Statt Unmengen an Drosseln, Kondensatoren und Einzelleitungen werden flächige, geschickt über Kondensatorgruppen breitbandig entkoppelte Stromversorgungsebenen in bestimmter Anordnung in den Leiterplatten-Lagenaufbau integriert. Im Applikations-Board meltemi wurde ein solcher Lagenaufbau realisiert und harten Prüfungen unterworfen. Die Resultate können sich sehen lassen: Sowohl hinsichtlich der Störabstrahlwerte im Nahfeld als auch im Fernfeld erzielt die Leiterplatte hervorragende Ergebnisse. Ebenso ließen sich mit der Infiniband Kabel-Steckerkombination bei Übertragungsraten von 2,5 GBit/s und 10 m Kabellänge (auch bei zwei parallel betriebenen Kanälen – also 5 GBit/s) keine Übertragungsfehler feststellen. Unser Partner und Leiterplattenhersteller ILFA hat die hierfür notwendigen Forschungsarbeiten übernommen. *Der nächste Teil in Ausgabe 2/2006 am 27. Januar widmet sich intensiv dem Leiterplattenlayout und den Erfahrungen in der Leiterplattenfertigung.* (cm)

Literatur:

RocketIO Transceiver User Guide UG024 (v2.5) December 9, 2004, Virtex-II Pro, Xilinx
Virtex-II Pro and Virtex-II Pro X FPGA User Guide UG012 (v3.0) 5. August 2004, Virtex-II Pro, Xilinx
Applikationsbericht µH-Feldsonde AC220, Alice Meßtechnik GmbH
Wenn Leiterplatten strahlen, Prof Christian Dirks
Vorteile dünner Substrate in Ground-/Powerplane-Systemen, Prof Christian Dirks
Ilfa-Akademie
„meltemi“-Folder

www.elektronikpraxis.de

unit^el: Die High-Speed-Embedded-Experten und das meltemi-Projekt

Ilfa: Designspezifikationen, Publikationen und Ilfa-Akademie

Die Leiterplatte 2005: Inhalt und Bestellformular für die CD-ROM

EMV-Praxis: Die Seminarreihe EMV-korrekttes Leiterplattendesign

Virtex-II Pro and Virtex-II Pro X FPGA User Guide UG012 von Xilinx

RocketIO Transceiver User Guide UG024 von Xilinx

Applikationsbericht µH-Feldsonde AC220 von Alice Meßtechnik

Publikationen von Prof. Christian Dirks

InfoClick

164981

gegeneinander abzuwägen. Das Beispiel Serial-ATA-Verbindungstechnik mit erheblich höheren Störabstrahlwerten zwingt den Hardwareentwickler zu einem umfassenderen und zeitraubenden Studium von Lösungsansätzen in vielen, künftig übergreifenden Wissensgebieten. Das widerspricht der derzeit globalen Marktdoktrin immer leistungsfähigere Hardware in immer kürzeren Zeitabständen serienreif zu entwickeln und termingerecht in den Marktfenstern zu positionieren. Langfristige Kooperationen und Partnerschaften werden immer wichtiger, zumal die Grundlagenforschung durch die Bank aufwändiger wird. Doch prüfe, wer sich ewig bindet.

■ Gartenzäune und andere Kalamitäten

Entwickler, die sich mit High-Speed-Technologien herumschlagen müssen, also in naher Zukunft praktisch alle, die FPGAs mit schnellen seriellen Transceivern auf der Leiterplatte verbauen, werden anfangs die seltsam anmutenden Drossel-Kondensator-Konstrukte zur Entstörung der Transceiver-Stromversorgungspins misstrauisch beäugt haben. Bei 8 Transceivern braucht man immerhin 32 Drosseln und ebenso viele Kondensatoren (Bild 2). Aber so richtig schöne „Gartenzäune“ bekommt man bei 24 Transceivern. Für jeden Leiterplattenlayouter ein Horror-szenario hinsichtlich Platzierung, Einhal-

tung der Regeln für differenzielle Leitungsführung und zahlreicher weiterer Maßnahmen zur Verbesserung der Signalintegrität zwecks stabiler, möglichst störarmer Datenübertragung. Der Aufwand, um all dies unter einen Hut zu bringen, ist enorm. Das Ergebnis bleibt kümmerlich bis unbrauchbar. Weil hier der korrekten breitbandigen Stromversorgungsentkopplung einfach NICHT Genüge getan wurde. Trotzdem wird diese Gartenzaun-Lösung zwingend in den Datenblättern und Applikationsnoten vorgeschrieben – nicht einfach nur vorgeschlagen.

Was bietet der Verursacher, der Halbleiterhersteller, sonst noch an? Bis auf wenige Ausnahmen die gute alte Stützkondensator-Lösung mit meist 100 nF SMD-Kondensatoren. Bei den zu erwartenden hohen Schaltfrequenzen ist der Wirkungsgrad einer solchen Stützung zuverlässig mit praktisch null anzusetzen – eine leicht zu merkende Faustformel. Viel Hilfe ist also nicht zu erwarten. Vernünftiger wäre, auf diese Gartenzäune von vornherein zu verzichten (Bild 3) und sie komplett wegzulassen (Anmerkung: Es gibt allerdings Lösungsvorschläge, wo man sie doch wieder benötigt, aber dann nutzen sie auch etwas). So einfach ist es allerdings nicht, denn sie wurden nicht ohne Grund den Leiterplattendesignern aufoktroiert.

High-Speed-Regeln beachten

Erfahrungen und Empfehlungen für das Entflechten differenzieller Signale im GBit/s-Bereich auf der Leiterplatte

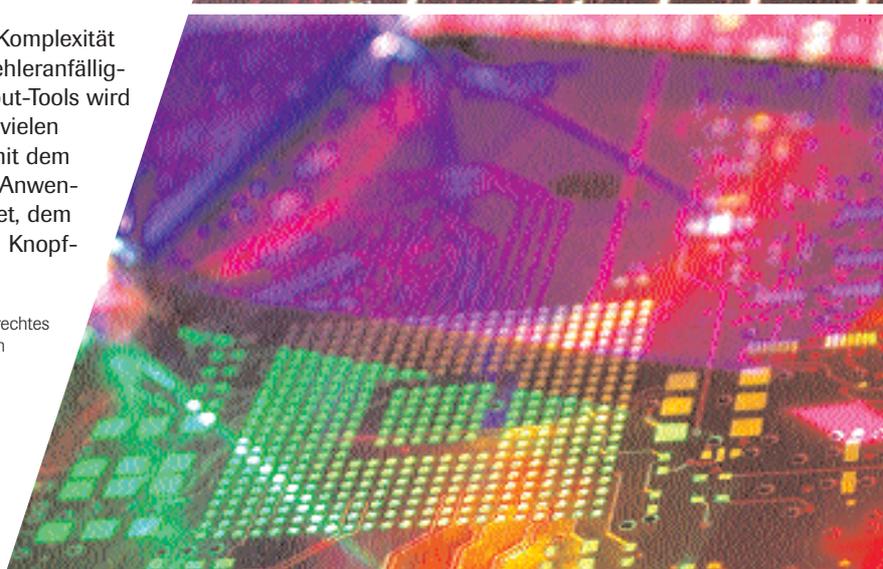
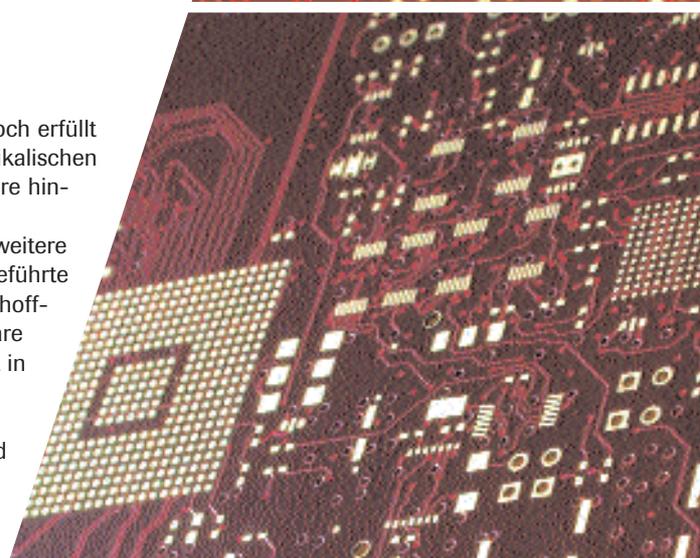
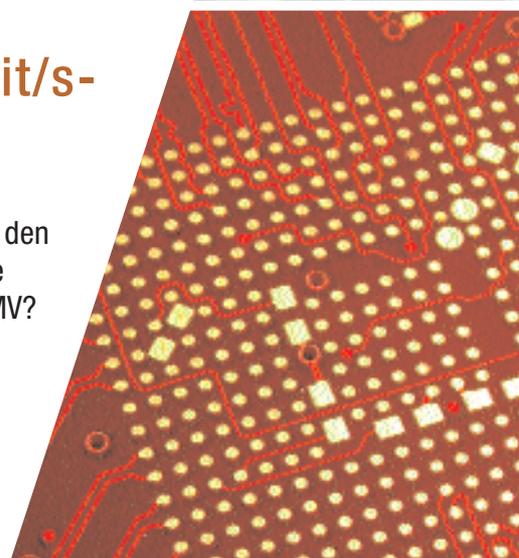
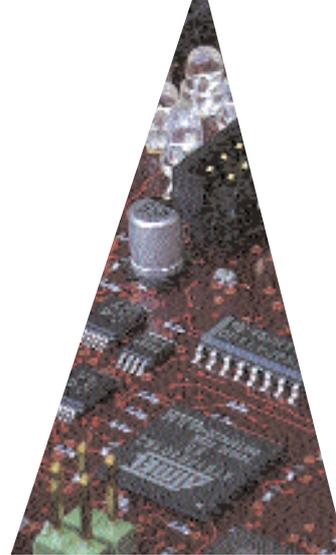
Moderne EDA-Software wartet mit vielen „hilfsbereiten“ Assistenten auf, um den Weg für ein 100%iges Routing-Ergebnis zu ebnen. Erfüllt dieses Ergebnis die physikalischen Randbedingungen der Hardware hinsichtlich Stabilität und EMV? Tatsächlich kommt man ohne weitere tiefgreifende von Hand durchgeführte Optimierungen nicht zu den erhofften Ergebnissen. Im zweiten Teil unserer Serie schildern die Entwickler mit welchen Maßnahmen sich ein hoher Grad an Hardwarestabilität in Hochgeschwindigkeitsanwendungen erzielen lässt und welche Vorgehensweise sich beim Entflechten differenzieller Hochgeschwindigkeitssignale in der Praxis bewährt hat.

Gerhard Eigelsreiter und Franz Ganster*

Das detaillierte Sichtbarmachen eines gedanklichen Bildes wird im Allgemeinen mit dem Begriff „Layout“, aus dem Englischen: Anlage oder Plan, umschrieben. Die Erweiterung zum Wortungetüm „Leiterplattenlayout“, auch „Leiterplattenentflechtung“, wirkt nahezu anheimelnd vertraut im Vergleich zur entkomprimierten Version: „Für die Träger elektronischer Schaltwerke (die Leiterplatte) ergibt sich zwecks Erstellung von Fertigungsdaten die Notwendigkeit, die im Schaltplan zwischen den Anschlüssen von aktiven und passiven elektronischen Bauelementen abgebildeten Verbindungen in eine auf eine gedruckte Schaltung aufzutragende geometrische Form zu bringen“. So umständlich und subtil wie diese Formulierung verhält es sich mit der Bedienung vieler Leiterplattenentflechtungs-Softwarepakete. An allen Ecken und Enden lauern „hilfsbereite“ Assistenten um den Weg für ein 100%iges

Routing-Ergebnis zu ebnen. Doch erfüllt dieses Ergebnis auch die physikalischen Randbedingungen der Hardware hinsichtlich Stabilität und EMV? Tatsächlich kommt man ohne weitere tiefgreifende per Hand durchgeführte Optimierungen nicht zu den erhofften Resultaten. Das an sich klare gedankliche Lösungsbild droht in den Überlegungen und Tricks völlig zu versumpfen, um Softwareklippen zu umschiffen und reichlich vorhandene, selten abschaltbare Softwareassistenten in den Griff zu bekommen. Die enorme Komplexität und damit Fehleranfälligkeit der Layout-Tools wird deshalb von vielen Herstellern mit dem Wunsch der Anwender begründet, dem Idealziel vom Knopf-

*Gerhard Eigelsreiter ist Inhaber der Firma unit[^]el, Spezialist für High-Speed-Embedded-Systeme mit Schwerpunkt reprogrammierbare Logik und EMV-gerechtes Leiterplattendesign, in Graz/Österreich. Franz Ganster zeichnet für den Bereich Leiterplattenlayout und Analogtechnik bei unit[^]el verantwortlich. Er ist für die Entflechtung (Layout) der Leiterplatte „meltemi“ zuständig.



druck-Design möglichst nahe zu kommen. Ein Ziel, dass infolge immer kürzerer Produktzyklen weiter denn je entfernt zu liegen scheint. Aus zeitlichen, folglich wirtschaftlichen Gründen reicht es nicht mehr aus, einige wenige Projektsegmente auszulagern. Es bedarf vielmehr einer wesentlich allgemeineren, interdisziplinären Konstellation von Spezialisten, Produktionsunternehmen und Dienstleistern. Einer Gruppierung, die den Bogen von der Grundlagenforschung bis zur Produktion in enger Verzahnung überspannt. Die auch bereit ist, dieses Know-how in jeder Phase der Projektentwicklung in Form von praxisoptimierten Seminaren, begleitenden Beratungen oder kompletten Hardwareentwicklungen zur Verfügung zu stellen.

Wer hier absolute Perfektion in allen Disziplinen erwartet, dem folgt die Enttäuschung auf dem Fuße. Der zu tätige Forschungs- und Entwicklungsumfang wäre infolge des unverhältnismäßig hohen Zeitaufwands nicht zu rechtfertigen und aus wirtschaftlichen Gründen schon gar nicht vertretbar. Dennoch lassen sich ein erstaunlich hoher Grad an Hardwarestabilität in Hochgeschwindigkeits-Anwendungen erreichen und die dafür notwendigen Lösungen vermitteln.

Dem Stiefkind Leiterplattenlayout und -produktion widmen sich intensiv unsere Partner in dieser und den kommenden Folgen.

■ Differenzielle Hochgeschwindigkeitssignale entflechten

Die herkömmliche Methode für das Design von digitalen Schaltungen bedarf zusätzlicher neuer Techniken. Bedingt durch zunehmende Verkleinerung und immer höheren (Takt)-Geschwindigkeiten, gepaart mit rasch steigenden Verarbeitungsleistungen komplexer ICs sieht man sich als Layouter gefordert, seinen Schwerpunkt auf High-Speed-Designs und deren Regeln zu legen.

Die Voraussetzungen, bis zu welcher Geschwindigkeit herkömmliche Signalstrukturen mittels gewohnter (Bus)-Staffelung oder entsprechende Leitungsführung im Layout umgesetzt werden können, sind im Wesentlichen durch die Anstiegs- (bzw. Abfall-)Zeiten und ihrer Leitungslängen im Layout bedingt.

Apropos
Leitungslänge: In 1 ns überbrücken Signale auf Boards mit FR4-Basismaterial Leitungsdistanzen

von ca. 15 bis 20 cm. Das bedeutet aber auch, dass der Signalwechsel von Low auf High bei obiger Anstiegszeit eben diese Strecke benötigt. Inzwischen sind jedoch schon ICs im Einsatz, die mit wesentlich höheren Flankensteilheiten operieren und entsprechend behandelt werden müssen.

■ Kontinuität der Leitungsimpedanz

Eine Leiterbahn kann man sich als Aneinanderreihung von ohmschen Widerständen, Induktivitäten und Kapazitäten vorstellen. Damit lassen sich ihre Eigenschaften bestimmen und Lösungswege für sich eventuell daraus ergebende Probleme erarbeiten. Von besonderer Bedeutung ist die Stärke der E-Feld- und H-Feld-Komponenten benachbarter Leiterbahnen hinsichtlich Abstrahlung und tolerierbarem Übersprechen.

Leitungslängen, deren Werte ein Zehntel der Signalwechsellänge überschreiten, müssen als Transmissionsleitungen angesehen werden. Bei Flankensteilheiten von 1 ns betrifft das bereits Leiterbahnen von mehr als 1,5 cm Länge!

Anordnungen mit einem Ausgang (Sender) und mehreren Eingängen (Empfänger) müssen deshalb Regeln und Geometrien zur Einhaltung der Kontinuität der Leitungsimpedanzen folgen.

Als **Faustregeln** (Auszug) lassen sich daraus ableiten:

Ab Taktfrequenzen von 30 MHz aufwärts sind High-Speed-Regeln zu beachten.

- Das Printlayout muss bei Taktraten von 30 MHz bereits für Frequenzen von mindestens 150 MHz (5. Harmonische) ausgelegt werden.

- Bei Flankensteilheiten von 1 ns sind bereits High-Speed-Regeln zu beachten. (Pro ns legen Signale auf Leiterbahnen Wege von 15 bis 20 cm Länge zurück).

- Ohne breitbandig entkoppelte Stromversorgungslagen lassen sich High-Speed-Designs kaum EMV-gerecht realisieren und sind daher unbedingt mit einzuplanen.

Bei steigenden Transferegeschwindigkeiten gewinnen serielle Übertragungsverfahren rasch an Bedeutung.

Um die Qualität und die hohe Übertragungsgeschwindigkeit der Signale sicherzustellen werden hauptsächlich differenzielle Verfahren eingesetzt. Jeder Übertragungskanal besteht aus zwei Leitungen, man spricht dann von differenziellen Signalen (siehe Bild 1) zwischen den beiden Leitungen (LVDS = Low Voltage Differential Signals).

■ Regeln, um differenzielle Signale auf einem Layout zu realisieren

Um differenzielle Signale auf einem Layout zu realisieren, muss man zusätzliche Regeln beachten:

- Abstand der Leitungen zueinander (definiert die Impedanz zueinander).

LEITERPLATTEN
Prototyp, Klein & Großserien

**HighTech
LowCost!**

SINGLE-POOL
LEITERPLATTEN Prototypen
Die günstige Lösung für 1 oder 2 Leiterplatten

6AT 2 Lagen BAT z.B. 100mmx100mm	4 Lagen BAT z.B. 100mmx100mm
1 Stück: € 45,24 netto € 39,-	1 Stück: € 139,20 netto € 120,-

OPTIONEN:
- Leiterbahn: 100 µm min.
- Bohrungen: 0.2 mm min.

INKLUSIVE:
Umfangreiche technische Beratung
E-Test (ab 2 Lagen)
2x Lötlap
1x Positionsdruck
Import von Gerber, Eagle, Target
Design Rule Check
Einrichtung
Leiterbahn: 150µm min.
Bohrungen 0.3mm min.
Bohranzahl - No Limit
Kontur gefräst
Oberfläche HAL
Material FR4 1.55 mm
30µm Cu
MULTILAYER ergänzend mit:
A.O.I. Automatic Optical Inspection
X-Ray Lager-Verstärkung

ECO-POOL bis 28 Lagen **BAT**
LEITERPLATTEN Serien
Alle technischen Möglichkeiten

z.B. 2 Lagen Eurokarte 100mmx100mm	20 Stück
Erstbestellung je € 15,95 netto € 13,75	Nachbestellung je € 11,48 netto € 9,90

OPTIONEN:
- Front- und Rückseite
z.B. für 30µm ULTRA-FENSTREIFEN
- Span in Verarbeitung
- Blind Via in Lochbohrung
- 100µm Kurzloch
- 100µm Mikrovia
- Board Gold
- Chemisch Zinn
- Chemisch Gold
- Normen: RoHS, PFC, CE, REACH
- Import: Horiba + Prüfzettel
- Für Hochstromanwendung
- bis 40µm Cu

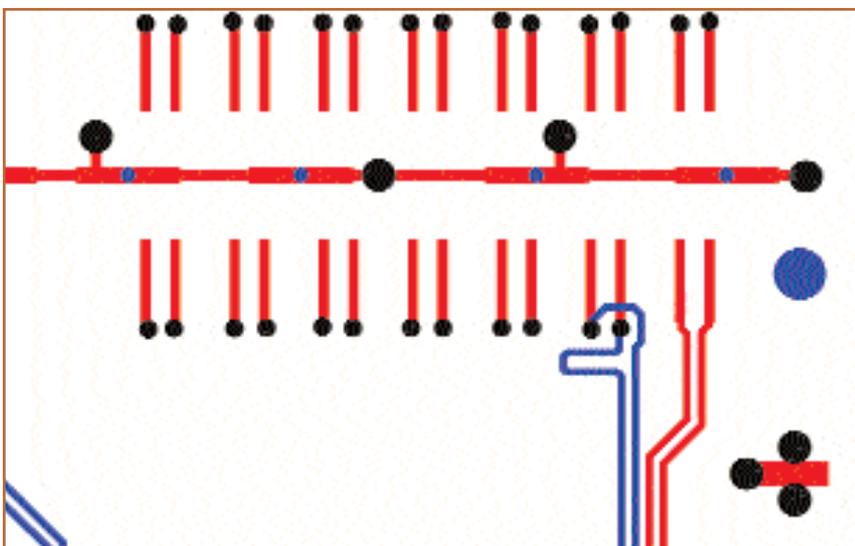
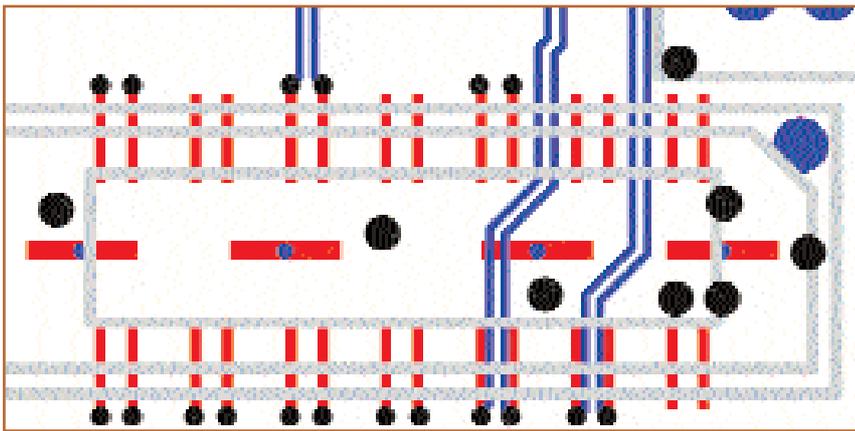
Backplanes
HD Multilayer
Starflex Leiterplatten
Superfläche Multilayer
Metallkerne Leiterplatten
Laser SMD-Schablonen

Intimer & Änderungen vorbehalten!

multipcb
Ltd. (GmbH)
Bunnenhofer Straße 2
D- 89449 Holzing/Brunnthal
Tel: 0049 (0)8104 628-110
Fax: 0049 (0)8104 628-180
E-Mail: info@multipcb.de

UL
Pb

www.multipcb.de



■ Bild 2:

Der Längenausgleich des differentiellen Leitungspaars muss immer nahe der Stelle erfolgen, an der der Längenunterschied auftritt. Die Umsteiger (Vias) sind in gepluggter Technik ausgeführt (siehe mittlere Masseanbindung). Mittels dieser Technik kann man Vias direkt ohne Lötprobleme in das Pad setzen und somit Impedanzsprünge vermindern.

■ Bild 1:

Bedingt durch die Bauform des verwendeten High-Speed-Steckverbinders (QSE-028-01-F-D-DP-A von Samtec) dürfen die Anbindungen der Leiterbahnen nur von außen zum Pad geführt werden, um zusätzliche Impedanzsprünge durch Stubs zu vermeiden. Sind Vias unumgänglich sollten diese zur Hälfte in das SMD-Pad eingebunden werden (gepluggte Vias).



- Abstand der Leitungen zur nächsten (GND-)Versorgungslage (definiert die Impedanz der Leitungen dorthin).
- Leiterbahnbreite (geht ebenfalls impedanzmäßig mit ein).
- Die Signal-Laufzeit auf dem jeweiligen LVDS-Paar, wenn mehrere LVDS-Kanäle die gleiche Laufzeit benötigen sollten (Zusammenführungslänge).
- Maximale ungekoppelte Länge des differentiellen Paares (Verkürzungsfaktor berücksichtigen).
- Mindestens der dreifache Innenabstand der zwei Leitungen des LVDS-Paares zum nächsten LVDS-Kanal. Phasentoleranz (siehe Bild 2) innerhalb des LVDS-Leitungspaars (ergibt die maximale Längendifferenz der beiden differentiellen Leitungen zueinander).
- Zwecks Vermeidung von Impedanzsprüngen keine Durchkontaktierungen setzen bzw. spontane Leiterbahnunterschiede (Verdickungen, Verjüngungen, speziell bei Steckeranbindungen) unterbinden.
- Wichtigste Regel: In der Praxis ist die perfekte Einhaltung aller genannten Punkte schlichtweg Illusion. Deshalb sind Kompromisse mit viel Erfahrung und Fingerspitzengefühl auszuloten.

Die Entwicklerserie „Die Leiterplatte 2010“

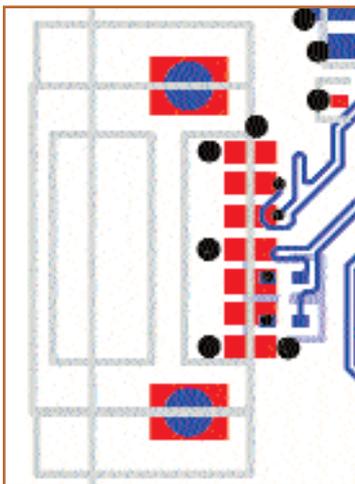
Über zwei Jahre nach der Serie „Die Leiterplatte 2005“ werfen die Hardwareentwickler, Leiterplatten-designer sowie Experten für Leiterplattenfertigung und -bestückung wieder einen Blick auf den technologischen Fortschritt getrieben von der Halbleiterindustrie und setzen sich intensiv mit zwangsläufig aufwerfenden Fragen näher auseinander. Dies erfolgt wie gehabt an einer konkreten, gegenständlichen Hardwarekonstruktion – der Applikationsplattform „meltemi“, einer Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit

Transferraten im Multi-Gigabit/s-Bereich.

Das Ziel der Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechenden Lösung für eine stabile Board-Hardware darstellen.

Am Ende der Serie verdeutlichen die Autoren ihre Vorgehensweise am Beispiel der Hochgeschwindigkeitsplattform „meltemi light“. Dabei werden anhand eines 6-lagigen

Multilayers mit 32 Bit Single-Chip-Mikrocontroller und Spartan-III-FPGA viel versprechende Lösungsansätze näher diskutiert, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten. Ein Überblick über die gesamte Serie ist in ELEKTRONIKPRAXIS 24/2005 sowie der erste Teil in Ausgabe 1/2006 erschienen. Gerne stellen wir Ihnen diese Ausgaben kostenlos zur Verfügung. Schicken Sie uns hierfür bitte ein E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de.



■ Bild 3:
Korrekte Anbindung des differenziellen Leitungspaares an einen Serial-ATA-Stecker inklusive erforderlichem Längenausgleich. Die Anbindung der Kondensatoren von Bottom (blau) zu Top (rot) erfolgt durch gepluggte Vias ohne Leiterbahn auf kürzestem Wege, direkt von Pad zu Pad.

■ Was leistet die Software wirklich?

In fast allen herkömmlichen Layoutsystemen hat man wenig bis gar keine Möglichkeit diese Regel-Bedingungen (Constraints) einfließen zu lassen. Einige Layoutpakete lassen sich hinsichtlich differenzieller Signale brauchbar parametrisieren, berücksichtigen oder geben jedoch diese Definitionen nicht, respektive nicht zufriedenstellend an ihre Router bzw. Routing-Editoren weiter.

■ Tipp, um High-Speed-Leiterplatten erfolgreich zu entflechten

Resultierend aus unserer Erfahrung empfiehlt sich für die erfolgreiche Entflechtung von Leiterplatten wie „meltemi“ und „CERO“ folgende Vorgehensweise: Zuerst muss der Lagenaufbau inklusive breitbandiger Stromversorgungsentkopplung (Abstände der Innenlagen zueinander) definiert werden, anschließend sind die LVDS-Leitungspaare (siehe Bild 3) händisch zu verlegen. Jeder so verlegte LVDS-Kanal muss sofort zu „Glued Tracks“ konvertiert werden. Das sind fixierte (glued = geklebte) Leiterbahnen, die nicht mehr von irgendeinem Teil des Layoutprogramms oder „verstockten“ Softwareassistenten geändert werden können. Den „Rest“ wie gewohnt unter Berücksichtigung der bereits besprochenen Regeln einfach hinterherrouten!

Im dritten Teil der Serie „Die Leiterplatte 2010“ steht die Signalintegrität im Mittelpunkt. Darin erläutert Arnold Wiemers, Ilfa GmbH Hannover, die Vorgehensweise bei der Leiterplattenfertigung. Dieser Beitrag erscheint in Ausgabe 3/2006 am 8. Februar.

www.elektronikpraxis.de

unit^el: Die Experten für High-Speed-Embedded-Systeme und das Projekt meltemi

Ilfa: Designspezifikationen, Publikationen und Ilfa-Akademie

Die Leiterplatte 2005: Inhalt und Bestellformular für die CD-ROM

EMV-Praxis: Die Seminarreihe EMV-korrektes Leiterplattendesign

Publikationen „Wenn Leiterplatten strahlen“ und „Vorteile dünner Substrate in Ground-/Powerplane-Systemen“ von Prof. Chr. Dirks

InfoClick

166097



Der Erfolg deutscher Unternehmen ...

... wird künftig weniger von Konditionen denn von echten Innovationen und herausragenden Produktideen bestimmt sein. In diesem Umfeld wird nur bestehen, wer seine Mitarbeiter konsequent mit dem erforderlichen aktuellen Fachwissen ausrustet. Denn erst ein solides Wissen ist die Basis für Leistungsfähigkeit.

Das Seminarangebot des FED ...

... reflektiert das Bestreben entsprechend den wachsenden Anforderungen an die moderne Elektronikindustrie, den Brückenschlag zwischen Entwicklung, Konstruktion, Leiterplatten- und Baugruppenfertigung zu vollziehen. Erklärtes Ziel des FED ist es, sein Seminar- und Kursangebot ständig weiterzuentwickeln und den Erfordernissen des Standes der Forschung und Entwicklung anzupassen. Es ist geplant, in 2006 auch nicht „technisch dominierten“ Themen ein höheres Gewicht zu geben. Dieses Angebot richtet sich in erster Linie an Geschäftsführer, Einkaufsleiter und Projektleiter. Mehr dazu in der nächsten Ausgabe der ELEKTRONIKPRAXIS.

Aktuelle Seminar- und Kurstermine

16.02.2006 Fahrplan Bleifrei
Göttingen

16.02.2006 High-Speed-Seminar
Frankfurt am Main

20.–24.02.2006 Leiterplattendesignerkurs mit
CID-Prüfung Neustadt/Aisch

15.03.2006 Produktgestaltung: Design for
Excellence Itzehoe

16.03.2006 High-Speed-Seminar
München

16.03.2006 Baugruppen-Seminar
Itzehoe

20.–22.03.2006 Aufbaukurs II für Leiterplatten-
designer Neustadt/Aisch

Den aktuellen Veranstaltungskalender finden Sie bitte auf den Internetseiten des FED unter www.fed.de. Ihre Fragen, Anregungen, Reservierungswünsche und sonstige Bestellungen richten Sie bitte an die

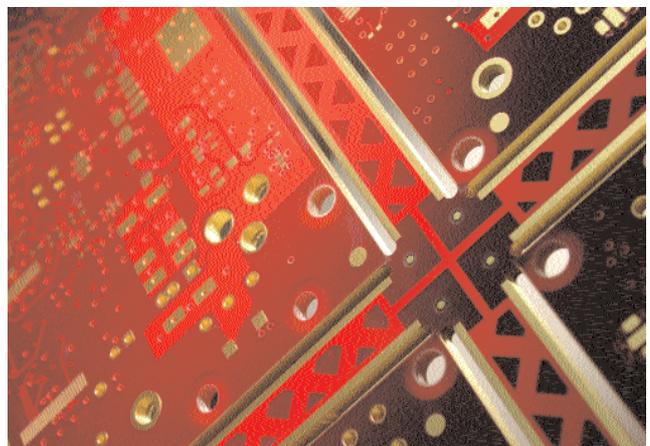
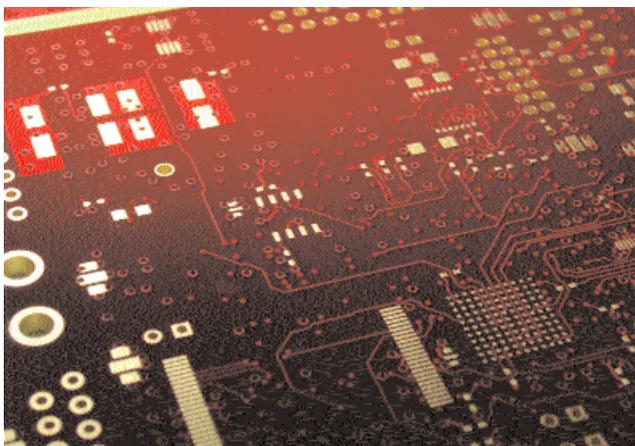


FED-Geschäftsstelle
Fon +49(0)30 8349059
Fax +49(0)30 8341831
E-Mail: info@fed.de
www.fed.de

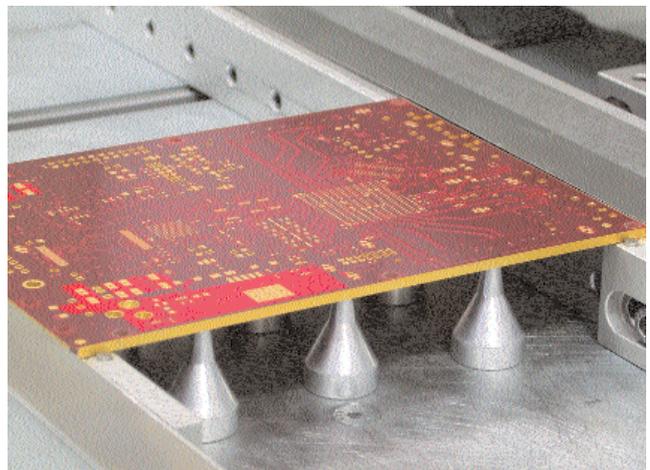
Kleine Kanten, große Wirkung

Die Metallisierung der Leiterplattenkanten revolutioniert die physikalischen Eigenschaften von Baugruppen

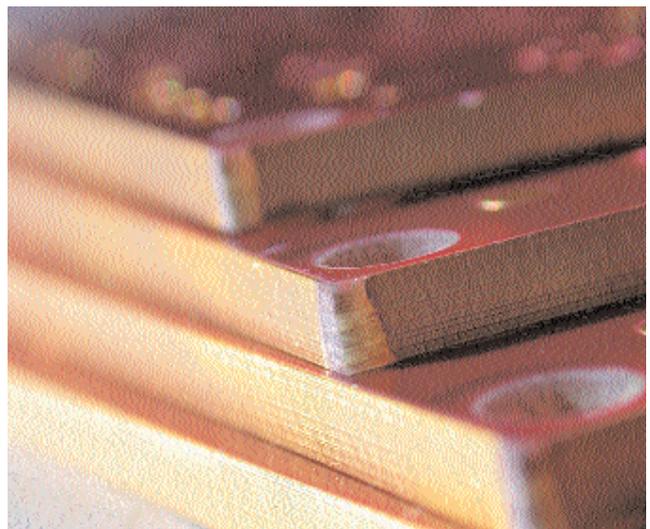
Arnold Wiemers*



Eine Besonderheit der Leiterplatte für die Applikationsplattform meltemi ist die Kantenkontaktierung (oder Kantenmetallisierung). Die Kantenkontaktierung bringt für Baugruppen mit mittlerem bis hohem Anspruch an EMV, Signalintegrität und Entwärmung deutlich messbare Vorteile bei vergleichsweise vernachlässigbaren Kosten. Die Praxis hat bewiesen, dass sich die Theorie umsetzen lässt und funktioniert.



Eine Baugruppe funktioniert unter EMV-Aspekten stabil, wenn sie keine eigene Störstrahlung abgibt (Emission) und wenn sie nicht auf Störungen durch fremde Baugruppen (Immission) reagiert. Technisch gesehen ergeben sich diese Störungen durch die Signalübertragung zwischen den Komponenten einer Baugruppe oder zwischen mehreren Baugruppen eines Gerätesystems. Die zielgerichtete Signalübertragung auf komplexen Multilayersystemen findet mittels der Leiterbahnen statt. Die Stromversorgung erfolgt über flächige Ebenen. Berücksichtigt werden muß, daß für jede Signalübertragung natürlich auch eine



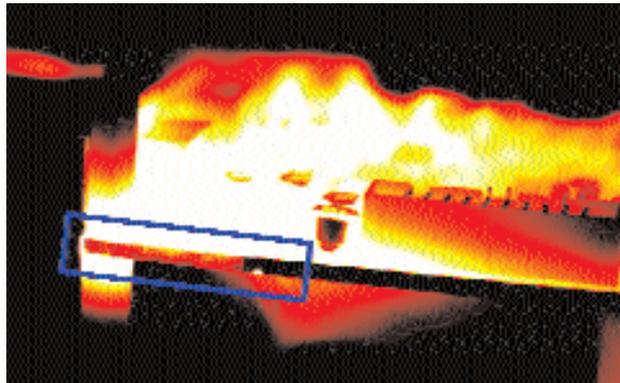
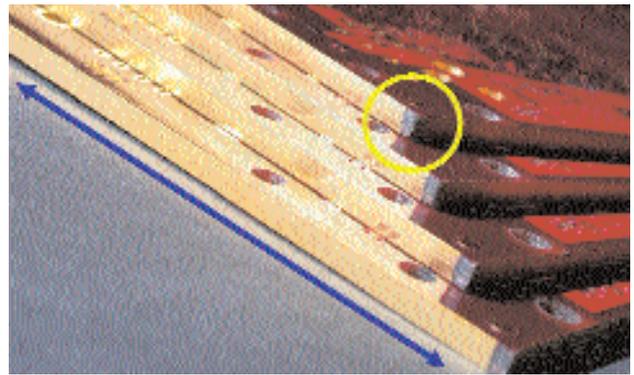
*Arnold Wiemers, IPC zertifizierter CID, CID+ und Instructor, zeichnet als Geschäftsführer für den Bereich CAD-Layouts bei der ILFA Feinstleiteteknik GmbH in Hannover verantwortlich für CAD, CAM, technische Auftragsvorbereitung und Softwareentwicklung.

Rückleitung vorhanden sein muß (die sogenannte GND-Plane), und daß der Informationstransport nicht in zweidimensionalen Paketen sondern in dreidimensionalen elektromagnetischen Feldern stattfindet. Damit ist jede Baugruppe (und jede Leiterplatte) ein gigantischer elektronischer Mikrokosmos mit einer kaum vorstellbaren Ereignisvielfalt auf kleinstem Raum.

Hier liegt der Schlüssel für eine erweiterte Strategie zur Erlangung der EMV-Stabilität. Der Aufbau eines Multilayers besteht in der Übereinanderschichtung von Signallagen und Powerplanes. Beim Betrieb einer Baugruppe wird erzeugte aber nicht benötigte Energie über den Kantenbereich der Powerplanes abgestrahlt. Das Schaltungskonzept bemüht sich, diese Effekte zu kompensieren, beispielsweise durch die Signalterminierung, durch definierte Leitungseigenschaften (Impedanz) oder durch hochkapazitive Multi-Power-Systeme (MPS). Der Erfolg dieser linearen Signalübertragung kann nicht vollständig sein. Es fehlt eine effektive Kontrolle der elektromagnetischen Felder im dreidimensionalen Raum der Leiterplatte. Eine Kontrolle lässt sich jedoch erreichen, wenn eine Kompartimentierung der Feldbereiche auf und in einer Leiterplatte stattfindet. Im Prinzip kann diese Kompartimentierung durch eine strukturierte Abschirmung erfolgen.

Die Analyse eines Multilayer-Aufbaus ergibt die einfache Erkenntnis, dass jede Lage rechtwinklig an der Kante der Leiterplatte endet. Damit ist die Aufgabe definiert: Die Kontrolle der dreidimensionalen elektromagnetischen Räume auf einer Leiterplatte ergibt sich durch die Abschirmung an der Kante der Lei-

■ Bild 1:
Die Kanten aller kontaktierten Konturfräsungen haben auf der fertigen Leiterplatte die gleiche galvanische Endoberfläche wie die eigentliche Leiterplatte



■ Bild 2:
Eine kompakte Fläche auf einer Leiterplatenseite erreicht nie die Wärmespreizung und Wärmeabstrahlung wie ein um die Kante laufendes flächiges Band

terplatte. Die Prognose ist, dass sich dadurch das EMV-Verhalten einer Leiterplatte/Baugruppe erheblich verbessert.

■ Leiterplatten kontaktieren

Um die Funktion der Abschirmung einschätzen zu können, muss die galvanotechnische Kontaktierung erläutert werden. Der Prozessschritt des Kontaktierens ist elementar für die Herstellung von Leiterplatten. Die galvanotechnische Verbindung mehrerer Ebenen einer Leiterplatte erfolgt an der Innenwandung von Bohrungen mittels eines katho-

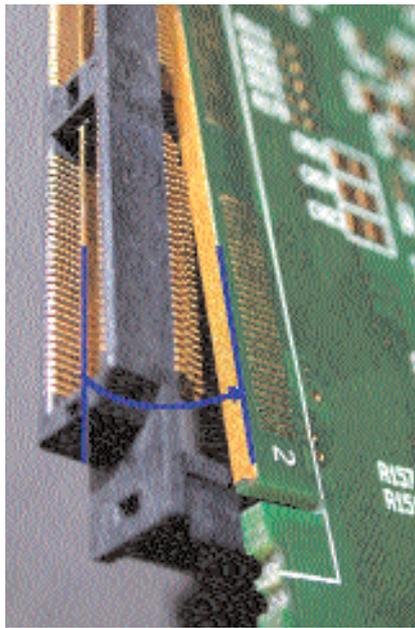
disch-anodischen Verfahrens zur Kupferabscheidung. Topologisch gesehen gehört die Innenwandung einer Bohrung zur Oberfläche der Leiterplatte. Das Verfahren der galvanotechnischen Kontaktierung führt also grundsätzlich zu einer metallischen Abscheidung auf der Leiterplattenoberfläche. Diese Oberfläche kann auf unterschiedlichste Art durch Bohrungen, Schlitzte oder Fräsungen modifiziert werden. Soll die spätere Leiterplattenkante metallisiert werden, dann ergibt sich für die ►

Die Leiterplatte 2010 – Teil 3

► Herstellung der Leiterplatte vornehmlich eine geringfügige logistische Umstellung der Prozessabläufe. Die zu metallisierende Kontur darf nicht (wie üblich) erst in einem der letzten Arbeitsschritte gefertigt werden, sondern muss bereits **vor** dem Kontaktieren ausgeführt worden sein. Für die Bearbeitung der Kontur empfehlen sich Fräswerkzeuge. Mit diesen Werkzeugen lassen sich gerade oder runde Konturen problemlos ausführen. Es können Innenausschnitte und/oder Teilbereiche der Kontur strukturiert werden. Die Konturfärsung kann die Kante über die gesamte Dicke der Leiterplatte freistellen. Es sind aber auch kontaktierbare Niveaufräsen machbar, die nur eine vorgegebene Solltiefe freistellen. Bei umlaufender Kantenkontaktierung muss beachtet werden, dass für die weiteren Fertigungsschritte der Leiterplatte 1 bis 2 mm breite Haltestege zum Produktionsnutzen bleiben müssen, die ohne weiteres nicht kontaktiert werden können.

Die Kanten aller kontaktierten Konturfärsungen haben auf der fertigen Leiterplatte die gleiche galvanische Endoberfläche wie die eigentliche Leiterplatte auch (Bild 1).

Die Fertigungskosten für die Kantenkontaktierung sind gering. Jeder Hersteller von kontaktierten Leiterplatten verfügt über einen Galvanoautomaten und eine Fräsmaschine. Es sind also keine zusätzlichen Investitionen in Maschinen oder Prozesse erforderlich. Lediglich in den Fertigungsabläufen muss eine Fallunterscheidung nach „Kantenkontaktierung: ja/nein“ möglich sein.



■ Bild 3:
Im Mittenbereich hat der Stecker eine metallische Trennfläche, die gleichzeitig als Referenzplane dient. Rückseitig ist diese Trennfläche mit der partiell metallisierten Kante der Leiterplatte verbunden

■ Entwärmung

Ursprünglich war ein kontrollierteres EMV-Verhalten die Motivation für die Kantenkontaktierung. Es war bald offensichtlich, daß auch die aktive Entwärmung einer Leiterplatte bei kontaktierten Kanten deutlich besser ist. Die Entwicklung immer leistungsfähigerer Elektronik auf immer kleinerem Raum führt zwangsläufig zu Wärmepro-

blemen. Die Ableitung der Wärme durch zusätzliche Maßnahmen (Kühlkörper, Gehäuse) ist aufwendig und verteuert die Gerätekosten.

Eines der strategischen Ziele für das CAD-Layout und die Baugruppenkonstruktion muß deshalb die Integration der Entwärmung in das Multilayersystem sein. Zusätzlich zu diversen konstruktiven Eigenschaften eines Multilayers (Dickkupferschichten, MPS) muss das Leiterbild in die Entwärmung einbezogen werden.

Dass die Kantenkontaktierung hier keineswegs nur einen trivialen Beitrag leisten kann, folgert aus der Berechnung der Kantenoberfläche einer Standard-Europakarte. Es ergibt sich eine Kantenfläche von $2(10 + 16) \times 0,15 = 7,80 \text{ cm}^2$. Diese Nettofläche kann heute bei kompakten Layouts auf den Außenlagen einer Leiterplatte kaum für die Entwärmung freigehalten werden. Ergänzend muss die Qualität der Entwärmung über die Kontaktierung der Leiterplattenkante bewertet werden. Eine kompakte Fläche auf einer Leiterplatenseite hat nie die Wärmespreizung und Wärmeabstrahlung wie ein um die Kante laufendes flächiges Band (Bild 2).

■ Signalintegrität

Die Bauteilindustrie hat bereits akzeptiert, dass mit der Kantenkontaktierung im Prinzip auch ein Vorteil für die Signalintegrität bei der Signalübergabe von der Baugruppe an die Peripherie entsteht. Für jedes anspruchsvolle elektronische System (Beispiel: LVDS, High-Speed) ist die Schnittstelle von der Baugruppe zum Kabel und/oder zum Stecker eine Schwachstelle. Hier fehlt für wenige Millimeter auf der Strecke von der Leiterplattenkante bis zum Kabel die Abschirmung oder der durchgehend zuverlässige Massebezug für die Signalübertragung. Deutliche Störungen der Signalqualität können die Folge sein. Die Signalintegrität an dieser Schnittstelle kann sichergestellt werden, wenn Leiterplatte, Stecker und Kabel eine funktionelle Einheit bilden.

Diese Aufgabe wird mit Steckern gelöst, die auf die kontaktierte Kante einer Leiterplatte aufgesetzt werden. Im oberen und unteren Bereich des Steckers erfolgt die Kontaktübergabe der differentiellen Signale an die obere und untere Seite der Leiterplatte. Im Mittenbereich hat der Stecker eine metallische Trennfläche, die gleichzeitig als Referenzplane dient. Rückseitig ist diese Trennfläche mit der partiell metallisierten Kante der Leiterplatte verbunden (Bild 3). Im Ideal-►

Die dritte Dimension der Leiterplatte

Man sollte erwarten, dass längst alles durchdacht ist. Zumindest, was die Leiterplattentechnologie betrifft. HDI (High Density Interconnection) und Laservias haben wir hinter uns, die Mikrofeinstleitertechnik (MFT) vor uns, aber das ist alles nur Mechanik. Kleiner, feiner, preiswerter sind die Maximen der Leiterplattentechnik. Wer spricht vor diesem Hintergrund von sensationellen Ergebnissen, die sich für die elektrophysikalischen Eigenschaften von Leiterplatten ergeben? Manchmal sind Lösungen simpel und die Frage ist erlaubt, warum niemand eher darauf gekommen ist. Wahrscheinlich haben die Philosophen

unter den Kryptographen recht, die meinen, „dass nichts so verborgen ist, wie das Offensichtliche“.

Wer täglich mit Leiterplatten umgeht, weiß, dass es eine Bestückungsseite und eine Lötseite gibt, manchmal auch Top-Layer und Bottom-Layer oder Primärseite und Sekundärseite genannt. Hat eine Leiterplatte noch mehr Ebenen, dann werden auch diese akribisch und zweifelsfrei durchgezählt und bekommen einen Namen. Die dritte Dimension der Leiterplatte, die umlaufende Kante, hat keinen Namen. Für die Kante hat sich bisher kaum jemand interessiert. Das wird sich künftig ändern.

Die Leiterplatte 2010

Die Applikationsplattform „meltemi“, eine Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich, ist der Dreh- und Angelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine erfolversprechende Lösung für eine stabile Board-Hardware darstellen. Am Ende der Serie verdeutlichen die Autoren ihre Vorgehensweise am Beispiel der Hochgeschwindigkeitsplattform „meltemi light“. Dabei werden anhand eines 6-lagigen Multilayers mit 32 Bit Single-Chip-Mikrocontroller und Spartan-III-FPGA viel versprechende Lösungsansätze näher diskutiert, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten. Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie bitte ein E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de,

fall sieht dadurch jedes Signal vom Kabel über den Stecker bis zum Eingangsbaustein auf der Leiterplatte ein homogenes elektromagnetisches Umfeld.

Das Ergebnis

Die Kantenkontaktierung bringt für Baugruppen mit mittlerem bis hohem Anspruch an EMV, Signalintegrität und Entwärmung deutlich messbare Vorteile bei vergleichsweise vernachlässigbaren Kosten. Die EMV-Stabilität von meltemi ist beeindruckend. Und das Zitat aus dem Prüflabor: „Die Sonde muss defekt sein. Ich messe nichts.“ ist bereits legendär.

Im vierten Teil der Serie „Die Leiterplatte 2010“ erläutern die Projektpartner die Maßnahmen beim Layout und Lagenaufbau des meltemi-Board, um die Signalintegrität sicherzustellen. Dieser Beitrag erscheint in Ausgabe 4/2006 am 24. Februar.

www.elektronikpraxis.de

Ilfa: Das Portfolio des Leiterplattenexperten und das Angebot der Ilfa Akademie

unit^el: Die Experten für High-Speed-Embedded-Systeme und das Projekt meltemi

Die Leiterplatte 2005: Inhalt und Bestellformular für das zweisprachige Magazin

EMV-Praxis: Die Seminarreihe EMV-korrektes Leiterplattendesign

Publikationen „Wenn Leiterplatten strahlen“ und „Vorteile dünner Substrate in Ground-/Powerplane-Systemen“

Das High-Speed-Seminar für Schaltungsentwickler und Leiterplattendesigner des FED

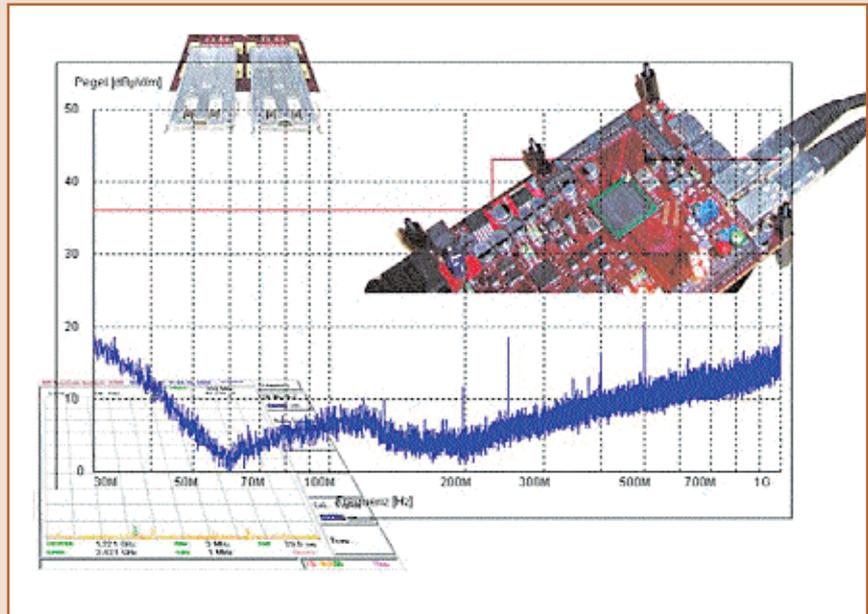
InfoClick

166098

Signalintegrität I

Die Signalqualität der Datenübertragungsleitungen analysieren

Signalintegrität schließt alle Probleme ein, die mit Leitungsverbindungen in der Hardware für Hochgeschwindigkeitsanwendungen auftreten. Mit ihren vielseitig programmierbaren I/O-Blöcken eignen sich FPGAs ideal zur Analyse der Signalqualität von Übertragungsleitungen auf der Leiterplatte und deren Verbindungen zu Steckerkonstrukten. Anhand von Messergebnissen untersuchen wir in diesem Kapitel die Signalqualität von Datenverbindungsleitungen zwischen SDRAM und FPGA des 20-lagigen „meltemi“-Boards.



Gerhard Eigelsreiter*

Integrität: Ein Synonym für die kontinuierliche Übereinstimmung zwischen idealen und tatsächlichen in der Praxis auftretenden Werten, nicht in jedem kleinen Detail aber im Ganzen. Eine Umschreibung die, bezogen auf die Signalqualität, ein gehöriges Maß an freier Interpretation zulässt.

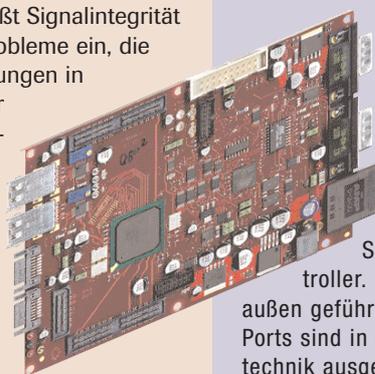
In der Elektronik schließt Signalintegrität im Allgemeinen alle Probleme ein, die mit (Leitungs-)Verbindungen in Hardwareprodukten für Hochgeschwindigkeitsanwendungen auftreten.

Bei Übertragungsraten von 1 GBit/s und darüber ist es längst Usus geworden, Hardwareprodukte auf den Markt zu bringen, die so grade noch in der EMV-Prüfhalle die Kurve kratzen. Dabei gerät zwangsläufig

die funktionale Stabilität unter die Räder, was sich im harmlosesten Fall besonders deutlich im Rückgang der tatsächlich übertragenen Nutzdaten niederschlägt. Dabei erweist sich die

Bandbreite im I/O-Bereich immer öfter als zentrale Forderung für flexible Kernhardware mit langer Lebensdauer in Marktsegmenten mit rasch wechselnden Produktzyklen und -Adaptionen.

Die Hochgeschwindigkeitsplattform meltemi

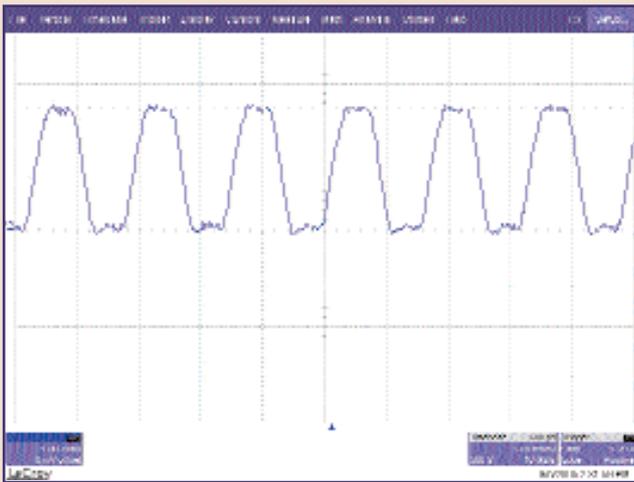


Zentraler Dreh- und Angelpunkt des meltemi-Board ist ein FPGA mit integrierten seriellen Transceivern, umgeben von fest verdrahteter Unterstützungslogik und einem 32-Bit-Single-Chip-Mikrocontroller. Die mittels FPGA nach

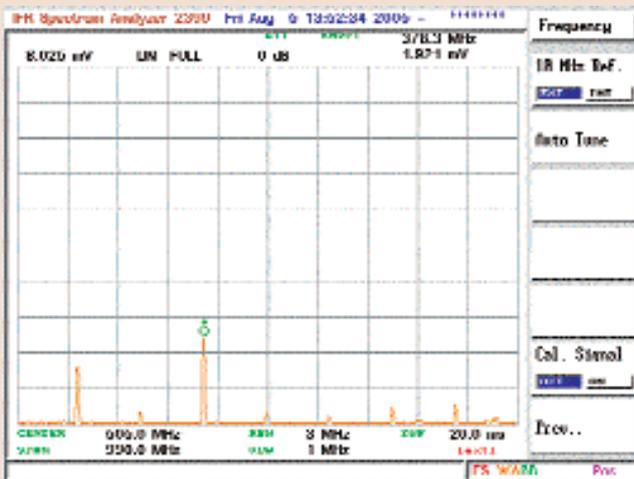
außen geführten Eingangs/Ausgangs-Ports sind in differenzieller Leitungstechnik ausgeführt. Von den insgesamt 77 differenziellen Kanälen sind 61 in LVDS-Technik mit einer Übertragungsrates von 600 MBit/s/Kanal, also insgesamt mehr als 36 GBit/s brutto ausgestattet. Die restlichen

16 Kanäle werden von acht integrierten Transceivern mit 2,5 GBit/s pro-Kanal, insgesamt 40 GBit/s brutto, abgedeckt. Vier Transceiver-Verbindungen laufen über jeweils zwei Infiniband- und zwei Serial-ATA Stecker-Komponenten nach außen. Die restlichen vier Transceiver als auch die insgesamt 61 LVDS-Leitungspaare benutzen vier impedanzdefinierte High-Speed-Buchsenleisten zwecks Erweiterung mit Aufsteckboards. Die zwei Infiniband-Steckverbinder sind nicht direkt an die Transceiver angebunden: Die Datenübertragung über Kabelverbindungen bis 17 m gewährleisten adaptive Kabeltreiber und -Equalizer.

*Gerhard Eigelsreiter ist Inhaber der Firma unit[^]el, Spezialist für High-Speed-Embedded-Systeme mit Schwerpunkt reprogrammierbare Logik und EMV-gerechtes Leiterplattendesign, in Graz/Österreich.



■ Bild 1:
Die FPGA-Datenleitung DQ26 im 12 mA Slow-Mode, 125 MHz,
gute Signalqualität



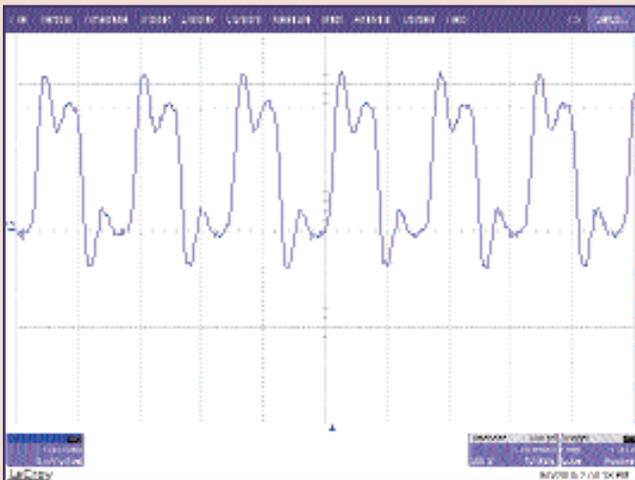
■ Bild 2:
H-Feld-Sondenmessung von DQ26 am SDRAM-Eingangspin,
12 mA Slow-Mode

Mit immer aufwändigeren Schaltungstricks und ressourcenfressenden mathematischen Algorithmen werden Fehlererkennung und -korrektur solange „feingetunt“ bis sämtliche Mängel auf Kosten der Übertragungsrate der eigentlichen Daten gerade mal soweit überdeckt sind, dass bei der Mehrzahl der Anwender und Benutzer der sprichwörtliche Geduldsfaden nicht sofort reißt, sondern aus Gründen der Gewohnheit nur leicht überdehnt wird.

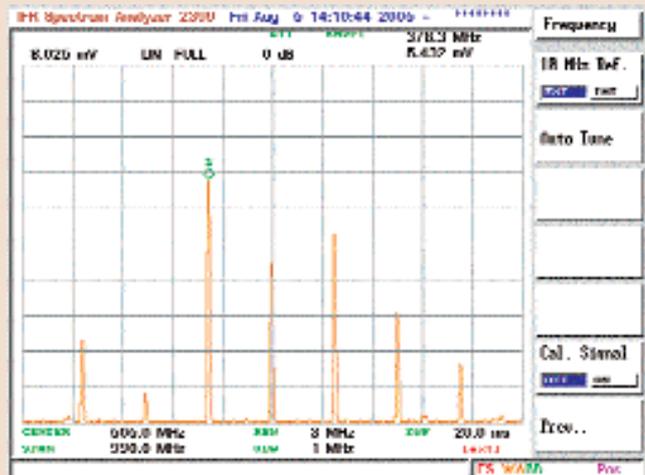
Dabei ließen sich die so gefundenen Lösungen wesentlich eleganter zur optimalen Ausnutzung vorhandener Kanal-kapazitäten nutzen – funktional stabile und EMV-korrekt konstruierte Hardware vorausgesetzt. Schließlich lässt sich nur auf stabiler Hardware fehlerarme bzw. fehlertolerante Software langfristig ökonomisch realisieren. Hierfür gilt es, den in vielen Bereichen der Elektronik steigenden Stör-emissionen konstruktiv entgegenzuwirken (siehe Teil 2, 3 und 6 der Serie).

FPGAs mit ihren vielseitig programmierbaren I/O-Blöcken eignen sich ideal zur Signalqualitätsanalyse von Übertra-gungsleitungen (z.B. Signalleitungen auf Leiterplatten) und deren Verbindungen zu Steckerkonstrukten, die zwangsläufig

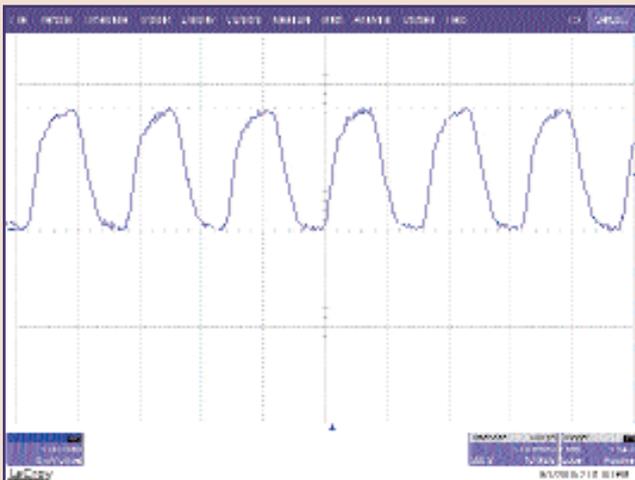
Die Leiterplatte 2010 – Teil 4



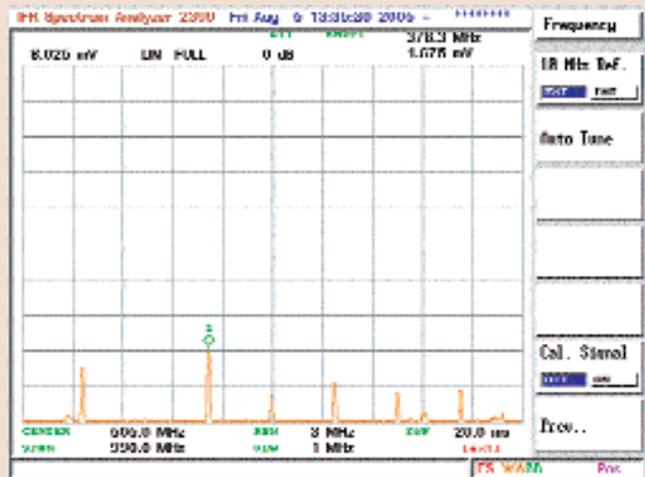
■ Bild 3:
Die FPGA-Datenleitung DQ26 im 24 mA Fast-Mode,
Signalqualität im kritischen Bereich



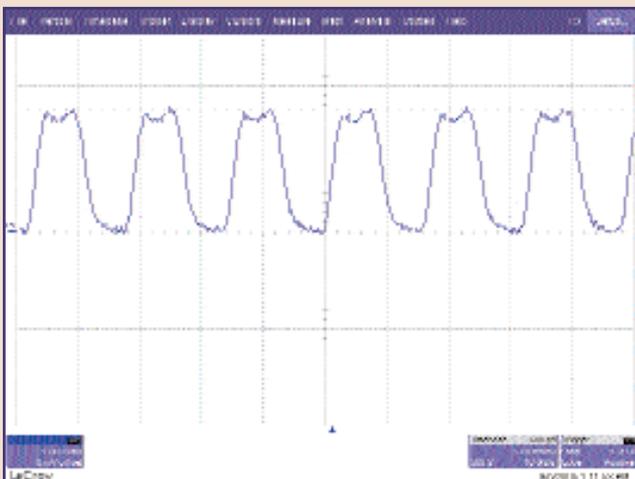
■ Bild 4:
H-Feld-Sondenmessung von DQ26 am SDRAM-Eingangspin;
24 mA Fast-Mode



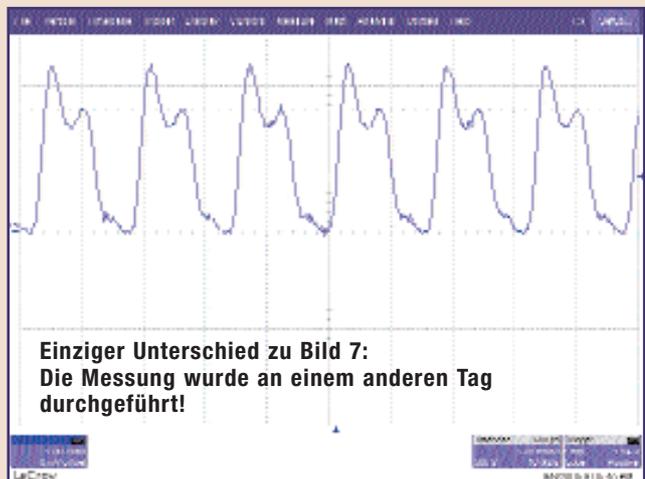
■ Bild 5:
Die FPGA-Datenleitung DQ26 im DCI-(Automatik)Mode;
125 MHz, **gute Signalqualität**



■ Bild 6:
H-Feld-Sondenmessung von DQ26 am SDRAM-Eingangspin,
DCI-Mode



■ Bild 7:
Die FPGA-Datenleitung DQ23 im DCI-Mode, 125 MHz,
gute Signalqualität



■ Bild 8:
Die FPGA-Datenleitung DQ23 im DCI-Mode, 125 MHz,
Signalqualität im kritischen Bereich

Die Serie „Die Leiterplatte 2010“

Die Applikationsplattform „meltemi“, eine Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich steht im Mittelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen.

Am Ende der Serie verdeutlichen die Autoren ihre Vorgehensweise

am Beispiel der Hochgeschwindigkeitsplattform „meltemi light“.

Dabei werden anhand eines 6-lagigen Multilayers mit 32 Bit Single-Chip-Mikrocontroller und Spartan-III-FPGA viel versprechende Lösungsansätze näher diskutiert, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten.

Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie uns hierfür bitte ein E-Mail mit Ihrer vollständigen Adresse an Petra Bauer:

redaktion@elektronikpraxis.de.

bereits in Hardware fixiert sind und oft schon als endgültige Board-Lösung vorliegen. Anhand von Messergebnissen soll die Signalqualität von Datenverbindungsleitungen zwischen SDRAM und FPGA des 20-Lagen meltemi-Boards untersucht und demonstriert werden. Zu diesem Zweck wurden die Datenleitungen DQ26 (Gesamtlänge 17 mm, nach 11 mm mit einem zusätzlichen Via zwecks Lagenwechsel) und DQ23 (Gesamtlänge 53 mm jedoch ohne Lagenwechsel, also kein Via) herangezogen. Beide Leitungen sind impedanzdefiniert (50Ω) ausgelegt und entsprechend geroutet.

Bild 1 und 2 zeigen ein 125-MHz-Signal auf DQ26 bei einer Treibereinstellung des FPGA-I/O-Blocks im „12 mA Slow“-Mode. Dies entspricht ungefähr einer Treiberausgangsimpedanz von 50Ω . Wie nicht anders zu erwarten stellt das Oszilloskop ein einwandfreies Signal dar. Dieselbe Leitung im „24 mA Fast“-Mode zeigt Bild 3 (entspricht ungefähr 20Ω Treiberausgangsimpedanz). Aus Sicht der EMV mehr als bedenklich. Siehe dazu Bild 4 Messung mit H-Feldsonde und Spektrumanalyzer. Die Resultate in der EMV-Prüfhalle bestätigten den ersten Eindruck. Man kann sich auch einer Automatik (DCI-Mode) bedienen, die über einen Referenzwiderstand ($49,9 \Omega$) die Ausgangstreiberimpedanz hinsichtlich Temperatur- und Spannungsschwankungen laufend „nachzieht“, Bild 5 und Bild 6. Diese elegante Lösung fand für die nächsten Messungen auf der Daten-

leitung DQ23 großen Anklang (Bild 7). Die Wiederholung der Messungen unter gleichen Messbedingungen am nächsten Tag löste erhebliches Erstaunen aus, Bild 8. Tags darauf keimte bei der dritten Messserie mit wieder identischen Werten zu Bild 7 gewaltiges Misstrauen auf. Solche Differenzen sind selbst bei großzügigster Auslegung nicht mehr Messungenauigkeiten zuzuschreiben. Noch dazu tagesabhängig! Ein Zustand, der keinesfalls hingenommen werden konnte. Des Rätsels Lösung, mit schwerwiegenden künftigen Folgen aus Sicht der EMV und damit verbundener funktionaler Instabilitäten, steht im nächsten Teil dieser Serie. (cm)

Teil 5 der Serie mit dem Kapitel Signalintegrität II erscheint in der nächsten Ausgabe am 6. März.

www.elektronikpraxis.de

- Das Unternehmen unit^el und das Projekt meltemi
- Ilfa: Designspezifikationen, Publikationen und Ilfa-Akademie
- Die Leiterplatte 2005: Inhalt und Bestellformular für das Magazin
- EMV-Praxis: Die Seminarreihe EMV-korrekt design
- Publikation „Wenn Leiterplatten strahlen“ von Prof. Chr. Dirks
- Das High-Speed-Seminar des FED für Entwickler und Leiterplattendesigner

InfoClick

167329

Signalintegrität II

Der Einfluss von programmierbaren Logik-ICs auf das Abstrahlverhalten einer Baugruppe

Die im Kapitel „Signalintegrität I“ in Ausgabe 4/2006 beschriebenen tagesabhängigen Ergebnisse der Signalintegritätsmessungen trotz identischen Messaufbaus und identischer IOB-Einstellungen im FPGA haben bei den Entwicklern der Hochgeschwindigkeitsplattform meltemi intensive Nachforschungen ausgelöst. In der Fehleranalyse kristallisierte sich der feine, aber entscheidende Unterschied heraus: Die aufgespielte FPGA-Software war für das Bestehen bzw. Nichtbestehen der EMV-Prüfung der Baugruppe verantwortlich.

Gerhard Eigelsreiter*

Einer Legende nach entstand der Terminus „Bug“ in der Anfangszeit elektronischer Rechenanlagen, als Insekten die Funktionsweise von Relais in großen Maschinen beeinträchtigten und sogar Kurzschlüsse verursachten. Auch für das Rauschen und Knistern in Telefonleitungen seien kleine Tiere verantwortlich, die ständig an den Leitungen knabbern. Eine Fehlfunktion wegen einer Motte im Relais des Computers Mark II Aiken Relay Calculator soll im Jahre 1945 die Computerpionierin Grace Hopper zu folgendem Eintrag veranlasst haben: „First actual case of bug being found“. Motte und Logbuchseite befinden sich derzeit am Smithsonian Institut. Wie es sich für Insekten gehört, haben sich diese Bugs inzwischen rasend vermehrt und treten vorzugsweise in großen Schwärmen auf. Die Bekämpfung derselben erfolgt deswegen flächendeckend mit so genannten „Service-Paks“. Inzwischen breiten sich die Bugs weiter in Richtung Signalintegrität und EMV aus, vornehmlich mittels reprogrammierbarer Logik. Tagesabhängige Ergebnisse, wie im Beitrag „Signalintegrität I“ in Ausgabe 4/2006 beschrieben, lösen bei Signalintegritäts-

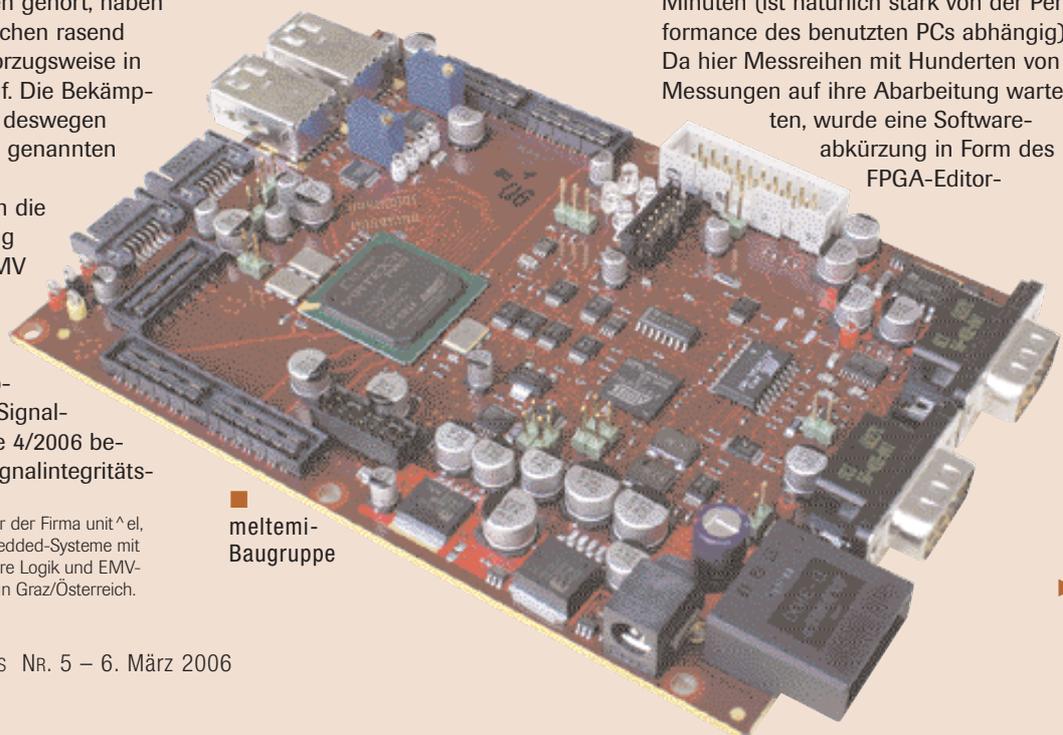
messungen nahezu automatisch intensive Nachforschungen aus. Der direkte Vergleich der Messungen an der Datenleitung DQ23 (Eingangspin SDRAM) im 24 mA Fast-Mode (Bild 1) zum DCI-(Automatik-)Mode (Bild 2) zeigte in den oberen Bildhälften (blauer und roter Kasten) verblüffende Übereinstimmungen. Eine höhere Auflösung der Messung im Zeitbereich verdeutlicht die Problematik. Vergleicht man die Anstiegswinkel der Kurven beider Messungen beim Wechsel von Low auf High (Bild 3 und Bild 4), so erkennt man kaum einen Unterschied in der Anstiegszeit (blauer Kasten). Dies ist umso bemerkenswerter, als es der per Software indirekt über den Treiberstrom einstellbaren, kürzest möglichen Flanken-

anstiegszeit entspricht. Hingegen weisen die fallenden Flanken, also der Wechsel von High auf Low, hinsichtlich der Abfallzeiten (roter Kasten) erhebliche Unterschiede auf.

Die Anstiegszeit (blauer Kasten) des Signals im DCI-(Automatik-)Mode von Bild 4 entspricht also ziemlich exakt dem 24 mA Fast-Mode, während die Abfallzeit (roter Kasten) dem gewünschten DCI-(Automatik-)Mode bei korrektem Betrieb gleicht. Wie ist so etwas möglich? Kann man Anstiegs- und Abfallzeiten getrennt programmieren? Ist derartiges überhaupt sinnvoll? Natürlich nicht! Das gilt gleich als Antwort auf die letzten beiden Fragen.

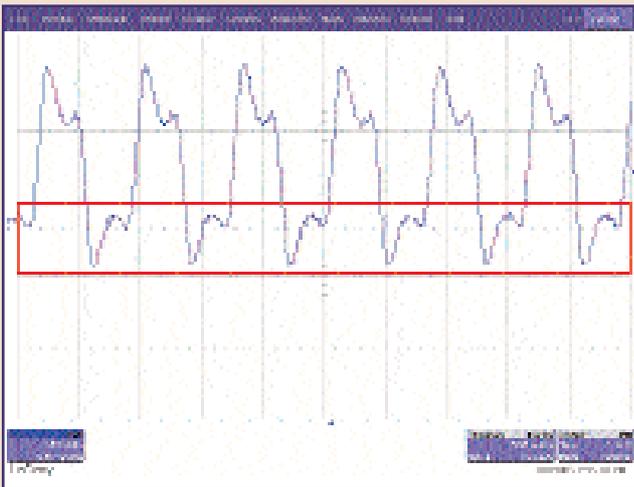
Die Erklärung, wie so etwas überhaupt möglich ist, lässt sich nur mutmaßen. Trotz identischen Messaufbaus und identischer IOB-Einstellungen im FPGA kristallisierte sich doch ein feiner, aber letztendlich entscheidender Unterschied heraus. Der Schaltplan für diese Teststellung wurde mit Logiksymbolen erstellt, die aber bereits die grafische Darstellung hinterlegten VHDL-Codes repräsentieren.

Die Übersetzung des VHDL-Codes bis zur Erstellung des gewünschten Ladebitstroms dauerte zuweilen bis zu zehn Minuten (ist natürlich stark von der Performance des benutzten PCs abhängig). Da hier Messreihen mit Hunderten von Messungen auf ihre Abarbeitung warteten, wurde eine Softwareabkürzung in Form des FPGA-Editor-

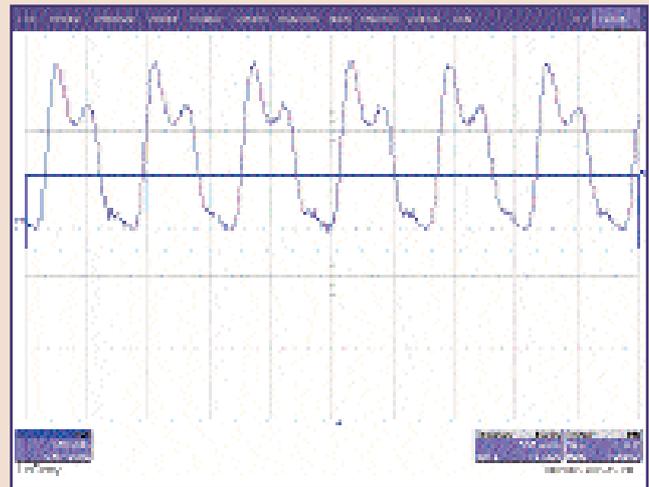


meltemi-Baugruppe

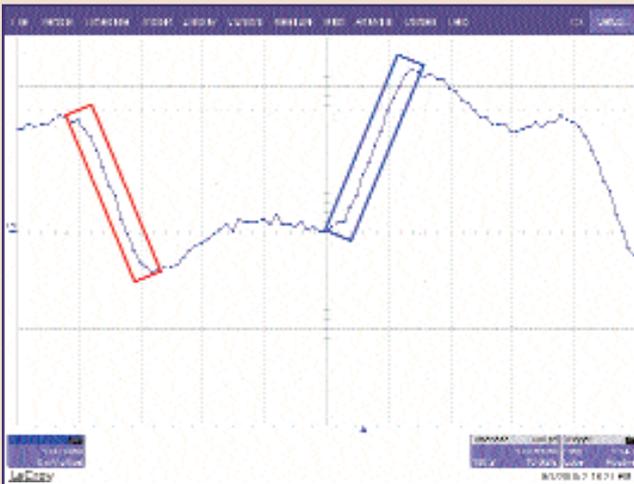
*Gerhard Eigelsreiter ist Inhaber der Firma unit[^]el, Spezialist für High-Speed-Embedded-Systeme mit Schwerpunkt reprogrammierbare Logik und EMV-gerechtes Leiterplattendesign, in Graz/Österreich.



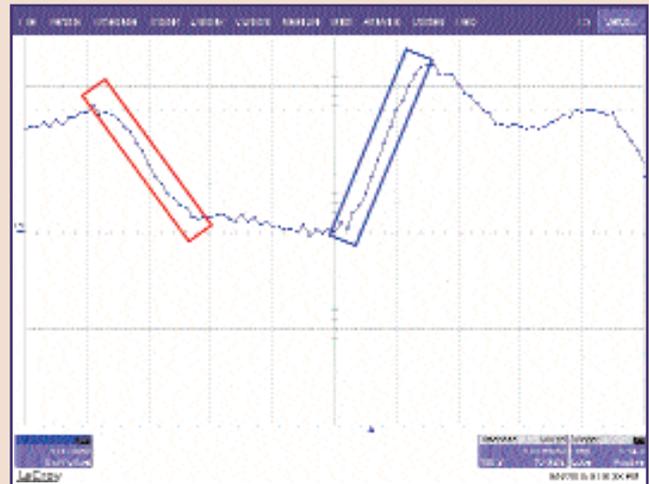
■ Bild 1: Die FPGA-Datenleitung DQ23 im 24 mA Fast-Mode 125 MHz; untere Signalhälfte (roter Kasten) – Signalqualität im kritischen Bereich



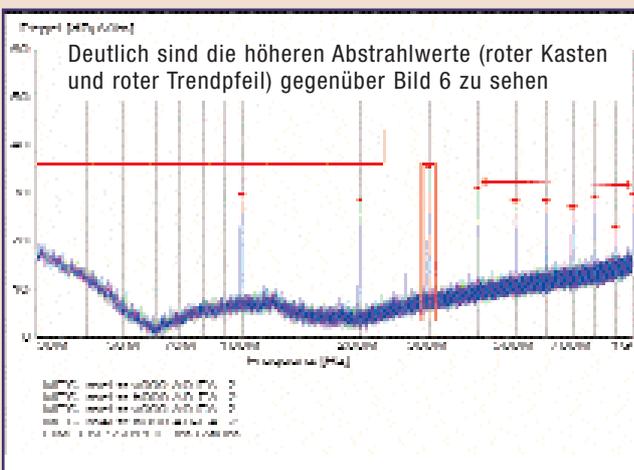
■ Bild 2: FPGA-Datenleitung DQ23 im DCI-(Automatik-)Mode. 125 MHz; obere Signalhälfte – Signalqualität im kritischen Bereich; untere Signalhälfte (blau) – gute Signalqualität.



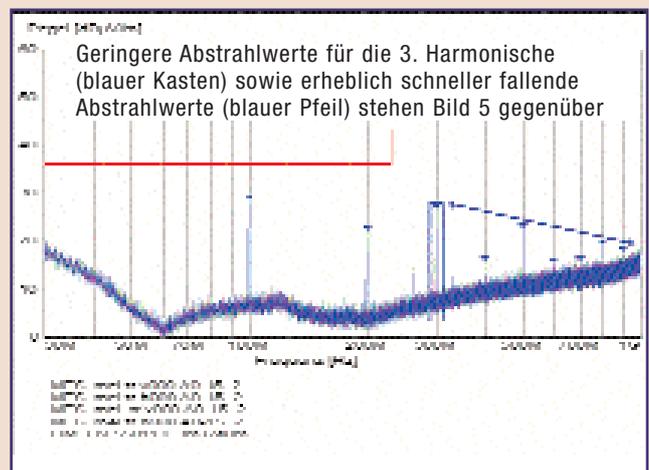
■ Bild 3: FPGA-Datenleitung DQ23 im 24 mA Fast-Mode mit 1ns/Teilung, also höher aufgelöst. Die Anstiegs- (blau) und die Abfall-Zeiten (rot) sind nahezu identisch.



■ Bild 4: Die FPGA-Datenleitung DQ23 im DCI-(Automatik-)Mode mit 1 ns/Teilung, ebenso höher aufgelöst. Die Anstiegs- (blau) und die Abfall-Zeiten (rot) unterscheiden sich erheblich.



■ Bild 5: Störspektrum der meltemi-Baugruppe aus der EMV-Prüfhalle: 16 Datenleitungen (DQ16 bis DQ31), 24 mA Fast-Mode



■ Bild 6: Störspektrum aus der EMV-Prüfhalle: 16 Datenleitungen (DQ16 bis DQ31), DCI-(Automatik-)Mode im korrekten Betrieb

SINGLE-POOL

LEITERPLATTEN Prototypen
Digitale Layout- & 1 oder 2 Lagen

2 Lagen	4 Lagen
1 Stück € 45,24 netto € 39,-	1 Stück € 139,20 netto € 120,-

OPTIONEN:
- Leiterbahn 100 µm mit
- Bohrungen 0,3 mm mit

INKLUSIVE:

Umfangreiche technische Beratung
E-Teil ab 2 Lagen
2x Layout
2x Fotoresistdruck
Import von Geräten, Eagle, Tercel
Design Rule Check
Einrichtung
Lieferung 100µm mit
Bohrungen 0,3mm mit
Bohrmaske - No Lead
Kontrollkarte
Qualitäts DPL
Mindest PPH 1,00 mm
25µm Cu
MULTILAYER optional mit
A.D.I. Automaten-System
X-Ray Lager-Technologie

ECO-POOL 1 bis 2 Lagen **24h**

LEITERPLATTEN Serien **24h**

Alle industriellen Maßstäben

2 Lagen	20 Stück
Erstlieferung € 15,95 netto € 13,75	Wartungslieferung € 11,48 netto € 9,90

OPTIONEN:
- Flächen- Laser-Druckbelichtung
z.B. 10-20µm ULTRA FINE LINEAR
- System in Vorbereitung
- Blind Via in Leiterbahn
- 100µm Blind Via
- 100µm Mikrovias
- Blind Drill
- Chemisch Zinn
- Chemisch Gold
- Metallische Kopier / PTH / GSD
- Invertierte Kontakte + PCB-Druck
- Für Hochstromanwendungen
Info 449µm Cu

Druckpläne
HDI Multilayer
Starke Leiterplatten
Superfeine Multilayer
Invertierte Leiterplatten
Laser-EMV-Schichten

Interim & Änderungen vorbehalten

Multipcb
Lfd. (10000)
Bismarckstraße 2
D-52074 Hückelhagen, NRW
Tel: 02463 937104 4242-198
Fax: 02463 937104 4242-199
E-Mail: info@multipcb.de

Die Leiterplatte 2010 – Teil 5

Die Tücken der FPGAs im Hinblick auf die EMV

Die Messgerätehersteller können sich die Hände reiben. Der Verzicht auf entsprechende Signalqualitätsmessungen vor der EMV-Prüfung kann leicht zum Überschreiten der Grenzwerte führen. Und das in einem Ausmaß, das eine positive Beurteilung der EMV-Prüfergebnisse nicht mehr zulässt. In Zukunft auf reprogrammierbare Logik zu verzichten kann sicher nicht der Weisheit letzter Schluss sein, denn eine wachsende Zahl von Halbleiterherstellern gedenkt in den nächsten Jahren Mikrocontroller mit integrierter reprogrammierbare Logik auszustatten. Da wäre bestenfalls eine kurze Schonfrist herauszuholen, mehr nicht.

Andernfalls darauf zu hoffen, durch Software-Updates das Problem in den Griff zu kriegen ist, könnte sich als trügerisch erweisen. Sicher kann man nur durch direkte Messungen sein. Im Endeffekt wird die funktionale Stabilität der gesamten Baugruppe durch die Möglichkeit der dynamischen Nachladbarkeit (Hardware-Update) von beispielsweise FPGA-basierender Hardware über das Internet oder firmeninterner Kundennetzwerke in Mitleidenschaft gezogen – mit Folgen die möglicherweise nicht absehbar sind.

Moduls benutzt. Eine Verkürzung der Zeitdauer zum Erstellen des Bitstromes auf unter zwei Minuten war der Lohn der Bemühungen, aber gleichzeitig auch die Lösung dieses Phänomens. Mittels des FPGA-Editors kann man die Attribute in den IOBs direkt setzen, vergleichbar mit einem Hex-Editor in der Software.

FPGA-Editor zum Zuge kam, war das Ergebnis korrekt und die Anstiegs- und Abfallzeiten moderat, entsprechend den DCI-Mode-Vorgaben. Also vermutlich ein Softwarebug mehr! Ein Schulterzucken, was soll's, auf zum nächsten Service-Pak. Tatsächlich nur ein unbedeutendes Ärgernis? Ein Blick in die EMV-Prüfhalle belehrt eines Besseren. Zwecks übersichtlicherer Darstellung wurden gleich 16 Datenleitungen (DQ16 bis DQ31) parallel mit 100 MHz betrieben und in der EMV-Prüfhalle näher untersucht. Bild 6 bezieht sich auf die Einstellung der 16 Datenleitungen im DCI-Mode mit korrekter Arbeitsweise. Bild 5 stellt das Störpektrum im 24 mA Fast-Mode dar. Deutlich sind die Unterschiede bei den höheren Harmonischen, wie der 3. Harmonischen

Unterschiedliche Ergebnisse durch Softwarebugs der FPGAs

Nach zwei Tagen Nachforschungen ließ sich der Unterschied in den Kurven reproduzierbar gezielt erzeugen. Jedes Mal wenn die Übersetzung per VHDL-Compiler sowie der entsprechenden Map-and-Place-Software den gewünschten Lade-Bitstrom erzeugte, trat die unerwünschte Differenz in den Anstiegs- und Abfallzeiten auf. Immer dann, wenn der

Die Serie „Die Leiterplatte 2010“

Die Applikationsplattform „meltemi“, eine Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich steht im Mittelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen. Am Ende der Serie verdeutlichen die Autoren ihre

Vorgehensweise am Beispiel der Hochgeschwindigkeitsplattform „meltemi economic“. Dabei werden anhand eines 6-lagigen Multilayers mit 32 Bit Single-Chip-Mikrocontroller und Spartan-III-FPGA viel versprechende Lösungsansätze näher diskutiert, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten. Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie bitte ein E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de.

– blauer Kasten (Bild 6) und roter Kasten (Bild 5) sowie der 5. und 7. Harmonischen – blauer Kasten (Bild 6) und roter Trendpfeil (Bild 5) zu sehen, die sich mit bis zu 7 dBµV/m höheren Abstrahlwerten manifestieren. Während die Grundfrequenz von 100 MHz, also die 1. Harmonische, nahezu identische Werte aufweist und auch aufweisen muss. Das klingt nicht nach viel, es sind allerdings auch nur 16 Datenleitungen. In der Praxis muss man mit einer erheblich höheren Anzahl an Leitungen für Adress-, Daten- und Kontroll-Signale rechnen. Höhere Abstrahlwerte sind gewissermaßen also im wahrsten Sinne des Wortes programmiert. Bei vielen Mikroprozessoren und ASICs lässt sich die Bandbreite aus der Clockrate mit der Faustformel $BW(\text{Clock}) = 5 \cdot F(\text{Clock})$ abschätzen. Einen noch signifikanten Beitrag zur Flankensteilheit liefert also die 5. Harmonische. Bei 100 MHz Clockrate ist mit 500 MHz Bandbreite zu rechnen. Allerdings gilt diese Faustformel nur bei guter Signalqualität. Treten Ringing und Reflexionen auf (Bild 1) müssen zur Bestimmung der Bandbreite wesentlich höhere Frequenzanteile, also neben den ungeradzahigen auch alle geradzahigen Harmonischen mit berücksichtigt werden. Dies ist ein wesentlicher Grund, weshalb sich aus der Höhe der Taktfrequenz allein keine brauchbare Abschätzung der zu erwartenden Störabstrahlwerte in der EMV-Prüfhalle ableiten lässt. Darum ist es so wichtig, auf Signalleitungen Impedanz-Diskontinuitäten generell sowie ihre Anzahl möglichst klein zu halten. Flächige Stromversorgungssysteme (VCC-GND-Lagen) sind in diese Überlegungen unbedingt mit einzuschließen (siehe Link Publikationen von Prof. Dirks). (cm)

Im nächsten Kapitel am 24. März erläutert der am Projekt beteiligte Leiterplattenspezialist Arnold Wiemers wie sich durch die Anordnung von Stromversorgungs- und Signalebenen Stromversorgung, Signalintegrität und Impedanz des Multilayers kontrollieren und der störsichere Betrieb einer Baugruppe realisieren lassen.

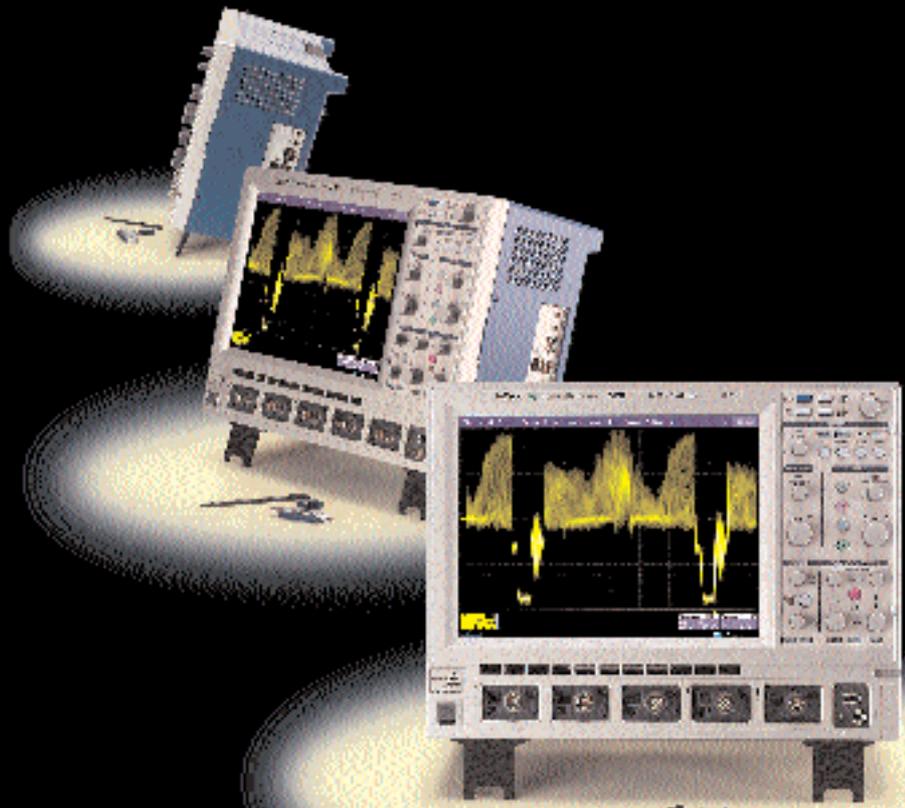
www.elektronikpraxis.de

- unit^el und das Projekt meltemi
- Absorptives Stromversorgungssystem in Leiterplatten
- Die Leiterplatte 2005: Inhalt und Bestellformular
- Die Seminarreihe EMV-Praxis
- Publikation von Prof. Chr. Dirks: Wenn Leiterplatten strahlen
- Das High-Speed-Leiterplattenseminar des FED
- Signalintegritätsprobleme beim Einsatz von FPGAs

InfoClick

166922

DER NEUE WAVERUNNER® XI



LEISTUNG IM NEUEN FORMAT



Dynamischer analog-kanalischer Mixed-Signal Fast Viewing Mode

Hohe Leistungsfähigkeit, grosser Bildschirm und dabei kleine Stellfläche – der neue Waverunner XI bietet mit den Konventionen typischer Leiter-Deckelbestände. Verfügbar als 400 und 600 MHz Modelle, mit bis zu 100% Ababtast, neuen Triggermöglichkeiten, WaveStream™ Fast Viewing Mode und veel mehr.

Besuchen Sie www.lecroy.com/europe/WFG und erfahren Sie mehr.

LeCroy

☎ 0121-63781
 ☎ 0121-63782
 ☎ 0121-63783

Elegantes Chaos

Durchdachte Multilayer-Systeme lösen die Mehrfachanforderungen an elektronische Schaltungen

Der Aufbau des Multilayers bestimmt maßgeblich die Funktionen einer elektronischen Baugruppe. Um deren störsticheren Betrieb zu gewährleisten, müssen Stromversorgung, Signalintegrität und Impedanz des Multilayers kontrolliert werden. Alle drei physikalischen Eigenschaften lassen sich durch die strategische Anordnung der beiden elementaren Lagentypen Stromversorgungs- und Signalebene realisieren. Obwohl das „meltemi“-Board mit 20 Lagen weit von einem Standardprodukt entfernt ist, lässt sich der hier geschilderte Multilayer-Aufbau auch auf einen 10- oder 8-Lagen-Multilayer übertragen.

Arnold Wiemers*

Auf einem Multilayer sind die elementaren Verbindungskomponenten für die Funktion einer elektronischen Baugruppe die Signalleiterbahn und die Stromversorgung (Vcc, GND). Die Signalleiterbahn transportiert die Information, die zwischen den Bauteilen ausgetauscht wird. Die Stromversorgung liefert den Bauteilen die dazu notwendige Energie. Die Signalleiterbahnen sind im Prinzip als Draht ausgelegt, der zwei oder mehrere Bauteilpins diskret miteinander verbindet. Die Stromversorgungen sind flächig ausgelegt. Es gibt zwei elementare Lagentypen: Die Signalebene und die Stromversorgungsebene.

Für den störsticheren Betrieb einer Baugruppe müssen (mindestens) drei Eigenschaften kontrolliert werden: die Stromversorgung, die Signalintegrität und die Impedanz.

Diese drei Eigenschaften sind in einem Multilayer durch den Einsatz der o.a. elementaren Lagentypen modular verwirklicht:

■ Die **Stromversorgung** wird über Stromversorgungsebenen ermöglicht.

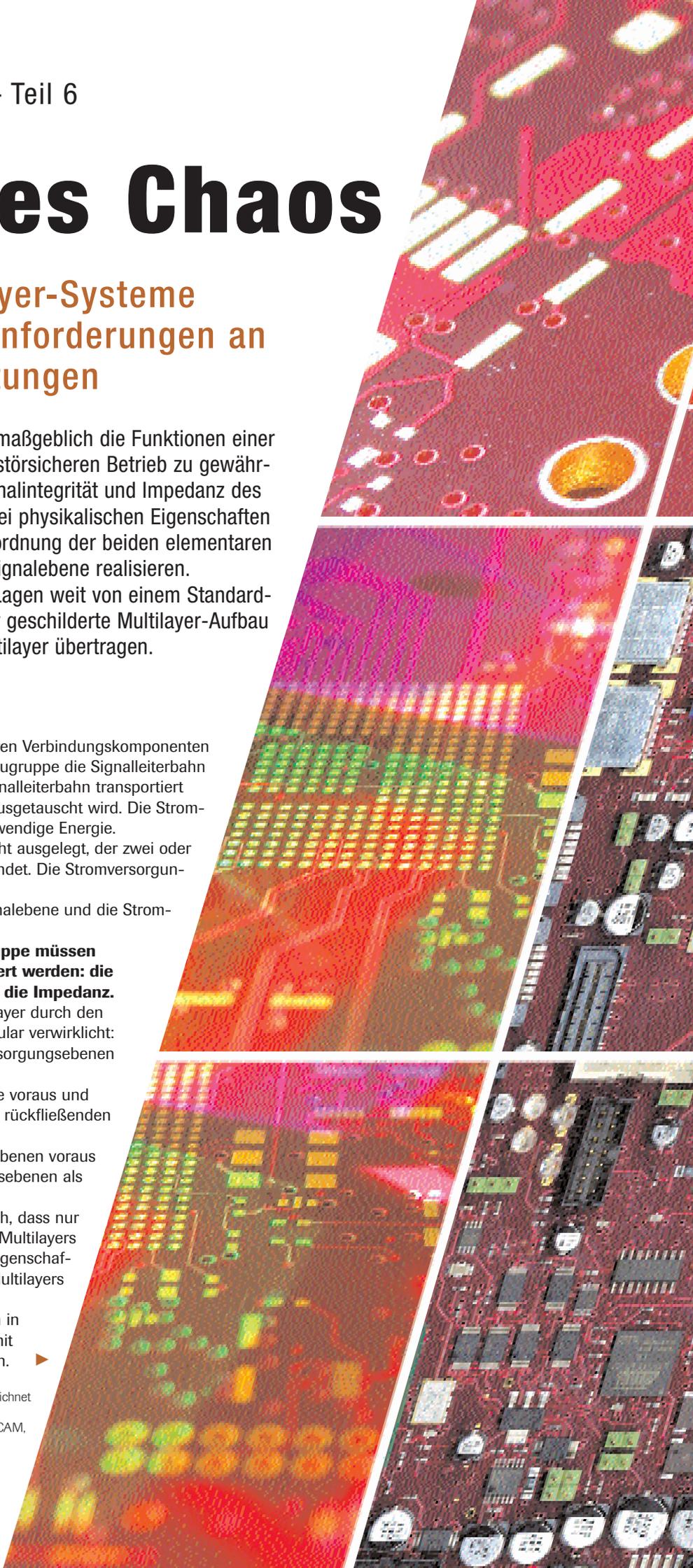
■ Die **Signalintegrität** setzt eine Signalebene voraus und benötigt eine Stromversorgungsebene für den rückfließenden Strom.

■ Die **Impedanz** setzt eine oder zwei Signalebenen voraus und benötigt eine oder zwei Stromversorgungsebenen als kapazitive Referenz.

Es ist für jede dieser drei Eigenschaften typisch, dass nur eine, nur zwei oder nur wenige Ebenen eines Multilayers erforderlich sind. Daraus folgt, dass diese Eigenschaften modular in einem Teilkompartiment des Multilayers umsetzbar sein müssen.

Weiter ergibt sich, dass nur genügend Ebenen in einem Multilayer vorhanden sein müssen, damit Module mehrfach reproduziert werden können. ▶

*Arnold Wiemers, IPC zertifizierter CID, CID+ und Instructor, zeichnet als Geschäftsführer für den Bereich CAD-Layouts bei der Ifla Feinleitertechnik GmbH in Hannover verantwortlich für CAD, CAM, technische Auftragsvorbereitung und Softwareentwicklung.





■ Für die EMV-Stabilität der Baugruppe ist es von Vorteil, wenn Störungen in der Stromversorgung entkoppelt und gepuffert werden



■ Die Berücksichtigung der Impedanz einer Signalleitung sorgt für die kontrollierte Signalübertragung im Hinblick auf die Signallaufzeit und den Leitungswiderstand



■ Für die hohe Integrität der Signale ist ein Übersprechen zwischen benachbarten Signalleitungen soweit wie möglich zu reduzieren

Schaltung vor den selbsterzeugten Störungen abgeschirmt, die sich auf den eigenen Vcc-Ebenen ergeben.

■ Impedanz der Signalleitung

Die Berücksichtigung der Impedanz einer Signalleitung sorgt für die kontrollierte Signalübertragung mit Blick auf die Signallaufzeit und den Leitungswiderstand. Für die Realisierung der Impedanz werden eine oder zwei Signalebenen und eine oder zwei Stromversorgungsebenen benötigt. Innerhalb des Lagenaufbaus soll die Signalführung bei einem Lagenwechsel nicht zu einem Impedanzwechsel und möglichst auch nicht zu einem Wechsel der Leiterbahngeometrie führen. Bestimmend für den Wert der Impedanz sind einerseits die Leiterbahnbreite (die hier im Zusammenhang mit dem mechanischen Lagenaufbau ignoriert wird) und andererseits der Lagenabstand zwischen Signalebene und Stromversorgungsebene.

In den Lagenaufbau können berechnete und erprobte Impedanzmodule integriert werden. Diese Impedanzmodule sind innerhalb des Multilayeraufbaus anreihbar. Impedanzmodule, die eine Außenlage einbeziehen, können auf der gegenüberliegenden Außenlage spiegelsymmetrisch angefügt werden.

■ Signalintegrität

Der Rücklauf eines Signals erfordert eine GND-Ebene. Für die hohe Integrität der Signale ist ein Übersprechen zwischen benachbarten Signalleitungen soweit wie möglich zu reduzieren. Bei höherlagigen Multilayern ist zudem zu beachten, dass der Abstand zwischen benachbarten Lagen geringer sein kann, als der Abstand zwischen Leiterbahnen in der gleichen Ebene. Weil der Informationstransfer in einer Signalleitung in Form elektromagnetischer Felder stattfindet, ist eine hohe Signalintegrität an die räumliche Kontrolle dieser Felder gebunden und an die kontrollierte Rückführung des Signals über die GND-Ebene. ▶

Serie „Die Leiterplatte 2010“

Die Applikationsplattform „meltemi“, eine Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich, ist der Dreh- und Angelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Beitragsreihe ist es, die gesamte Entwicklung der Baugruppe vom Layout über die Fertigung und Bestückung der Leiterplatte bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen.

Am Ende der Serie verdeutlichen die Autoren ihre Vorgehensweise am Beispiel der Hochgeschwindigkeitsplattform „meltemi economic“. Dabei werden anhand eines 6-lagigen Multilayers mit 32 Bit Single-Chip-Mikrocontroller und Spartan-III-FPGA Lösungsansätze diskutiert, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten.

Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de

Gebt modernen Lösungen eine Chance

Oft unterliegen Ansätze für die technische Lösung einer Aufgabenstellung modischen Strömungen. Was nicht „en vogue“ ist, wird übersehen oder ignoriert, auch wenn die Physik sich bereits zweifelsfrei entschieden hat.

Wahrscheinlich leben wir im Zeitalter der Elektronik. Mit Sicherheit leben wir in einem Zeitabschnitt, in dem eine Lösung sofort favorisiert wird, wenn sie Strom verbraucht.

Den Widrigkeiten der EMV und der Signalintegrität stellt man elektronische Lösungen gegenüber. Überschüssige Energien

auf Baugruppen werden verheizt oder erdrosselt.

Dass es für viele Aufgabenstellungen einfache mechanische Lösungen geben könnte, scheint unvorstellbar zu sein. Erst recht, wenn sich das dunkle Geheimnis einer störungsfreien Baugruppenfunktion im Inneren eines Multilayers verbirgt.

Und, noch schlimmer, wenn es kein Expertensystem und kein Tool dafür gibt.

Für die Modernität und die Eleganz des Erfolges steht zur Zeit nur ein einziges archaisches Mittel zur Verfügung.

Das eigenständige Nachdenken.

► Diese Bedingung ist dann erfüllbar, wenn jeder Signalebene eine GND-Ebene zugeordnet ist. Damit die Lagenanzahl nicht übermäßig zunimmt, kann die Multilayer-Konstruktion so ausgeführt werden, dass zwei innenliegende Signallagen zwischen zwei GND-Ebenen liegen.

Jede Signallage nimmt die jeweils näher gelegene GND-Ebene als Rücklaufebene an und baut nur einen geringen oder gar keinen störenden Bezug zur entfernter gelegenen GND-Ebene auf.

Aus dieser theoretischen Betrachtung ergibt sich allerdings auch bereits, dass maximal zwei Signallagen zwischen zwei GND-Ebenen möglich sind. Bei drei oder mehr Signallagen wäre ein Übersprechen wegen der sich überlagernden Felder unumgänglich.

Bei außenliegenden Signalen ist nur eine Signalebene über einer GND-Ebene machbar. Grundsätzlich ist eine Belegung der Außenlagen eines Multilayers mit Signalebenen vorteilhaft. Umgekehrt ist aus kombinatorischen Gründen eine auf den Außenlagen liegende GND-Ebene nicht empfehlenswert.

■ Kombination der Funktionsmodule

Die Lagenanzahl eines Multilayers kann und soll nicht beliebig zunehmen. Die Analyse der Funktionsmodule zeigt, dass die Anforderungen an die Impedanz und an die Signalintegrität von der Aufbaumechanik eines Multilayers her identisch sind. Ein korrekt definiertes Impedanzmodul zeichnet sich deshalb auch immer durch hohe Signalintegrität aus. Das strategische Ziel bei der Konstruktion eines Multilayer-Systems ist immer die gemeinsame Nutzung von Stromversorgungsebenen, insbesondere der GND-Ebenen. Bei Multi-Power-Systemen sind die äußeren GND-Ebenen gleichzeitig die Bezugsebenen für die Impedanz- und Signalintegritätsmodule.

■ Fazit

Der hier gezeigte Lagenaufbau der CPU „meltemi“ von unit[^]el ist mit insgesamt 20 Lagen sicherlich kein Standardprodukt (siehe Seite x4x). meltemi zeigt aber die kombinatorische Vielfalt der Anwendungsmöglichkeiten, die sich auch bei 10-Lagen- oder bei 8-Lagen-Multilayern umsetzen lassen. Maßgeblich ist, dass sich diese technischen Eigenschaften der Baugruppe durch die überlegte Konstruktion des Multilayersystems ergeben. Faktisch werden die physikalischen Eigenschaften durch die strategische Anordnung der Ebenen erreicht. Dass dafür zwei oder drei GND-Ebenen zusätzlich eingebaut werden müssen, kann akzeptiert werden. (cm)

Der nächste Teil der Serie „Die Leiterplatte 2010“ erscheint in Heft 7/2006 am 7. April.

www.elektronikpraxis.de

Leiterplattenspezialist Ilfa: Portfolio, Publikationen und das Technologie-Transfer-Angebot Ilfa-Akademie

unit[^]el: Die Experten für High-Speed-Embedded-Systeme und das Projekt meltemi

Magazin „Die Leiterplatte 2005“: Inhalt und Bestellformular

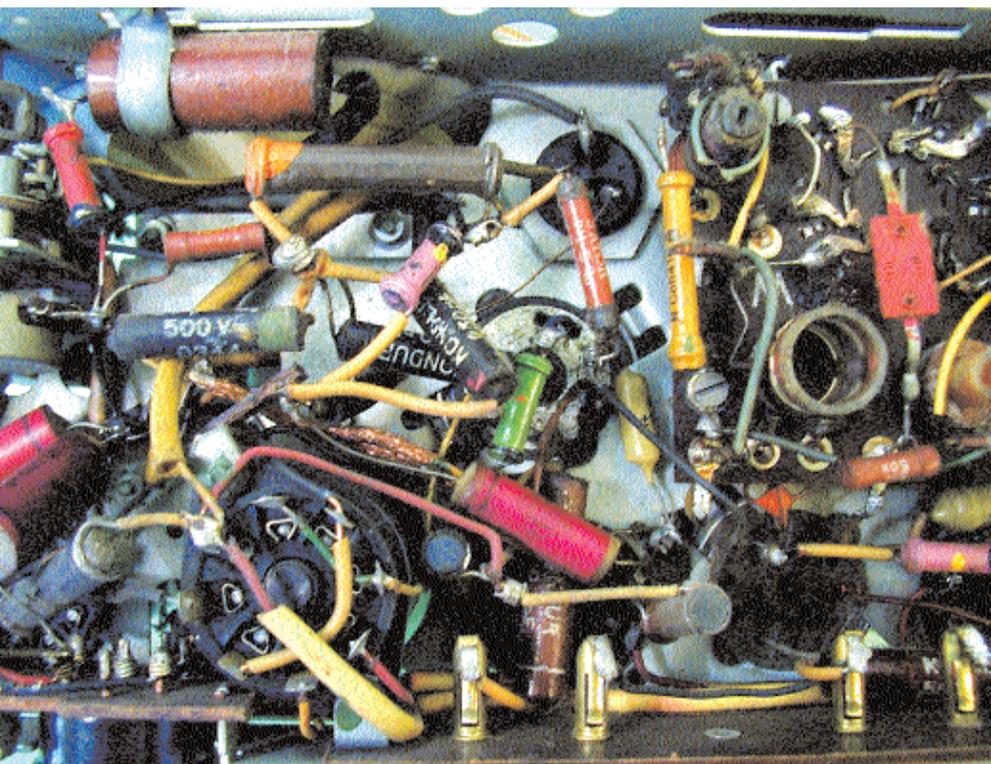
EMV-Praxis: Die Seminarreihe EMV-korrektes Leiterplattendesign

Publikationen „Wenn Leiterplatten strahlen“ und „Vorteile dünner Substrate in Ground-Powerplane-Systemen“

Das High-Speed-Seminar für Schaltungsentwickler und Leiterplattendesigner des FED

InfoClick

167341



■ Radiowellenempfänger von 1948 als die Leiterplatte noch Zukunftsmusik war

Nur ein Stück Draht

Was ein Radiowellenempfänger von 1948 und ein moderner Multilayer gemeinsam haben

Eine Leiterbahn ist im Prinzip nichts anderes als ein Stück Draht. Dieses einfache Stück Draht hat die besondere Eigenschaft, Energie abzustrahlen, aber auch aufzunehmen, wenn es mit einer Wechselspannung beaufschlagt wird. Seit jeher sind Elektronikentwickler sind seit jeher gezwungen, diese Eigenheiten von einem Stück Draht zu berücksichtigen – sei es gewollt zum Bau von Antennen oder um im Leiterplattenlayout ungewollte Abstrahlung auf einen akzeptablen Rest zu reduzieren.

Franz Ganster*

■ In den Anfangszeiten der Elektronik, als Röhren den Stand der Technik verkörperten, wurde vorzugsweise von „Hand“ verdrahtet. Bild 1 zeigt einen Radiowellenempfänger für Lang- und Mittelwelle (ca. 300 kHz bis 1,5 MHz) in einem damals schon revolutionären Aufbau in dreidimensionaler Mehrlagen- und Mehrebenen-Technik. Die Probleme mit dem Aufbau waren überschaubar, die Leiterplatten noch Zukunftsmusik. Angenehmes Arbeiten mit Sinussignalen stand im Vordergrund, Rechtecksignale blieben vornehmlich theoretischer Natur. Die wenigen „Oberwellen“ wurden, falls vorhanden und unerwünscht, einfach weggefiltert. Platzprobleme gab es kaum und auch die EMV war ansonsten unbekannt und natürlich unbenannt.

Dem steht, das in Bild 2 gezeigte Beispiel die „Leiterplatte 2010“ als Baugruppenträger gegenüber: kein Stahlblechchassis, sondern ein in modernster Technik gefertigter 20-lagiger Multilayerprint mit hochintegrierten Bauelementen. Was haben nun beide Module gemeinsam? Ist denn eine Gegenüberstellung nicht eher leichtsinnig und überhaupt sinnvoll?

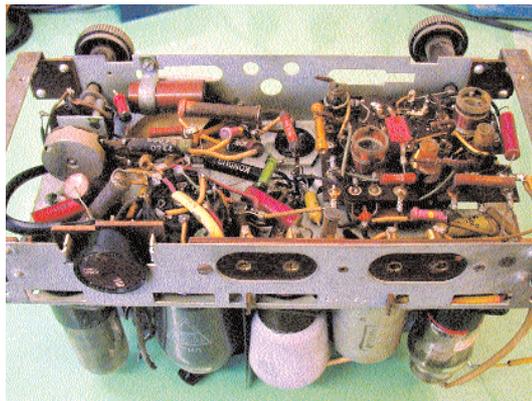
Beide Aufbauten funktionieren einwandfrei – auch der Röhrenempfänger aus dem Jahr 1948! Der „Draht“ im alten Röhrenaufbau und die Verdrahtung auf und innerhalb des Multilayers scheinen sogar gleichen physikalischen Gesetzmäßigkeiten zu folgen.

Offensichtlich haben die damaligen Konstrukteure entweder „instinktiv“ oder bewusst (wir werden der Frage noch auf den Grund gehen) eigentlich alles richtig gemacht. Der Mehrzahl heutiger zertifizierter „Amateurfunker“ ist aus dem Antennenbau und aus der Kabeltechnik ein Begriff geläufig, der eigentlich jedem Techniker der Leiterplatten entflechtet, ebenso jedem Elektronikingenieur der Schaltungen entwirft, im Schlaf bewusst sein sollte: Die Impedanz eines mit Wechselspannung beaufschlagten Drahtes oder Leiterbahn!

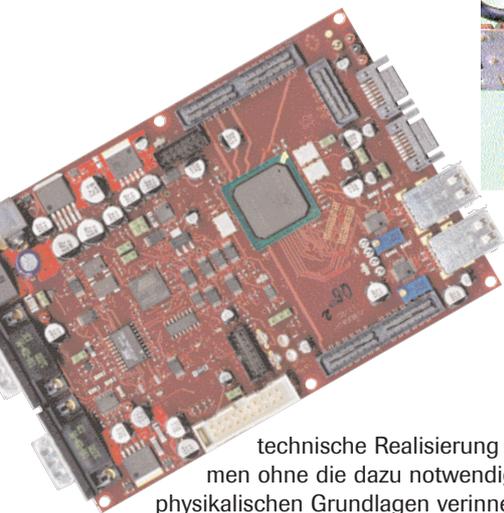
Physikalische Gegebenheiten sind definitiv nicht verhandelbar! Dies sei ausdrücklich jenen Kaufleuten nahe gelegt, die auf Teufel komm raus nicht nur die Gesamtkosten eines Produkts reduzieren wollen und nach den Gesetzen der freien Marktwirtschaft auch müssen, sondern maßgeblichen Einfluss auf die

*Franz Ganster zeichnet für den Bereich Leiterplatten-Layout und Analogtechnik bei unit^{el} verantwortlich und ist für die Entflechtung (Layout) der Leiterplatte „meltemi“ zuständig.

■ Bild 1:
Radiowelleneempfänger in
Röhrentechnik von Hand
verdrahtet in damals
revolutionärer dreidimen-
sionaler Mehrlagen- und
Mehrebenen-Technik



■ Bild 2 :
20-lagiges meltemi-Board:
Baugruppe für die serielle Hoch-
geschwindigkeits-Datenübertragung
im Multi-Gigabit/s-Bereich



technische Realisierung nehmen ohne die dazu notwendigen physikalischen Grundlagen verinnerlicht zu haben. Die ungeliebte Leiterplatte steht besonders häufig im Fokus: „Da müssen doch auch zwei Lagen reichen oder noch besser nur eine!“ Das dicke Ende folgt spätestens in der EMV-Prüfhalle auf dem Fuße. Die Interpretation der zumeist katastrophalen Ergebnisse obliegt dann interessanterweise wieder ausschließlich der Kompetenz des Entwicklers, jedoch, wen wundert's, verbunden mit der Auflage das Problem wiederum „kostenneutral“ zu lösen. Apropos Draht, respektive Leiterbahn: Wie kann man als Layouter einer Leiterplatte diesen Begriff visualisieren?

Gleichspannungsmäßig ist darin eine leitende Verbindung zwischen A und B zu sehen, in der ein Strom (I) fließt die mit der Spannung (U) beaufschlagt ist. Bei einem gewünschten Strom (I) lässt sich der maximal vertretbare Ohmsche Widerstand (R) abhängig von der Temperatur der Umgebung der Leiterbahn eindeutig durch die Breite, Dicke und Länge der Leiterbahn festlegen. Die maximal geforderte Spannung (U) bestimmt wiederum die Isolationseigenschaften und den geringsten Abstand der Leiterbahnen zueinander. Die Verwendung von Wechselspannung bedingt eine Erweiterung dieser einfachen „Draht-Betrachtungsweise“ um eine zusätzliche, wesentlich komplexere

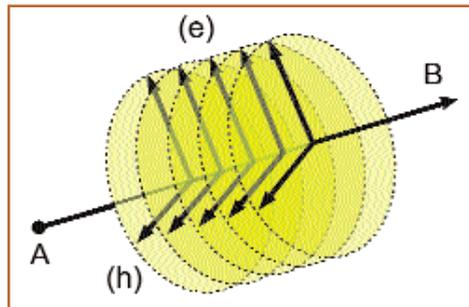
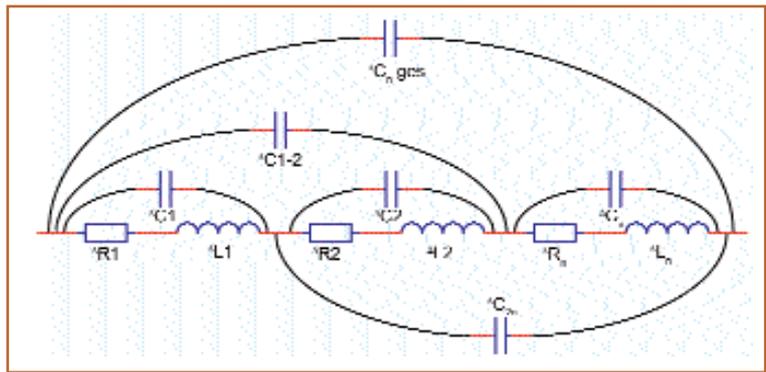
Die Serie „Die Leiterplatte 2010“

Die Applikationsplattform „meltemi“, eine Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich, ist der Dreh- und Angelpunkt der Serie „Die Leiterplatte 2010“. Ziel der Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Aufgabe eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen.

Zudem verdeutlichen die Autoren ihre Vorgehensweise am Beispiel der Hochgeschwindigkeitsplattform „meltemi economic“. Hierbei werden anhand eines 6-lagigen Multilayers mit 32-Bit-Single-Chip-Mikrocontroller und Spartan-III-FPGA Lösungsansätze diskutiert, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten. Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de

Die Leiterplatte 2010 – Teil 7

■ Bild 3:
Ersatzbild eines Leiters: ein Stück Draht beliebiger Länge hat im Vakuum einen Impedanzwert von annähernd 377Ω $[(120 \times \pi) = \text{Wellenwiderstand des Vakuums}]$



■ Bild 4: Ausbreitung einer Welle: A (Ort der Aussendung), A B Ausbreitungsrichtung, e = Elektrisches Feld, h = magnetisches Feld

Frequenz	Eindringtiefe
50 Hz	9,38 mm
10 kHz	660 μm
10 MHz	21 μm
1 GHz	2 μm

Tabelle: Im Inneren einer Leiterbahn wird die Stromdichte mit steigender Frequenz kleiner als an der Oberfläche (Skinneffekt)



Komponente: Die Impedanz, stellvertretend für eine Welt, in der elektromagnetische Felder dominieren.

HF-Ingenieuren und besonders seltener Spezies der Amateurfunker ist die Erkenntnis, dass ein Stück Draht beliebiger Länge im Vakuum gespannt einen Impedanzwert von annähernd 377Ω $[(120 \times \pi) = \text{Wellenwiderstand des Vakuums}]$ annimmt, offensichtlich in die „technische Wiege“ gelegt.

Die Impedanz einer Dipolleitung beträgt unter entsprechenden Voraussetzungen 240Ω , bei einem Stück Draht von ca. 16 m Länge in 10 m Höhe über dem Erdboden und einer bestimmten Frequenz exakt 50Ω . Mit anderen Frequenzen lassen sich Bereiche von z.B. 140 bis 2000Ω Impedanz überstreichen.

Die Vermutung, dass die Geometrie der Verdrahtung offenbar entscheidend für die Impedanz ist, wird zur Gewissheit. Dies gilt in wesentlich kritischerem Maß für die Entflechtung und das Routing auf der Leiterplatte.

Im Gegensatz zur „statischen“ Gleichspannung bilden sich bei dynamischen Vorgängen elektrische und magnetische Felder um dieses Stück Draht oder Leiterbahn herum aus.

Heinrich Hertz, der damit auch die Funktechnik aus der Taufe hob, erkannte gegen Ende des 19. Jahrhunderts Folgeschweres: Diese Felder beeinflussten benachbarte Drähte und Leitungen dahingehend, dass offensichtlich ein Teil der Energie des „Senddrahtes“ auf

parallel dazu liegenden Nachbarleitungen übertragen wurde. Dem einfachen Stück Draht oder Leiterbahn muss also die besondere Eigenschaft zugestanden werden, Energie abzustrahlen, aber auch aufzunehmen. Also ein Sender-Empfängerprinzip!

Daraus lassen sich unmittelbare Forderungen ableiten:

■ a.) Leitungen nicht über längere Strecken parallel führen (Vermeidung von Übersprechen)

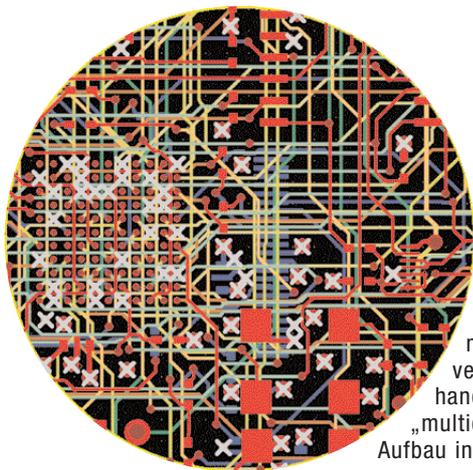
■ b.) Signalleitungen und deren Rückstromleitungen müssen möglichst nahe beieinander geführt werden.

■ c.) Jede Veränderung der Geometrie des Leiters oder der Rückstromleitung ändert die Impedanz. Wird diese Tatsache ignoriert sind Signalintegritäts- und EMV-Probleme unvermeidbar.

In der Praxis müssen Kompromisse gemacht werden

Die Praxis zeigt aber auch, dass Kompromisse gemacht werden müssen. Ein Beispiel soll das verdeutlichen: Ein Via ist üblicherweise 90° zu einer Leiterbahn angeordnet. Deswegen bringt die Polarisation der Welle bei kreuzweiser (orthogonaler) Führung der unmittelbaren Nachbarleitung einen mehr als beachtlichen Faktor 100 in Bezug auf Übersprechen bzw. gegenseitiger Beeinflussung.

Kurz ein paar Worte zur Polarisation. Sie wird in der Fachliteratur meistens sehr kompliziert erklärt. Eine umfassende Definition derselben ist deshalb recht aufwendig.



■ Bild 5:
Beispiel einer
Leiterbahn-
führung: Keine
parallel ge-
führten Struk-
turen auf der
meltemi-Platine,
vergleichbar dem
handverdrahteten
„multidimensionalen“
Aufbau in Bild 1.

Grundsätzlich versteht man unter der Polarisation die Lage elektrischer Feldkomponenten einer elektromagnetischen Welle in Bezug zu einem Rückleiter (meist Erdoberfläche in der Antennentechnik). Die Lage der Welle (des Feldes) wird mit einem Richtungsvektor bezeichnet. Mittels der Vektoren (grafisch) kann man sofort durch Addition bzw. Subtraktion von Feldern, Wellen (bzw. deren graf. Vektoren) das Ausmaß bzw. die Wirksamkeit von Maßnahmen zur Unterdrückung von Feldern erfassen.

Fazit: Damals wie heute sind Entwickler und Konstrukteure gezwungen, die erstaunlichen Eigenheiten eines Stück Drahtes unter Wechselspannungsbeaufschlagung zu berücksichtigen – sei es gewollt zum Bau von Antennen oder um im Leiterplattenlayout ungewollte Abstrahlung auf einen akzeptablen Rest zu reduzieren. Hinzu kommt als Forderung in verstärktem Maße, dass bei den heute üblichen Frequenzen und Schaltzeiten fast immer „vergessen“ wird, die Eindringtiefe (Skinneffekt) zu berücksichtigen. Im Inneren des Draht- oder Leiterbahnstücks wird die Stromdichte mit steigender Frequenz kleiner als an der Oberfläche (siehe Tabelle). Folgende Faustformel lässt sich für den Bereich Leiterplatte (Material Cu, $\epsilon_r = 4,3$) mit ausreichender Annäherung heranziehen: Eindringtiefe in Cu/mm = $66,3 / \sqrt{f[\text{Hz}]}$

Im Endeffekt zählt nur das Ergebnis: Sei es aus empirischer Erfahrung „herausdestilliert“, mühsam mittels mathematischer Verfahren errechnet oder mittels teurer Software erkaufte. (cm)

Ach ja, wer mich mal anfunken will: OE3FGA, ich freue mich auf jedes konstruktive QSO.

Literatur:

Bild 1: Alfred Obermayer OE3AOW, Amateurfunker
Frank Sichala, DL7VS, Die HB9CV Antenne
Pierre Villemagne, Antennen für die unteren Bänder
Rothammels Antennenbuch
Hannu Tikkanen, Printed Circuit Board Design Guide RRL-Handbook 2005
(American Radio Relay League)
Heiko Dudek, Cadence Designs Systems: Differentielle Signalführung in PCBs

www.elektronikpraxis.de

unit^el: Die High-Speed-Experten und das Projekt meltemi

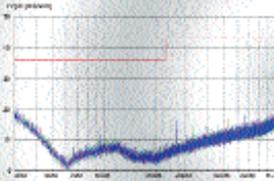
Die Leiterplatte 2005: Inhalt und Bestellformular

High-Speed-Seminar für Leiterplattendesigner des FED

InfoClick

169767

meltemi economic

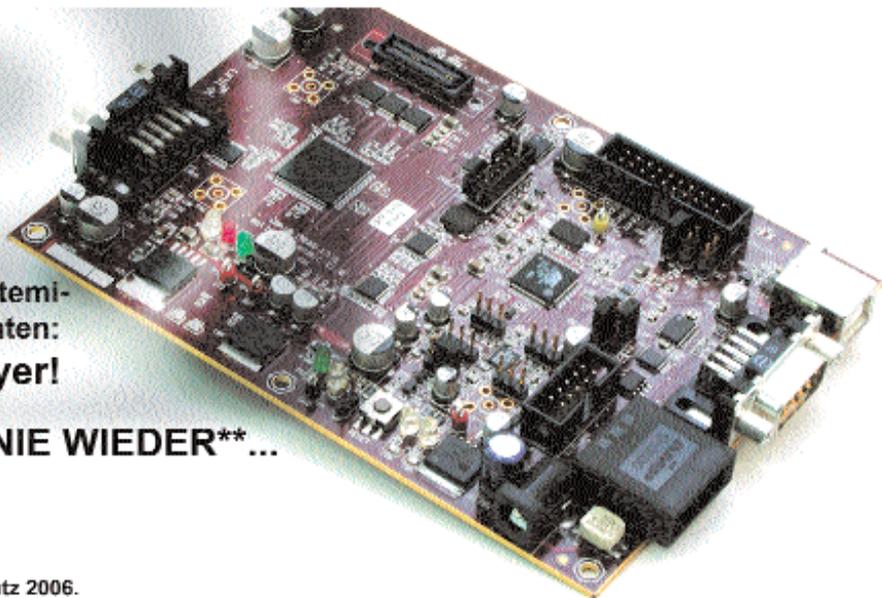


Progression der meltemi-Technologie nach unten:
6-Lagen-Multilayer!

Wir machen es NIE WIEDER...**

*Gerhard Eigelsreiter**

**...war unser Neujahrsvorsatz 2006.



Die Quadratur des Kreises

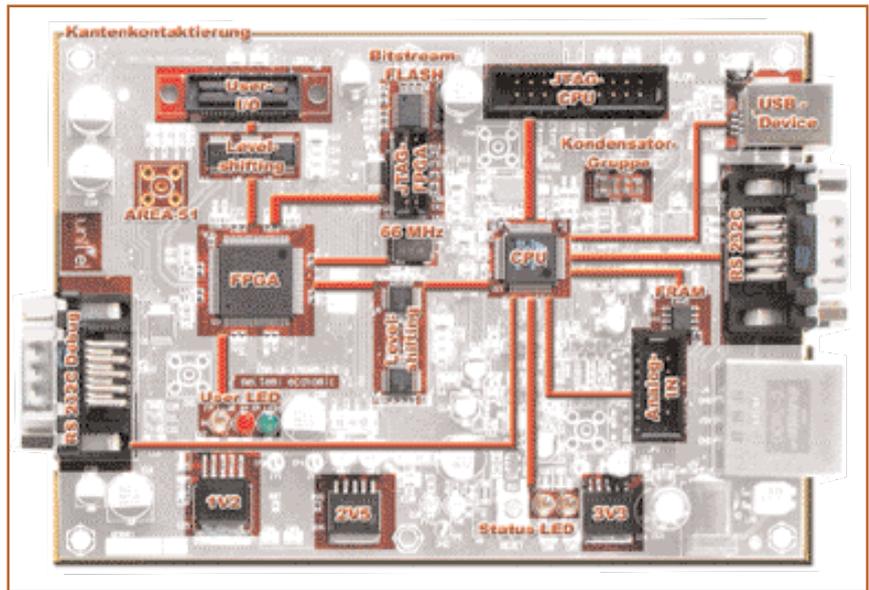
meltemi komprimiert – stabile Hardware in 6 Lagen (I)

Für Applikationen in Bildverarbeitung, HDTV oder digitalem Fernsehen, wo es reichlich Daten bei hohen Geschwindigkeiten zu übertragen gilt, ist die meltemi-Plattform konzipiert. Übertragungsbandbreiten von bis zu 60 GBit/s, verbunden mit exzellentem EMV-Verhalten und maximaler funktionaler Stabilität und Betriebssicherheit ermöglichen ein 20 Lagen Multilayer mit integriertem Stromversorgungsstapel, impedanzdefinierter Leitungsführung, X2Y-Kondensatoren und Kantenkontaktierung. In dieser und beiden weiteren Folgen unserer Serie erfahren Sie, ob und wie sich die Erfahrungen bei 18- und 20-lagigen Multilayer-Boards hinsichtlich EMV und stabiler Funktionen annähernd verlustfrei in ein 6-Lagen-Multilayer-Design mit einseitiger Bestückung komprimieren lassen.

Das englische Wort „economic“ lässt sich mit Begriffen wie wirtschaftlich und sparsam umschreiben oder großzügiger mit „ökonomisches Prinzip“ und „Effizienzpostulat“, um nur einige zu nennen, übersetzen. Das Verhältnis eines Nutzens, der natürlich in definierter Qualität vorgegeben sein muss, zu einem bestimmten Aufwand, um eben genau diesen Nutzen zu erreichen, wird üblicherweise durch das Wort Effizienz umschrieben respektive abgekürzt. Gelingt es durch effizientes Verhalten den dazu nötigen Mitteleinsatz so

*Gerhard Eigelsreiter ist Inhaber der Firma unit^el, Spezialist für High-Speed-Embedded-Systeme mit Schwerpunkt reprogrammierbare Logik und EMV-gerechtes Leiterplattendesign, in Graz/Österreich.

gering wie möglich zu halten, hat man eine Ausprägung des ökonomischen Prinzips optimal erfüllt. Leider führt blindes oder übertriebenes Vertrauen in das Optimalprinzip, nämlich mit minimalen Mitteln ein maximales Ergebnis zu erzielen, zu ungeplantem Handeln, da üblicherweise keine klaren Vorgaben gemacht werden und auch kein klares Ziel verfolgt wird. Effektiv ist diese Handlungsweise auf keinen Fall. Das Vorgehen kann also nur schrittweise mit ständigen wechselseitigen Überprüfungen erfolgen, um das gesteckte Ziel nachhaltig zu erreichen. Theorie und schöne Worte, doch wie sieht die Praxis aus: Lassen sich die Erfahrungen von 18- und 20-lagigen Multilayern hinsichtlich EMV und stabiler Funktionalitäten annähernd verlustfrei in ein 6-Lagen-Design komprimieren? Unter Einbeziehung uneingeschränkter masochistischer Verhaltensweisen lautet die Antwort: Ein klares Ja! Ein ungeübter Blick in den dazu notwendigen technischen Maßnahmen-



■ Bild 1: Blockschaltbild der meltemi-economic-Baugruppe: 32-Bit-Mikrocontroller und flexible I/O-Struktur; frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik runden das Einsatzgebiet nach oben hin ab und verlängern den Lebensdauerzyklus der Hardware

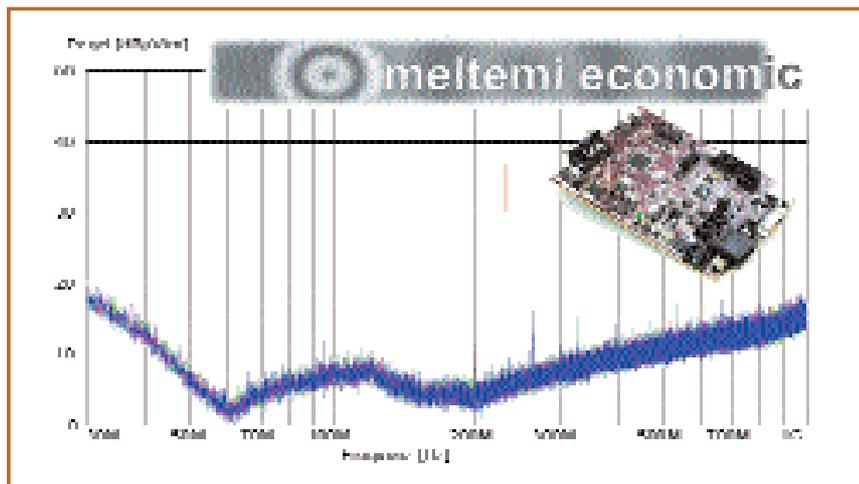


Bild 2 : Erstes EMV-Prüfresultat aus der Absorberhalle: unerlässliche Maßnahmen, um die EMV zu gewährleisten, sind GND-Stifte, Kantenkondensatoren, Kantenkontaktierung und Kondensatorgruppen

► katalog offenbart keine größeren Schwierigkeiten oder außerordentlichen Hindernisse. Solange der Blick angemessen kurz bleibt, stimmt das sogar. Doch der Teufel steckt im Detail. Anhand der Referenz-Hardware-Plattform „meltemi-economic“ lässt sich das sehr anschaulich erklären.

Nach Erstellung des technischen Gesamtkonzeptes unter besonderer Berücksichtigung wirtschaftlicher Aspekte (die Hardware soll wenig bis „gar nichts“ kosten) steht vor der Schaltplanerstellung die Lagenanzahl sowie der Lagenaufbau untrennbar verbunden mit der obligaten Bauteilerauswahl. Dies ist deshalb so wichtig, weil die Halbleiterhersteller in ihrem unermüdlichen Bestreben die Innovation voranzutreiben, die aktiven Bauteile mit zahlreichen zusätzlichen Betriebsspan-

nungen versehen. Die im Gesamtkonzept vorgegebene 6-Lagen-Obergrenze für das Multilayer-Board unter besonderer Berücksichtigung breitbandiger Stromversorgungsentkopplungen schränkt somit die Auswahl erheblich ein. Der zusätzliche enorme Kostendruck verleiht dieser Form des Schaltungsdesigns das besondere Prädikat „Spießrutenlaufen mit interessanten, weil unbekanntem Nebenasspekten“.

Hardware mit einem langen Lebensdauerzyklus

Nun zu den Details: Eine zweckmäßige Referenz-Hardware sollte den Bereich Mikrocontroller mit einem modernen Single-Chip-Konzept – 32 Bit intern wären optimal – sowie zusätzlich mit einer aus Signalintegritätsgründen sehr

flexiblen I/O-Struktur abdecken. Freiprogrammierbare Hardwarebeschleuniger oder reprogrammierbare Logik runden das Einsatzgebiet nach oben hin ab. Sie sollen besonders den Lebensdauerzyklus der Hardware erheblich verlängern und zur leichteren Erfüllung von wirtschaftlichen Aspekten beitragen. Die Wahl fiel aus Kosten- und Marktdurchdringungsgründen auf die 32-Bit-Embedded-Prozessoren der ARM7-Serie. Die lange Marktführerschaft im 32-Bit-Mikrocontrollerbereich und der umfangreiche Softwarepool trugen maßgeblich zu dieser Entscheidung bei. Die Auswahl des Halbleiterherstellers Atmel mit der AT91SAM7S-Familie gründet sich auf die umfangreiche Roadmap sowie die technisch sehr flexiblen, pin-kompatiblen Mitglieder der Mikrocontrollerfamilie. Weit über 20 Jahre Erfahrung mit reprogrammierbarer Logik von Xilinx führte nahezu zwangsbedingt zur Auswahl und zum Einsatz der Spartan-3-Familie, um ein Maximum an I/O-Flexibilität zu gewährleisten. Breitbandige Stromversorgungsentkopplung: Die erste harte Nuss galt es zu knacken. Der 32-Bit-Mikrocontroller benötigt zwei Spannungsebenen, die I/O-Spannung mit 3,3 V und die Kernspannung mit 1,8 V (Linearregler integriert auf dem Chip!). FPGAs aus der Spartan-3-Serie begnügen sich mit einer Kernspannung von 1,2 V und unterschiedlichen I/O-Spannungen von 2,5 oder 3,3 V – die aber nur mit Einschränkungen. Die Bedingung auch vier LVDS-Kanäle zur Verfügung zu stellen fixierte diese I/O-Spannung auf 2,5 V. Also 4, in Worten vier, verschiedene Versorgungsspannungen sind breitbandig zu entkoppeln. Daran führt kein Weg vorbei, außer man liebt das Risiko oder

Die Serie „Die Leiterplatte 2010“

Die Applikationsplattform „meltemi“, eine Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich, ist der Dreh- und Angelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen.

In den Teilen 8, 9 und 10 der Serie verdeutlichen die Autoren ihre Vorgehensweise am Beispiel der Hochgeschwindigkeitsplattform „meltemi economic“ und diskutieren Lösungsansätze, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten.

Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de

den Adrenalin-Kick in der EMV-Prüfhalle. Vier Lagen (einschließlich GND) von maximal sechs waren sozusagen „verbraucht“. Mückrige zwei Lagen blieben für die Verlegung der eigentlichen Signalleitungen übrig. So nebenbei mussten alle Signalleitungen auch noch impedanzdefiniert geroutet werden. Da kam Freude bei der Entflechtung des Leiterplattenlayouts auf.

Die Forderung nach 5 V Eingangsspannungsfestigkeit aller Signale am USER-I/O-Stecker führte zum massiven Einsatz passiver Analogschalter mit Spannungspegelkonversion von eben genannten 5 auf 3,3 V (ARM7 CPU) und 2,5 V (Spartan-3-FPGA). Auch die 8-Bit-Busverbindung zwischen CPU (3,3 V) und FPGA (2,5 V) kam nicht ohne Pegelkonverter aus. Der Einsatz von analogen Bus-Schaltern bringt erhebliche Vorteile. Die Durchlaufzeit beträgt maximal 200 ps. Es gibt keinen aktiven Störenergieeintrag in das V_{CC} -GND-System und die Verbindungen sind implizit bidirektional. Steuerleitungen zur Richtungsumschaltung sind ebenfalls nicht mehr erforderlich.

Vier Analogeingänge der integrierten 10-Bit-A/D-Wandler wurden mit externen Operationsverstärkern für unterschiedliche Sensorelemente fit gemacht.

Die Regelung der benötigten Betriebsspannungen übernehmen drei externe Linearregler (3,3; 2,5 und 1,2 V) in SMD-Ausführung mit Kühlung über die zwei GND-Planes (Thermal-Vias) und die Kantenkontaktierung. Die vierte Spannung (1,8 V) bedient der im Mikrocontroller integrierte Linearregler.

Die Reprogrammierung des Spartan-3-FPGAs übernimmt wahlweise das serielle Bitstrom-Flash oder über die JTAG-Signale der ARM7-Mikroprozessor. Der Software wurde dadurch ein Maximum an Flexibilität und Eingriffsmöglichkeiten eingeräumt. Ebenso lässt sich ein Reload des FPGAs aus dem Bitstrom-Flash

über die Software erzwingen. Sämtliche digitalen Eingänge des Spartan-3-Bausteins sind dank Analog-Pegelkonverter 5 V eingangsspannungsfest.

Zusätzliche für die funktionale Stabilität und EMV (Bild 2) unerlässliche Maßnahmen wie GND-Stifte, Kantenkondensatoren, Kantenkontaktierung, Kondensatorgruppen verbunden mit der aus wirtschaftlichen Gründen aufgestellten Forderung nur einseitige Bestückung mit Komponenten zuzulassen, ließen den Zeitaufwand bis an die Grenze des Zumutbaren steigen.

Deswegen wird im Folgeteil der Neujahrsvorwort für das Jahr 2006 und darüber hinaus „Wir haben es versucht, es ist gelungen, aber wir machen es so nie wieder oder nur in außergewöhnlich extremen Ausnahmefällen“ mehr als verständlich. *(cm)*

Der Lagenaufbau und die im Layout für meltemi economic umgesetzten Maßnahmen zur Einhaltung der EMV sind die Themen der nächsten zwei Folgen. Diese Beiträge erscheinen in den Ausgaben 10 und 11 am 24. Mai bzw. 2. Juni.

www.elektronikpraxis.de

unit^el: Die Experten für High-Speed-Embedded-Systeme und das Projekt meltemi

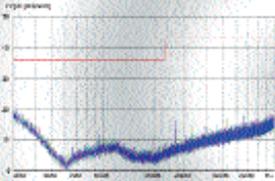
Sonderausgabe „Die Leiterplatte 2005“: Inhalt und Bestellformular

Technische Daten der Spartan-3-FPGAs von Xilinx

Reprogrammierbare Logik der AT91SAM7S-Familie von Atmel

Fachpublikationen zum Thema EMV-gerechtes Schaltungsdesign

meltemi economic

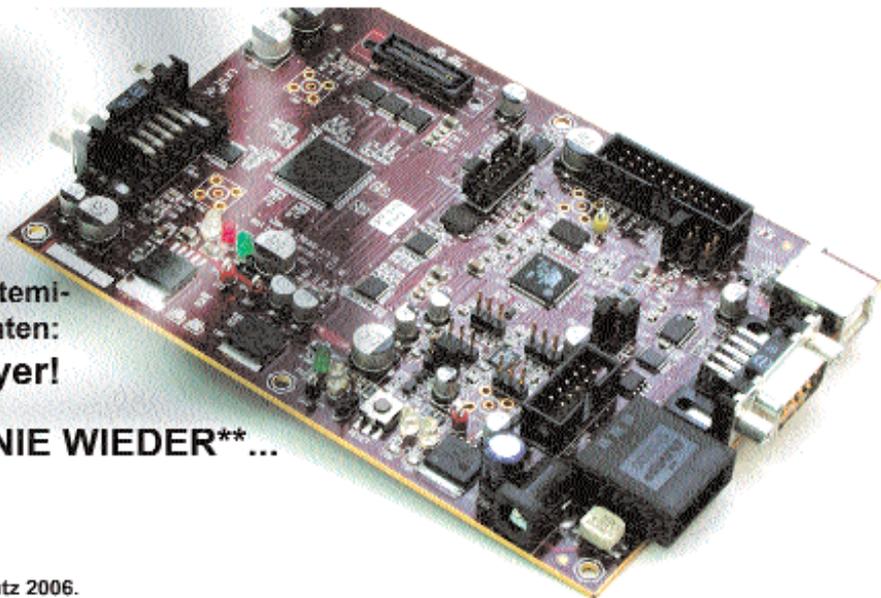


Progression der meltemi-Technologie nach unten:
6-Lagen-Multilayer!

Wir machen es NIE WIEDER...**

*Gerhard Eigelsreiter**

**...war unser Neujahrsvorsatz 2006.



Die Quadratur des Kreises

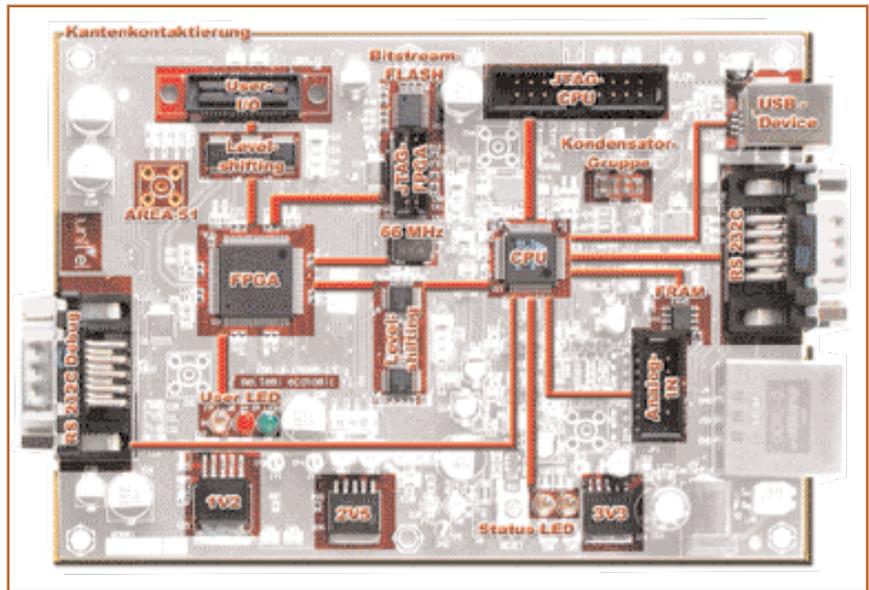
meltemi komprimiert – stabile Hardware in 6 Lagen (I)

Für Applikationen in Bildverarbeitung, HDTV oder digitalem Fernsehen, wo es reichlich Daten bei hohen Geschwindigkeiten zu übertragen gilt, ist die meltemi-Plattform konzipiert. Übertragungsbandbreiten von bis zu 60 GBit/s, verbunden mit exzellentem EMV-Verhalten und maximaler funktionaler Stabilität und Betriebssicherheit ermöglichen ein 20 Lagen Multilayer mit integriertem Stromversorgungsstapel, impedanzdefinierter Leitungsführung, X2Y-Kondensatoren und Kantenkontaktierung. In dieser und beiden weiteren Folgen unserer Serie erfahren Sie, ob und wie sich die Erfahrungen bei 18- und 20-lagigen Multilayer-Boards hinsichtlich EMV und stabiler Funktionen annähernd verlustfrei in ein 6-Lagen-Multilayer-Design mit einseitiger Bestückung komprimieren lassen.

Das englische Wort „economic“ lässt sich mit Begriffen wie wirtschaftlich und sparsam umschreiben oder großzügiger mit „ökonomisches Prinzip“ und „Effizienzpostulat“, um nur einige zu nennen, übersetzen. Das Verhältnis eines Nutzens, der natürlich in definierter Qualität vorgegeben sein muss, zu einem bestimmten Aufwand, um eben genau diesen Nutzen zu erreichen, wird üblicherweise durch das Wort Effizienz umschrieben respektive abgekürzt. Gelingt es durch effizientes Verhalten den dazu nötigen Mitteleinsatz so

*Gerhard Eigelsreiter ist Inhaber der Firma unit^el, Spezialist für High-Speed-Embedded-Systeme mit Schwerpunkt reprogrammierbare Logik und EMV-gerechtes Leiterplattendesign, in Graz/Österreich.

gering wie möglich zu halten, hat man eine Ausprägung des ökonomischen Prinzips optimal erfüllt. Leider führt blindes oder übertriebenes Vertrauen in das Optimalprinzip, nämlich mit minimalen Mitteln ein maximales Ergebnis zu erzielen, zu ungeplantem Handeln, da üblicherweise keine klaren Vorgaben gemacht werden und auch kein klares Ziel verfolgt wird. Effektiv ist diese Handlungsweise auf keinen Fall. Das Vorgehen kann also nur schrittweise mit ständigen wechselseitigen Überprüfungen erfolgen, um das gesteckte Ziel nachhaltig zu erreichen. Theorie und schöne Worte, doch wie sieht die Praxis aus: Lassen sich die Erfahrungen von 18- und 20-lagigen Multilayern hinsichtlich EMV und stabiler Funktionalitäten annähernd verlustfrei in ein 6-Lagen-Design komprimieren? Unter Einbeziehung uneingeschränkter masochistischer Verhaltensweisen lautet die Antwort: Ein klares Ja! Ein ungeübter Blick in den dazu notwendigen technischen Maßnahmen-



■ Bild 1:
 Blockschaltbild der meltemi-economic-Baugruppe: 32-Bit-Mikrocontroller und flexible I/O-Struktur; frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik runden das Einsatzgebiet nach oben hin ab und verlängern den Lebensdauerzyklus der Hardware

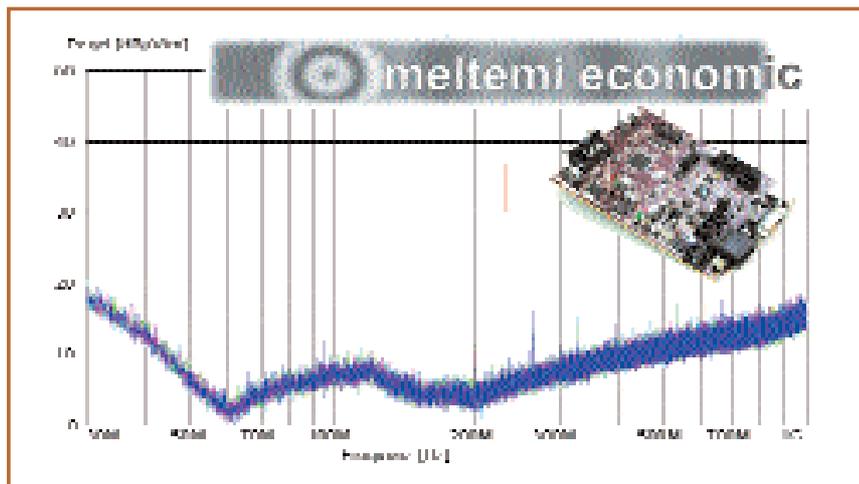


Bild 2 : Erstes EMV-Prüfresultat aus der Absorberhalle: unerlässliche Maßnahmen, um die EMV zu gewährleisten, sind GND-Stifte, Kantenkondensatoren, Kantenkontaktierung und Kondensatorgruppen

► katalog offenbart keine größeren Schwierigkeiten oder außerordentlichen Hindernisse. Solange der Blick angemessen kurz bleibt, stimmt das sogar. Doch der Teufel steckt im Detail. Anhand der Referenz-Hardware-Plattform „meltemi-economic“ lässt sich das sehr anschaulich erklären. Nach Erstellung des technischen Gesamtkonzeptes unter besonderer Berücksichtigung wirtschaftlicher Aspekte (die Hardware soll wenig bis „gar nichts“ kosten) steht vor der Schaltplanerstellung die Lagenanzahl sowie der Lagenaufbau untrennbar verbunden mit der obligaten Bauteilerauswahl. Dies ist deshalb so wichtig, weil die Halbleiterhersteller in ihrem unermüdlichen Bestreben die Innovation voranzutreiben, die aktiven Bauteile mit zahlreichen zusätzlichen Betriebsspan-

nungen versehen. Die im Gesamtkonzept vorgegebene 6-Lagen-Obergrenze für das Multilayer-Board unter besonderer Berücksichtigung breitbandiger Stromversorgungsentkopplungen schränkt somit die Auswahl erheblich ein. Der zusätzliche enorme Kostendruck verleiht dieser Form des Schaltungsdesigns das besondere Prädikat „Spießrutenlaufen mit interessanten, weil unbekanntem Nebenasspekten“.

Hardware mit einem langen Lebensdauerzyklus

Nun zu den Details: Eine zweckmäßige Referenz-Hardware sollte den Bereich Mikrocontroller mit einem modernen Single-Chip-Konzept – 32 Bit intern wären optimal – sowie zusätzlich mit einer aus Signalintegritätsgründen sehr

flexiblen I/O-Struktur abdecken. Frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik runden das Einsatzgebiet nach oben hin ab. Sie sollen besonders den Lebensdauerzyklus der Hardware erheblich verlängern und zur leichteren Erfüllung von wirtschaftlichen Aspekten beitragen. Die Wahl fiel aus Kosten- und Marktdurchdringungsgründen auf die 32-Bit-Embedded-Prozessoren der ARM7-Serie. Die lange Marktführerschaft im 32-Bit-Mikrocontrollerbereich und der umfangreiche Softwarepool trugen maßgeblich zu dieser Entscheidung bei. Die Auswahl des Halbleiterherstellers Atmel mit der AT91SAM7S-Familie gründet sich auf die umfangreiche Roadmap sowie die technisch sehr flexiblen, pin-kompatiblen Mitglieder der Mikrocontrollerfamilie. Weit über 20 Jahre Erfahrung mit reprogrammierbarer Logik von Xilinx führte nahezu zwangsbedingt zur Auswahl und zum Einsatz der Spartan-3-Familie, um ein Maximum an I/O-Flexibilität zu gewährleisten. Breitbandige Stromversorgungsentkopplung: Die erste harte Nuss galt es zu knacken. Der 32-Bit-Mikrocontroller benötigt zwei Spannungsebenen, die I/O-Spannung mit 3,3 V und die Kernspannung mit 1,8 V (Linearregler integriert auf dem Chip!). FPGAs aus der Spartan-3-Serie begnügen sich mit einer Kernspannung von 1,2 V und unterschiedlichen I/O-Spannungen von 2,5 oder 3,3 V – die aber nur mit Einschränkungen. Die Bedingung auch vier LVDS-Kanäle zur Verfügung zu stellen fixierte diese I/O-Spannung auf 2,5 V. Also 4, in Worten vier, verschiedene Versorgungsspannungen sind breitbandig zu entkoppeln. Daran führt kein Weg vorbei, außer man liebt das Risiko oder

Die Serie „Die Leiterplatte 2010“

Die Applikationsplattform „meltemi“, eine Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich, ist der Dreh- und Angelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen.

In den Teilen 8, 9 und 10 der Serie verdeutlichen die Autoren ihre Vorgehensweise am Beispiel der Hochgeschwindigkeitsplattform „meltemi economic“ und diskutieren Lösungsansätze, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten.

Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de

den Adrenalin-Kick in der EMV-Prüfhalle. Vier Lagen (einschließlich GND) von maximal sechs waren sozusagen „verbraucht“. Mickrige zwei Lagen blieben für die Verlegung der eigentlichen Signalleitungen übrig. So nebenbei mussten alle Signalleitungen auch noch impedanzdefiniert geroutet werden. Da kam Freude bei der Entflechtung des Leiterplattenlayouts auf.

Die Forderung nach 5 V Eingangsspannungsfestigkeit aller Signale am USER-I/O-Stecker führte zum massiven Einsatz passiver Analogschalter mit Spannungspegelkonversion von eben genannten 5 auf 3,3 V (ARM7 CPU) und 2,5 V (Spartan-3-FPGA). Auch die 8-Bit-Busverbindung zwischen CPU (3,3 V) und FPGA (2,5 V) kam nicht ohne Pegelkonverter aus. Der Einsatz von analogen Bus-Schaltern bringt erhebliche Vorteile. Die Durchlaufzeit beträgt maximal 200 ps. Es gibt keinen aktiven Störenergieeintrag in das V_{CC} -GND-System und die Verbindungen sind implizit bidirektional. Steuerleitungen zur Richtungsumschaltung sind ebenfalls nicht mehr erforderlich.

Vier Analogeingänge der integrierten 10-Bit-A/D-Wandler wurden mit externen Operationsverstärkern für unterschiedliche Sensorelemente fit gemacht.

Die Regelung der benötigten Betriebsspannungen übernehmen drei externe Linearregler (3,3; 2,5 und 1,2 V) in SMD-Ausführung mit Kühlung über die zwei GND-Planes (Thermal-Vias) und die Kantenkontaktierung. Die vierte Spannung (1,8 V) bedient der im Mikrocontroller integrierte Linearregler.

Die Reprogrammierung des Spartan-3-FPGAs übernimmt wahlweise das serielle Bitstrom-Flash oder über die JTAG-Signale der ARM7-Mikroprozessor. Der Software wurde dadurch ein Maximum an Flexibilität und Eingriffsmöglichkeiten eingeräumt. Ebenso lässt sich ein Reload des FPGAs aus dem Bitstrom-Flash

über die Software erzwingen. Sämtliche digitalen Eingänge des Spartan-3-Bausteins sind dank Analog-Pegelkonverter 5 V eingangsspannungsfest.

Zusätzliche für die funktionale Stabilität und EMV (Bild 2) unerlässliche Maßnahmen wie GND-Stifte, Kantenkondensatoren, Kantenkontaktierung, Kondensatorgruppen verbunden mit der aus wirtschaftlichen Gründen aufgestellten Forderung nur einseitige Bestückung mit Komponenten zuzulassen, ließen den Zeitaufwand bis an die Grenze des Zumutbaren steigen.

Deswegen wird im Folgeteil der Neujahrsvoratz für das Jahr 2006 und darüber hinaus „Wir haben es versucht, es ist gelungen, aber wir machen es so nie wieder oder nur in außergewöhnlich extremen Ausnahmefällen“ mehr als verständlich. *(cm)*

Der Lagenaufbau und die im Layout für meltemi economic umgesetzten Maßnahmen zur Einhaltung der EMV sind die Themen der nächsten zwei Folgen. Diese Beiträge erscheinen in den Ausgaben 10 und 11 am 24. Mai bzw. 2. Juni.

www.elektronikpraxis.de

unit^el: Die Experten für High-Speed-Embedded-Systeme und das Projekt meltemi

Sonderausgabe „Die Leiterplatte 2005“: Inhalt und Bestellformular

Technische Daten der Spartan-3-FPGAs von Xilinx

Reprogrammierbare Logik der AT91SAM7S-Familie von Atmel

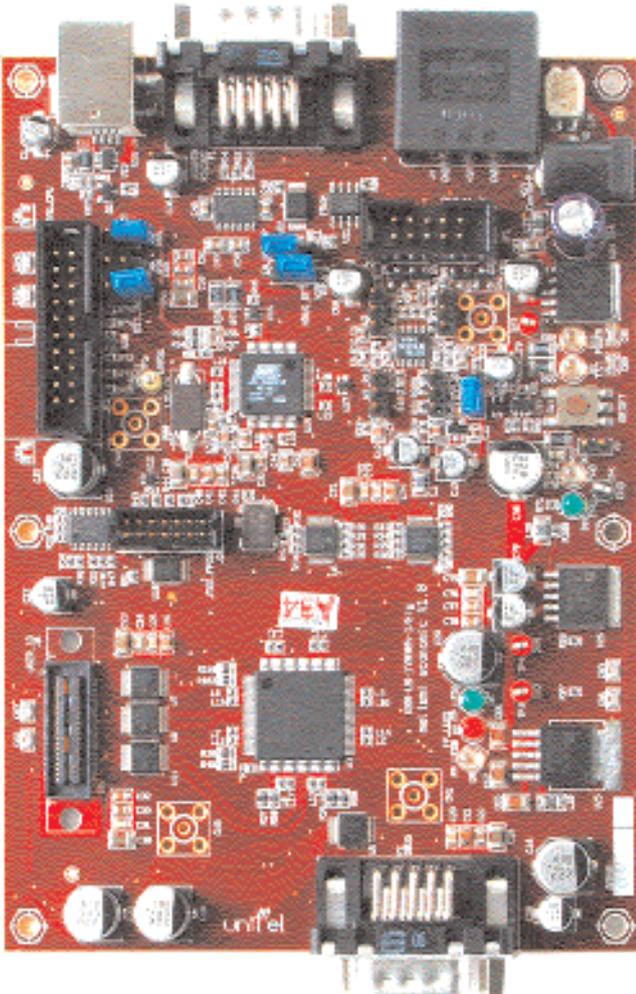
Fachpublikationen zum Thema EMV-gerechtes Schaltungsdesign

EMV in 6 Lagen

Stabile Hardwarefunktionalität in einem schlanken 6-Lagen-Multilayer-Aufbau

Mit verschiedenen konstruktiven Maßnahmen haben die Entwickler des 18-Lagen CERO-CPU-Moduls (bekannt als Leiterplatte 2005) und des 20-Lagen Multilayer-Board meltemi in den letzten 7 Jahren erfolgreich stabile Hardware-Funktionalität in einer Hochgeschwindigkeitsplattform realisiert. Die jüngste Aufgabe lautete, die Erfahrungen von 18- und 20-lagigen Multilayern hinsichtlich EMV und stabiler Funktionalitäten annähernd verlustfrei in einem 6-Lagen Multilayer-Design mit einseitiger Bestückung komprimieren. Theoretisch – ein unlösbares Problem.

6-Lagen Multilayer-Board „meltemi economic“



Gerhard Eigelsreiter*

„Jede Lösung eines Problems ist ein neues Problem“, (Johann Wolfgang von Goethe zugeschrieben). Angesichts des vorhandenen Aufgabenkatalogs erschien diese Aussage reichlich optimistisch, jedoch als Zwischenlösung sogar sehr erstrebenswert. Denn dieser Katalog umfasst schlichtweg die Umsetzung nahezu aller EMV-gerechten Maßnahmen in ein schlankes, kostengünstiges 6-Lagen Multilayer-Board. Maßnahmen, die bei der Entwicklung des 18-Lagen CERO-CPU-Moduls und der 20-Lagen Multilayer-Lösung „meltemi“ in den letzten 7 Jahren zur Sicherung stabiler Hardware-Funktionalität getroffen und entsprechend erfolgreich umgesetzt wurden.

Ein schier unlösbares Problem: Von 20-Lagen runter auf 6 Lagen. Als Entwickler von Hochgeschwindigkeits-Hardware bedarf es keiner ausufernden Fantasie, sich sofort einer Phalanx an Widrigkeiten gegenüber zu sehen.

Die keineswegs vollständige Aufzählung dieser Herausforderungen bringt etwas Licht ins Dunkel:

- 4 Stromversorgungs-Systeme sind breitbandig zu entkoppeln. Das betrifft die ARM7-CPU mit 3,3-V-IO- und 1,8-V-Kern-Spannung, sowie das Spartan-3 FPGA mit 2,5-V-IO- und 1,2-V-Kern-Spannung.
- Es bleiben somit nur 2 Lagen für die Entflechtung der Signalleitungen übrig.
- Einseitige Bestückung ist aus Kostengründen unvermeidlich.
- Die unerlässliche Aufteilung in 2 symmetrische, innen liegende Stromversorgungslagen mit den beiden Signalleitungslagen jeweils außen, verlangt den Einsatz von GND-Stiften bzw. GND-Vias bei nahezu jedem Signallagenwechsel.
- Sämtliche Spannungspins der ARM7-CPU, als auch des Spartan-3 FPGAs sind einzeln durch Drosseln mit entsprechenden ohmschen Anteilen entkoppelt (insgesamt 24 Stück).
- Nahezu alle Signalleitungen sind impedanzdefiniert (50 Ω) geführt.
- Des weiteren erhöhen vier LVDS-Leitungspaare (100 Ω differentiell) die Flexibilität dieser Baugruppe UND die Widrigkeiten bei der Leitungsverlegung (konstante Abstände innerhalb des Paares, Längenausgleich, Abstandsregeln zu „single-ended“ TTL-Leitungen usw.).
- Kondensatorgruppen, Kantenkontaktierung und Kantenkondensatoren müssen ebenso ihre Berücksichtigung finden. Die daraus abzuleitenden Konsequenzen disqualifizierten leider so ganz nebenbei Autoplacer und Autorouter! Ausufernde Forschungsarbeiten, durchsetzt von Nachtübungen, standen auf der Tagesordnung. Begriffe wie Liefertermine und Kostendruck wurden zu treuen, ausbaufähigen Wegbegleitern.

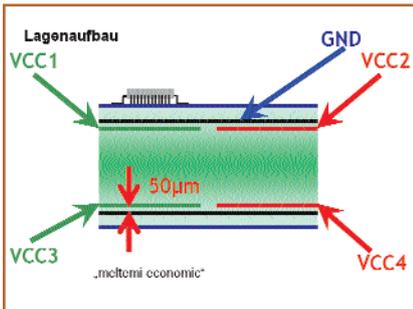
*Gerhard Eigelsreiter ist Inhaber der Firma unit[^]el, Spezialist für High-Speed-Embedded-Systeme mit Schwerpunkt reprogrammierbare Logik und EMV-gerechtes Leiterplattendesign, in Graz/Österreich.

Die Leiterplatte 2010 – Teil 9

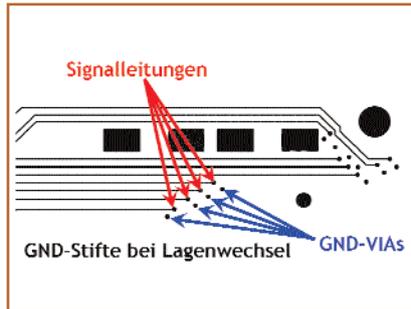
Eine in Form von Beispielen angepasste Betrachtungsweise verdeutlicht im Folgenden die gefundenen und in das Layout umgesetzten Lösungen:

■ **Lagenaufbau:** Noch vor der Fertigstellung des Schaltplans ist der Lagenaufbau der Leiterplatte sehr genau zu überlegen und zu definieren. Halbherzige Bauelemente-Auswahl und Fahrlässigkeiten im Lagenaufbau führen späte-

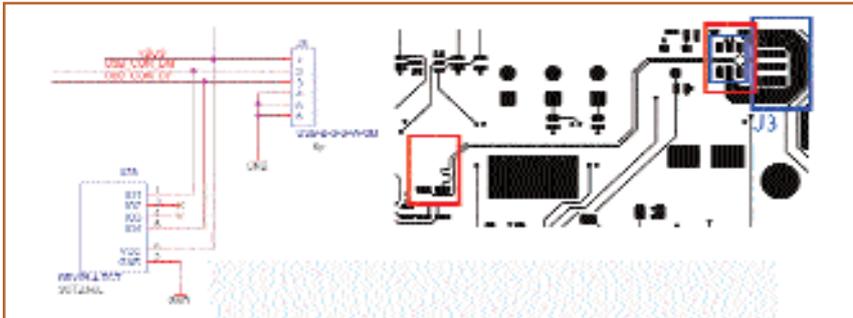
stens in der EMV-Halle zu hervorragend dokumentierten „strahlenden“ Ergebnissen, die durch Sekundär-Maßnahmen praktisch nicht mehr in den Griff zu bekommen sind. Kostenintensive Redesigns sind vorprogrammiert. In Bild 1 ist der Lagenaufbau dieser 6-lagigen Referenz-Hardware-Plattform schematisch dargestellt. Die 2 Stromversorgungssysteme sind symmetrisch als Innenlagen



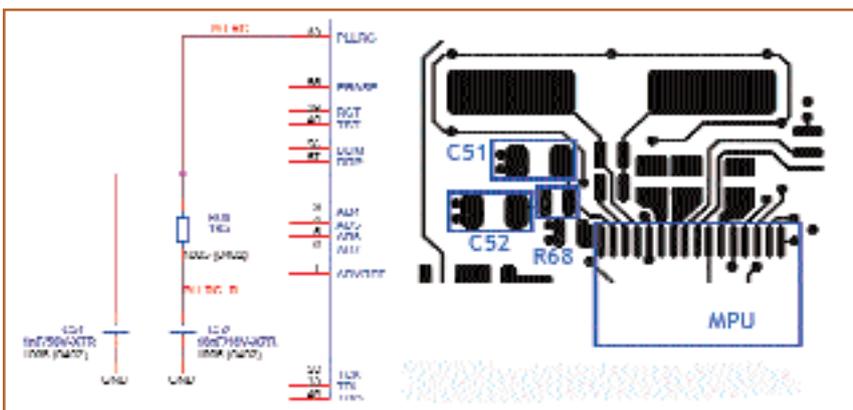
■ Bild 1:
Lagenaufbau der 6-Lagen Multilayer Referenz-Hardware-Plattform „meltemi economic“



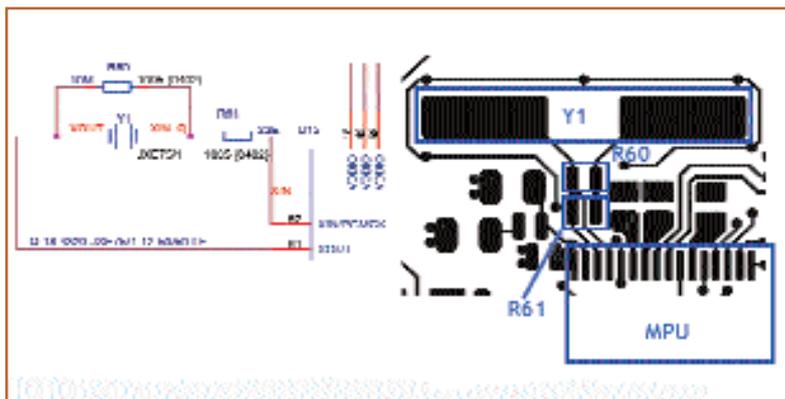
■ Bild 2:
Bei jedem Lagenwechsel von Signalleitungen sind GND-Vias möglichst nahe an den Signalleitungs-Vias zu setzen



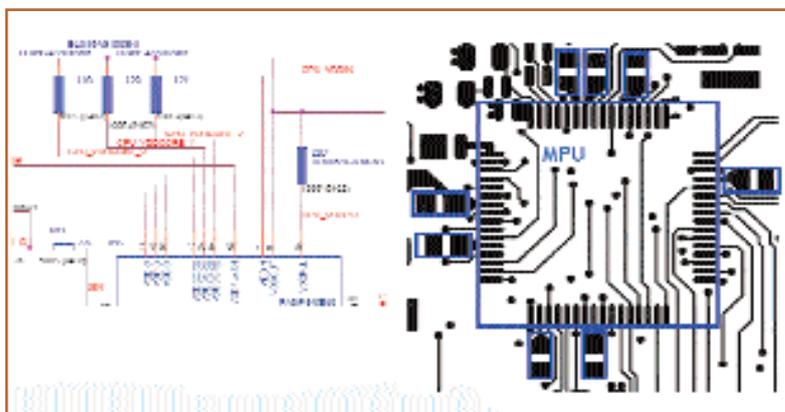
■ Bild 3:
Der Längenausgleich ist generell an der Stelle durchzuführen, an der das Problem auftritt. Siehe rote Umrandung auf der linken Seite. Auch die Anbindungen an das Überspannungsschutz-Array sind der differentiellen Leitungsführung konform anzubinden. Siehe rote und blaue Umrandung rechts oben.



■ Bild 4:
PLL-Filternetzwerk der AT91SAM7S64 ARM-7 CPU: Auf der rechten Seite sind die Komponenten im Layout blau umrandet



■ Bild 5: Quartzoszillator Außenbeschaltung der ARM-7 CPU. Die normalerweise üblichen 2 Kondensatoren (meist 15 pF) gegen GND kann man einsparen, wenn man einen Quartzoszillator mit 12 pF Ladekapazität verwendet.



■ Bild 6: Hier sind im Schaltplan nur Teile der rechts abgebildeten Drosseln (blau umrandet) zu sehen. Alle 8 Stromversorgungspins der ARM-7-CPU sind getrennt zu entkoppeln.

Die Leiterplatte 2010

Die Applikationsplattform meltemi, eine Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich, ist der Dreh- und Angelpunkt der Serie „Die Leiterplatte 2010“. Ziel der Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Aufgabe einen Erfolg versprechende Lösung für stabile Board-Hardware darstellen. Am Beispiel der Hochgeschwindigkeitsplattform „meltemi economic“ diskutieren die Experten zudem Lösungsansätze, um auch „Alltags-Elektronik“ mit funktionaler Sicherheit und Stabilität auszurüsten. Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de

angeordnet. Wegen der Entkopplung von 4 Spannungen sind die Stromversorgungslagen gesplittet (Vcc1, Vcc2 sowie Vcc3 und Vcc4). Sonst wären 4 weitere Lagen erforderlich. Der Abstand zwischen den Vcc- und GND-Lagen beträgt 50 µm, das derzeit auch kostengünstig vertretbare Optimum. Für brauchbar breitbandig entkoppelte Stromversorgungssysteme sollte dieser Abstand keinesfalls 120 µm überschreiten.

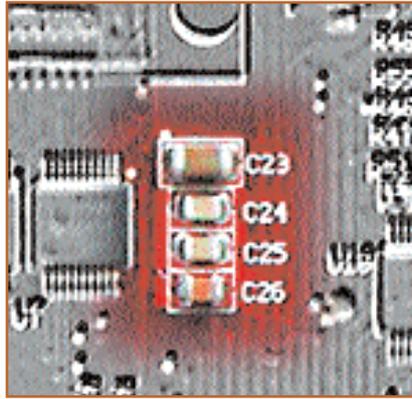
■ GND-Stifte: 4 Lagen sind also bereits für die Stromversorgung reserviert. Bei nur 2 Signallagen, zwangsweise als Außenlagen geführt, ergibt sich ein weiterer interessanter Aspekt. Jeder Lagenwechsel von Signalen (Vias) führt bei dieser Anordnung zweier räumlich voneinander getrennten GND-Lagen zu einer Referenzierung des Signal-Rückstroms auf die „falsche“ GND-Lage, wenn in der Nähe (kleiner 1cm) keine durchgehende Verbindung zu den relevanten GND-Lagen existiert. Abhilfe schaffen hier GND-Stifte die Alle GND-Lagen miteinander als Vias verbinden. Wie in Bild-2 deutlich zu erkennen ist, sollten die Abstände zu den Signal-Vias möglichst klein sein, um die Signalrückströme nahe an den Signalleitungen zu führen. Als routinierter Layouter erwartet man bereits auf den ersten Blick weitere Kalamitäten. Der zusätzliche Platzbedarf dieser GND-Vias erschwert erheblich das Routen auf nur zwei

Lagen, denn aus Kostengründen darf nur einseitig platziert werden.

■ **USB-Anschluss:** Das Routing von differentiellen Leitungspaaren (Bild 3) wird bei Mikrocontrollern mit integrierter USB-Peripherie meist durch zusätzliche passive Komponenten behindert. Diese Komponenten sollen ebenso wie das PLL-Filternetzwerk (Bild 4) natürlich tunlichst nahe an den CPU-Pins platziert werden. Im Gegensatz zu LVDS-Leitungspaaren beträgt die differentielle Impedanz hier $90\ \Omega$ und **nicht** wie üblich $100\ \Omega$.

■ **Oszillator:** Besonders sorgsam ist mit der Leitungsführung der Quarzoszillator Komponenten (Bild 5) umzugehen. Sehr kurze Leitungsführungen sind obligat. Übersprechen von digitalen Signalleitungen ist strikt zu vermeiden, respektive auf ein Minimum zu reduzieren (beispielsweise eine Umfassung durch zusätzliche GND-Leitung).

■ **Filterdrosseln:** Alle CPU-Vcc-Pins und ebenso jeder FPGA-Vcc-Anschluss sind jeweils über Drosseln (Bild 6) mit



niedriger Impedanz (ca. $10\ \Omega$) an die Stromversorgungslagen angebunden. Diese Bauelemente sind natürlich, wenn es noch, wiederum möglichst nahe an den entsprechenden Pins zu positionieren.

Kondensatorgruppen (Bild 7): Die dürfen dank ihrer Wirkradien angenehmerweise dort positioniert werden, wo noch ausreichend Platz vorhanden ist, jedoch

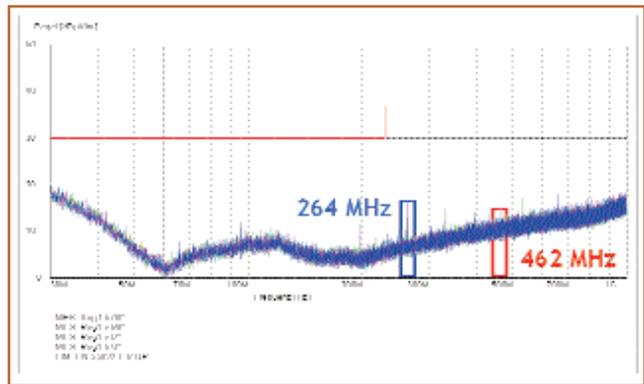
■ Bild 7:

Kondensatorgruppen dürfen als Lichtblick dort platziert werden, wo noch sinnvollerweise Platz vorhanden ist, wenn ihre Wirk-Radien entsprechend groß sind.

empfehlenswerterweise nicht unmittelbar in den Randbereichen der Leiterplatte. Allerdings müssen die Werte mit geeigneten Programmen ermittelt werden. Die Werte für die Referenz-Plattform stammen von Ergebnissen, die mit der Software Silent (siehe Link) berechnet wurden.

■ Prüfung im EMV-Labor

Starke 2 Signallagen standen zur Realisierung von Signalintegrität und EMV-förderlichen Maßnahmen beim meltemi economic-Board zur Verfügung. Die EMV-Prüfergebnisse (Bild 8) haben dennoch alle Mühen mehr als wettgemacht. Der geplante Zeithorizont wurde jedoch drastisch überschritten. Die Gründe dafür sind, wie kurz angerissen, sehr vielfältig. Eine beidseitige Bestückung ►



■ Bild 8:
Störpektrummessung „meltemi-economic“: Die vierte Harmonische (blaue Umrandung) und die siebente Harmonische (rote Umrandung) sind farblich eingefasst. Die Ergebnisse sind ausgezeichnet und entsprechen den Erwartungen.

verbunden mit 2 weiteren Signallagen würde bereits eine eklatante Verkürzung des Zeitaufwands für die Layouterstellung bringen. Aus rein kaufmännischer Sicht ist dieses 6-Lagen Design nur bei hohen Stückzahlen kostenmäßig vertretbar. Es darf aber dabei nicht vergessen werden, dass es sich um eine Hardware-Referenzplattform handelt. Mit dem Ziel geeignete Lösungswege für eine Vielzahl von Applikationsanforderungen zu bieten oder Denkanstöße für komplexere Konstruktionen zu geben. Wer sich diesen zusätzlichen Zeitaufwand sparen oder selbst experimentieren möchte, hat die Möglichkeit, mittels Erwerb der Plattform über die mitgelieferte Dokumentation auch den Schaltplan und das Leiterplatten-Layout näher in Augenschein zu nehmen. (cm)

unit^el Tel. +43(0)316 405515
E-Mail: g.eigelsreiter@unitel.at

„Das Problem kennen ist wichtiger, als die Lösung zu finden, denn die genaue Darstellung des Problems führt automatisch zur richtigen Lösung.“ - Albert Einstein -
zitiert in: Adrian Krahn – Vom Prozessmonitoring zum Prozessmanagement

www.elektronikpraxis.de

unit^el: Die Experten für High-Speed-Embedded-Systeme und das Projekt meltemi

Sonderausgabe „Die Leiterplatte 2005“:
Inhalt und Bestellformular

Application Note und Datenblätter der Spartan-3-FPGA-Serie von Xilinx

Reprogrammierbare Logik der AT91SAM7S-Familie von Atmel

Fachpublikationen zum Thema EMV-gerechtes Schaltungsdesign von Dirks Corporate Consulting

Silent, die Simulationssoftware für Leiterplatten-Entkopplungen

InfoClick

173200

Philosophische Spannungen

Mit klassischen Konstruktionsprinzipien ist ein optimaler Lagenaufbau nachweislich nicht immer erreichbar

In Teil 8 und 9 haben wir die meltemi-economic-Baugruppe vorgestellt: 32-Bit-Mikrocontroller, flexible I/O-Struktur und frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik (Spartan-3-FPGA) erweitern eklatant die Einsatzmöglichkeiten der Hardware. Anders als beim meltemi-Board mit 20 Multilayer-Lagen, mussten für meltemi economic sechs Lagen ausreichen – ohne die funktionale Sicherheit und Stabilität der Hardware einzuschränken. Einen so einfachen aber bis ins kleinste Detail optimierten Aufbau zu realisieren, bedeutet sich mit hochkomplexen Zusammenhängen auseinanderzusetzen. Das Ergebnis sind allgemeine Konstruktionsregeln und Handlungsstrategien für künftige Schaltungen.

Arnold Wiemers*

Es ist ein Prinzip und gilt als erstrebenswerte Ingenieurs-Tugend, für ein Industrieprodukt das Notwendige und Hinreichende zu tun. Einstein wird die Aussage zugeordnet, dass „Everything should be made as simple as possible, but not simpler“.

Ein Stein im Konzept von Gerhard Eigelsreiter ist, eine optimale Lösung für ein komplexes Problem zu finden. In seinen Vorträgen zu „CERO“ und „meltemi“ findet sich der Satz „Einfachere Einfachheit erfordert komplexere Komplexität“. Bei dieser Aussage stellt sich spontan das intuitive Gefühl ein, einer der elementaren Erkenntnisse der Gegenwartsphilosophie zu begegnen. Kann eine solche Betrachtung auch ein so simples Produkt berühren wie die Leiterplatte? Unterliegt das Konzept für einen Lagenaufbau eventuell sogar erkenntnistheoretischen Gesichtspunkten?

In der Tat, ja, es ist so. Es lässt sich zeigen, dass ein einfacher aber optimierter Lagenaufbau ein komplexes theoretisches und praktisches Umfeld erfordert.

Das strategische Konzept für die High-Speed-CPU „meltemi“

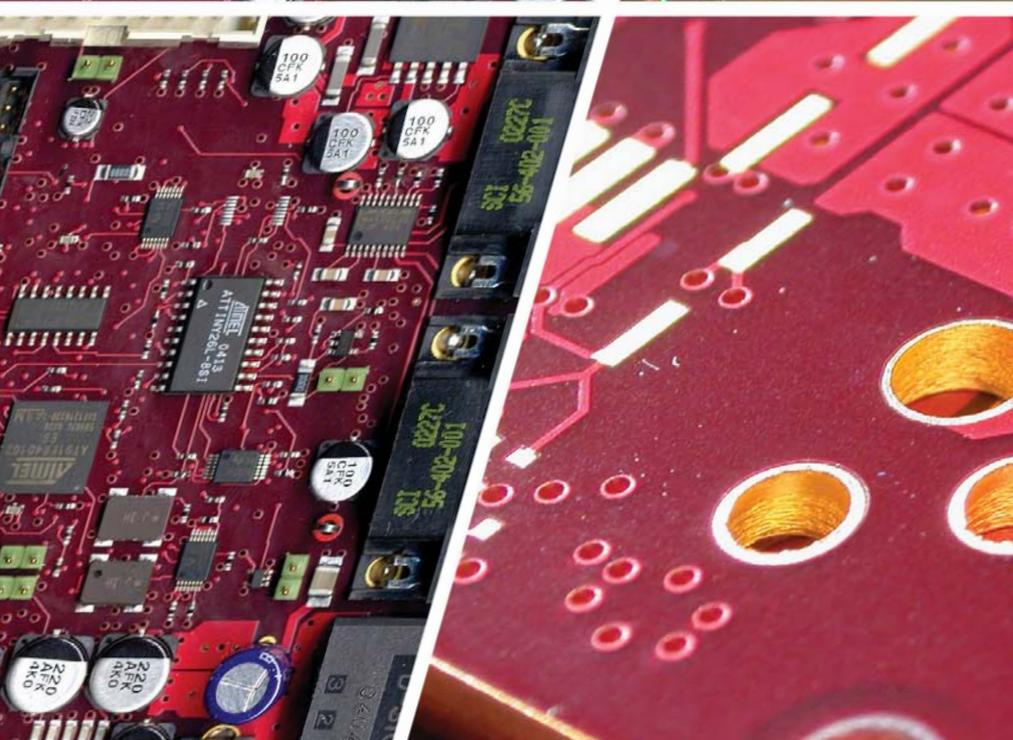
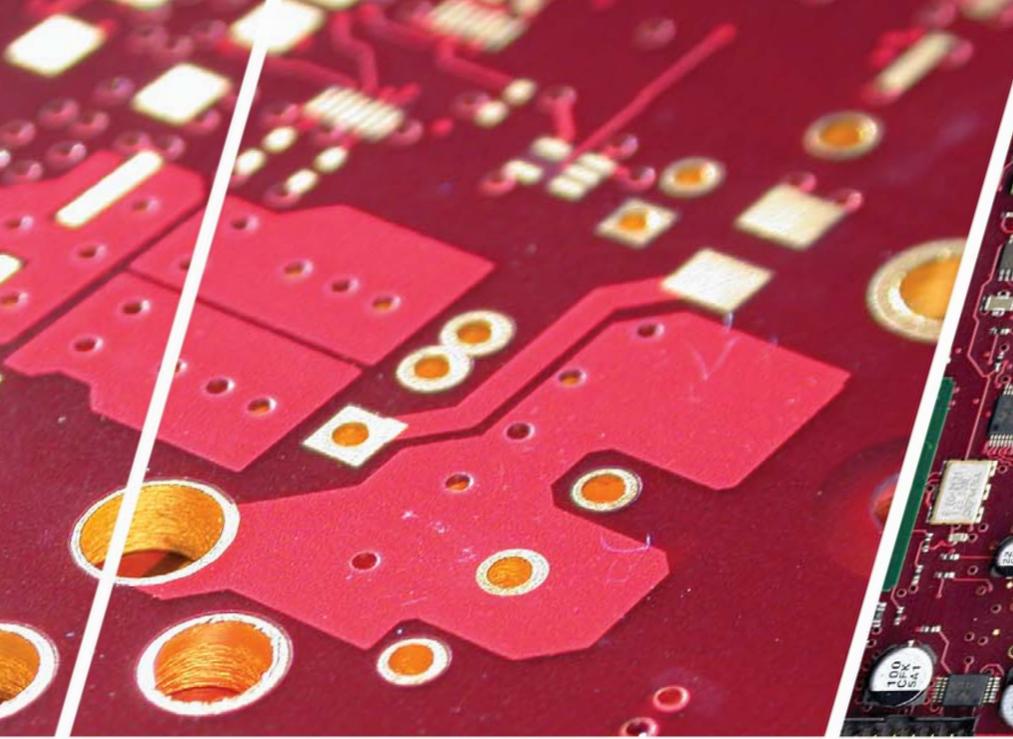
Das „meltemi“-Board gibt es in zwei Versionen. Die höherlagige erste Version mit 20 Layern ist für eine High-Speed-Anforderung ausgelegt mit einem Datendurchsatz im GBit-Bereich. Der Aufgabe entsprechend scheint die Lagenanzahl angemessen zu sein.

Ist das nach dem Konzept: „Viel hilft viel“ ausgelegt gewesen? Die 20-Lagen-Baugruppe „meltemi“ hat sich in der Praxis bewiesen. Quod erat expectandum.

Hinter dem Konzept von „meltemi“ stehen vier konkrete **Behauptungen**, die als Bedingungen für einen effektiven

*Arnold Wiemers, IPC zertifizierter CID, CID+ und Instructor zeichnet als Geschäftsführer für den Bereich CAD-Layouts bei der Ilfa Feinstleiteteknik GmbH in Hannover verantwortlich für CAD, CAM, technische Auftragsvorbereitung und Softwareentwicklung sowie die technische Dokumentation.





	Variante 1	Variante 2	Variante 3	Variante 4
Layer 1	SIGNAL	SIGNAL	SIG	GND
Layer 2	SIGNAL	GND	GND	SIG
Layer 3	VCC	VCC	SIG	VCC
Layer 4	GND	SIGNAL	VCC	SIG
Entkopplung	gut	gut	schlecht	schlecht
EMV	schlecht	schlecht	schlecht	schlecht
Signalintegrität	schlecht	schlecht	gut	schlecht
Eigenstörung	mittel	mittel	mittel	hoch

Tabelle 1: 4-Lagen-Aufbauten sind nicht effektiv – Für einen 4-Lagen-Multilayer werden exemplarisch 4 Aufbauvarianten betrachtet und vor dem Hintergrund der vier Behauptungen analysiert

	Variante 1	Variante 2	Variante 3	Variante 4	Variante 5	Variante 6
Layer 1	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL	SIGNAL
Layer 2	SIGNAL	GND	VCC	GND	GND	GND
Layer 3	VCC	VCC	SIGNAL	VCC	VCC	VCC
Layer 4	GND	VCC	SIGNAL	SIGNAL	GND	GND
Layer 5	SIGNAL	GND	VCC	GND	nicht belegt	SIGNAL
Layer 6	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL	SIGNAL
Entkopplung	gut	gut	gut	gut	gut	gut
EMV	schlecht	gut	mittel	mittel	gut	gut
Signalintegrität	schlecht	gut	schlecht	gut	gut	schlecht
Eigenstörung	mittel	niedrig	hoch	mittel	Niedrig	niedrig

Tabelle 2: 6-Lagen-Aufbauten bieten eine minimale Lösung – Für einen 6-Lagen-Multilayer werden exemplarisch 6 Aufbauvarianten betrachtet und vor dem Hintergrund der vier Behauptungen analysiert

► Lagenaufbau und für eine sichere Funktion der Baugruppe angesehen werden:

■ 1. Entkopplung

Die Standard-Entkopplung einer elektronischen Schaltung kann breitbandig über kapazitive Powerplanes mit einem Lagenabstand von 50 µm erfol-

gen. Ergänzend ist nur noch eine lokale Kondensatorgruppe erforderlich.

■ 2. EMV-Immission/- Emission

Die Störabstrahlung einer Baugruppe und/oder die Störanfälligkeit einer Baugruppe wird durch die Kontaktierung der Kanten der Leiterplatte drastisch reduziert.

■ 3. Signalintegrität

Die Signalintegrität einer Baugruppe wird durch eindeutige GND-Bezüge der Rückstromwege optimiert. Bei mehreren Signallagen dürfen sich die GND-Bezüge nicht überlagern.

■ 4. Eigenstörung

Die Störung („Innere EMV“) der Signallayer einer Baugruppe durch die eigenen VCC-Planes wird auf ein Minimum reduziert, wenn die VCC-Planes von GND-Planes gegen die Signallagen abgeschirmt werden.

Minimalismus pur: „meltemi economic“

Nun, wie gesagt, 20 Lagen kann jeder. Um zu klären, ob die vorausgesagten physikalischen Eigenschaften möglicherweise allgemeine Gültigkeit besitzen könnten, ist die zweite Version von „meltemi“ projektiert worden, die Baugruppe „meltemi economic“. Als ob die technischen Anforderungen nicht ausgereicht hätten, sollte mit „meltemi economic“ eine zusätzliche Komplikation in Angriff genommen werden. Es galt, die Minimalbedingung zu suchen, bei der die obigen vier Behauptungen zutreffen. Dahinter wiederum steckt natürlich die Annahme, dass es eine solche Minimalbedingung überhaupt gibt.

Diese Annahme ist elementar. Wenn bewiesen werden könnte, dass es eine Minimalbedingung gibt, dann erfüllen alle Multilayer-Aufbauvarianten außerhalb dieser Minimalbedingung die vorausgesagten physikalischen Eigenschaften nicht. Diese Multilayer-Aufbauvarianten wären nicht optimal, oder, im Extremfall, je nach Anforderung, nachweislich grundsätzlich nicht brauchbar. Für die Alltagswelt der Leiterplatte eröffnet diese Betrachtung eine neue

Dimension. In der realen Welt der Leiterplattenproduktion müssen die Materiallogistik, die Maschineninvestitionen und die Ausbildungskonzepte für die Mitarbeiter langfristig geplant werden können. Die verbindliche Aussage vor einem belegbaren Hintergrund, welches Leiterplattenprodukt kommen muss und welches nicht brauchbar sein wird, ist jetzt und künftig von großem strategischem Vorteil.

Die bewerteten Aufbauvarianten

Der Begriff „Aufbauvariante“ bezieht sich hier **nicht** auf den körperlichen Lagenaufbau eines Multilayers, sondern ausschließlich darauf, wie die Signale und Stromversorgungen auf die zur Verfügung stehenden Layer **verteilt** werden könnten.

Im Wesentlichen werden also unkomplizierte kombinatorische Aspekte betrach-

tet. Es wird nur vorausgesetzt, dass es die drei Qualitäten SIGNAL, GND und VCC gibt und dass jede Qualität die ganze Lage beansprucht und mindestens einmal im Aufbau vorkommen muss.

Anschließend werden die exemplarischen Aufbauvarianten, die sich durch mögliche Kombinationen ergeben, mit Blick auf die unten angegebenen vier Behauptungen bewertet.

Die **Entkopplung** wird als „gut“ bewertet, wenn VCC und GND benachbart sind, weil dann ein Flächenkondensator durch minimale Lagenabstände ausgeprägt werden könnte. Die Bewertung ist „schlecht“, wenn VCC und GND nicht benachbart sind, weil kapazitive Effekte dann von vornherein nicht möglich sind. Die **EMV** wird als „gut“ bewertet, wenn alle inneren SIGNAL-Lagen von GND-

meltemi und meltemi economic

Für Applikationen in Bildverarbeitung, HDTV oder digitales Fernsehen, wo es reichlich Daten bei hohen Geschwindigkeiten zu übertragen gilt, ist die meltemi-Plattform konzipiert. Ein effektiver 20-Lagen Multilayer-Aufbau mit integriertem Stromversorgungsstapel, impedanzdefinierter Leitungsführung, X2Y-Kondensatoren und Kantenkontaktierung ermöglichen Übertragungsbandbreiten von bis zu 60 GBit/s, verbunden mit hervorragendem EMV-Verhalten und maximaler funktionaler Stabilität und Betriebssicherheit, wie die Ergebnisse im EMV-Labor beweisen. Der Multilayer-Aufbau von meltemi erfüllt vier Bedingungen, wodurch die sichere Funktion der Baugruppe gewährleistet ist: 1. Entkopplung, 2. EMV-Imission/-Emission, 3. Signalintegrität und 4. Eigenstörung.

Im zweiten Teil des meltemi-Projektes ist die Hardware-Referenzplattform meltemi economic – ein 6-Lagen Multilayer mit 32-Bit-Single-Chip-Mikrocontroller – entstanden. Flexible I/O-Struktur und frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik (Spartan-3-FPGA) verlängern die Lebensdauer der Hardware.

Um auch bei diesem Projekt die vier Bedingungen zu erfüllen, galt es u.a. folgende Aufgaben zu lösen:

- vier Stromversorgungssysteme breitbandig entkoppeln, d.h. es bleiben gerade mal zwei Signallagen für die Entflechtung,
- Aufteilung in zwei symmetrische, innen liegende Stromversorgungslagen mit den beiden Signalleitungslagen jeweils außen,
- sämtliche Spannungs-Pins sowohl der ARM7-CPU, als auch des Spartan-3-FPGAs sind einzeln durch Drosseln mit entsprechenden ohmschen Anteilen entkoppelt,
- impedanzdefinierte Signalleitungen, Kondensatorgruppen, Kantenkontaktierung und Kantenkondensatoren.

Aus der Herangehensweise lassen sich Konstruktionsregeln und Handlungsstrategien für künftige Schaltungen ableiten.

Wer sich diesen Zeitaufwand sparen oder selbst experimentieren möchte, kann die Plattform einschließlich mitgelieferter Dokumentation mit Schaltplan und Leiterplattenlayout bei [unit^el](mailto:unit@el) erwerben.

Kontakt: Gerhard Eigelsreiter, Tel. +43 316 4055150, E-Mail info@unitel.at oder InfoClick.

Aktives Wissensmanagement ist eine zentrale unternehmerische Aufgabe. Es kommt darauf an, das richtige Wissen, zur richtigen Zeit bei den richtigen Mitarbeitern verfügbar zu machen. Das ist die Herausforderung. Für den im Jahre 1992 gegründeten Fachverband FED ist diese Aufgabe Mission.

Aktuelle Seminar- und Kurstermine

08.06.2006: Der Weg zur erfolgreichen Einführung des ECO-Designs

Fora-Hotel, Stuttgart-Fasanenhof

12.–16.06.2006: IPC-A-610-Kurs für Trainer (CIT)

Hotel EONTEL, Berlin

13.–15.06.2006: IPC-A-610-Kurs für Spezialisten (CIS)

Hotel EONTEL, Berlin

12.–14.06.2006: Aufbaukurs II für Leiterplatten-Designer

Sport- und Seminarhotel, Stoos, Schweiz

19.–23.06.2006: IPC-A-610-Kurs für Trainer (CIT)

Sport- und Seminarhotel, Stoos, Schweiz

20.–22.06.2006: IPC-A-610-Kurs für Spezialisten (CIS)

Sport- und Seminarhotel, Stoos, Schweiz

22.06.2006: Professionelle Beschaffung elektronischer Baugruppen

ITZ, Fulda

22.06.2006: High-Speed-Seminar

Hotel DER BLAUE REITER, Karlsruhe

22.06.2006: Vortragsveranstaltung der Regionalgruppe München

Fa. Conti Temic, Ingolstadt

23.06.2006: Vortragsveranstaltung der Regionalgruppe Stuttgart

Gbr. Märklin & Cie. GmbH, Göppingen

Fragen, Anregungen, Reservierungen und Bestellungen richten Sie bitte an die



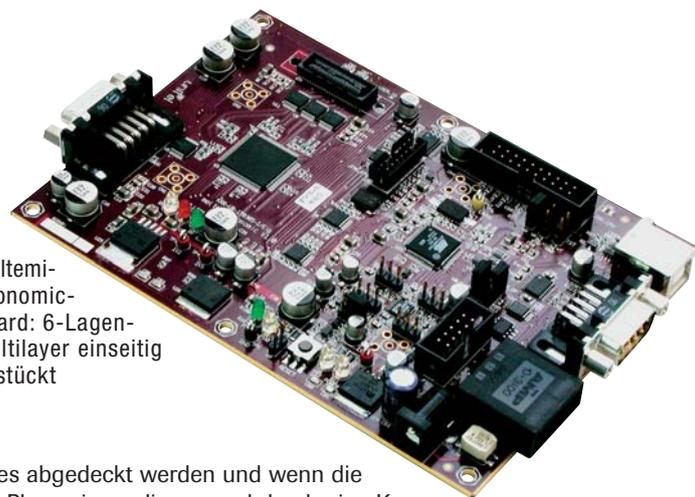
FED-Geschäftsstelle
Tel. +49(0)30 8349059
Fax +49(0)30 8341831
E-Mail: info@fed.de
www.fed.de

Die Leiterplatte 2010 – Teil 10

Die Leiterplatte 2010

Die Applikationsplattformen „meltemi“, eine Baugruppe mit 20-lagigem Multilayer für High-Speed-Anforderung ausgelegt mit einem Datendurchsatz im GBit-Bereich und das 6-Lagen-Board „meltemi economic“ stehen im Mittelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Beitragsreihe ist, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen.

Zudem werden Konstruktionsregeln und Strategien für künftige Schaltungen abgeleitet, um diese mit mehr funktionaler Sicherheit und Stabilität auszurüsten. Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de



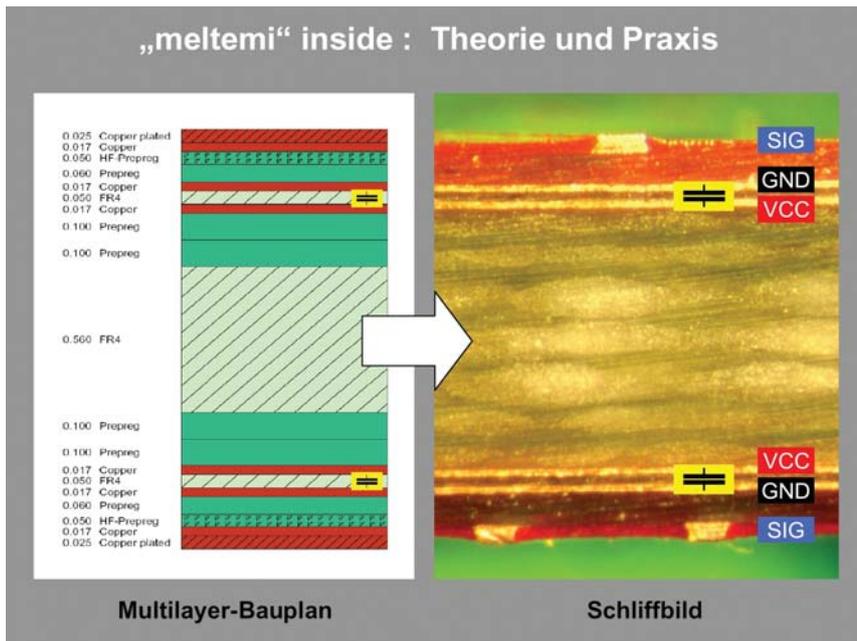
meltemi-economic-Board: 6-Lagen-Multilayer einseitig bestückt

Planes abgedeckt werden und wenn die VCC-Planes innen liegen und durch eine Kantenkontaktierung abgeschirmt werden könnten. Die Bewertung ist „mittel“, wenn ein SIGNAL in der Nachbarlage ein VCC hat. Die Bewertung ist „schlecht“, wenn VCC nicht beidseitig durch GND abgedeckt wird und wenn VCC nicht durch eine Kantenkontaktierung abgeschirmt werden könnte. Die **Signalintegrität** wird als „gut“ eingestuft, wenn jedes SIGNAL ein GND als direkte Nachbarlage hat. Die Bewertung ist „schlecht“, wenn es ein SIGNAL gibt, das zwischen sich und GND ein zweites SIGNAL sieht oder ein VCC. Die **Eigenstörung** ist „niedrig“, wenn alle SIGNALE durch GND von VCC abgeschirmt sind. Sie ist „mittel“, wenn nur ein SIGNAL betroffen ist, und sie ist „hoch“, wenn mehr als ein SIGNAL betroffen ist.

4-Lagen-Aufbauten sind hinsichtlich der technischen Anforderungen nicht effektiv

Für einen 4-Lagen-Multilayer werden exemplarisch vier Aufbauvarianten betrachtet. Die Einschätzung dieser Aufbauvarianten vor dem Hintergrund der genannten vier Behauptungen ergibt Tabelle 1.

Die Nachteile sind deutlich zu erkennen. Vor dem Hintergrund der anstehenden technischen Anforderungen ist ein komfor-



Der Lagenaufbau für „meltemi economic“ besteht innen aus zwei 50- μ m-Laminaten mit einer Kupfereauflage von 17 μ m. Um den Abstand zwischen den beiden VCC-Lagen zu überbrücken ist ein abgeätztes 560- μ m-dickes Laminat eingebaut worden. Alle Signale sind auf den beiden Außenlagen geführt.

tabler Schaltungsaufbau mit vier Lagen nicht umsetzbar. Daraus ergibt sich die grundlegende Erkenntnis, dass 4-Lagen-Multilayer für zukünftige Anwendungen nicht brauchbar sind.

6-Lagen-Aufbauten

bieten eine minimale Lösung

Für einen 6-Lagen-Multilayer werden exemplarisch 6 Aufbauvarianten betrachtet. Die Einschätzung dieser Aufbauvarianten vor dem Hintergrund der oben genannten vier Behauptungen ergibt Tabelle 2. Variante 2 entspricht dem strategischen Optimum für einen 6-Lagen-Multilayer für alle vier Behauptungen. Das wird mit der Beschränkung auf zwei Signallagen allerdings teuer erkaufte. Dies ist der Aufbau für meltemi economic (siehe Bild oben). Die anderen Aufbauten haben Nachteile. Beispielsweise gibt es bei den Varianten 1, 3 und 4 stets Signalebenen, die durch benachbarte VCC-Planes beeinträchtigt werden. Eine Ausnahme ist die Variante 5. Durch Nichtbelegung von Layer 5 sind die Eigenschaften in der Summe besser, als bei dem ansonsten identischen Aufbau in Variante 6. Natürlich auch hier zu Lasten einer (möglichen) Signallage. Es geht aber um etwas anderes: Es war nie eine Vorgabe, dass alle Lagen eines n-Lagen-Multilayers belegt sein müssen, respektive, dass die Lagenanzahl eines Multilayers immer eine gerade Zahl sein muss.

Fazit: Die bisherigen Annahmen sind einfacher Natur. Weitere, in der Praxis übliche Vorgaben an das Material oder die Kontaktierungsstrategie sind nicht berücksichtigt. Es entsteht aber bereits die Ahnung, dass es **den** typischen 4-, 6- oder 8-Lagen-Multilayer vielleicht gar nicht gibt?

Teil 2 des Kapitels „Philosophische Spannungen“ in der nächsten Ausgabe 12/2006 beschreibt 8- und 10-Lagen-Multilayer und zeigt die GND-Stifte für die optimierten Rückströme und die Kantenkontaktierung von „meltemi“. (cm)

www.elektronikpraxis.de	
Ilfa: Leiterplatten, Publikationen und Ilfa-Akademie	
unit^el: Die Spezialisten für High-Speed-Embedded-Systeme und das Projekt meltemi economic	
Die Leiterplatte 2005: Inhalt und Bestellformular für das Magazin	
Publikationen „Wenn Leiterplatten strahlen“ und „Vorteile dünner Substrate in Ground-/Powerplane-Systemen“ von Prof. Chr. Dirks	
Das High-Speed-Seminar für Schaltungsentwickler und Leiterplattendesigner des FED	
InfoClick	173201



Philosophische Spannungen

Ein optimaler Lagenaufbau ist mit klassischen Konstruktionen nicht immer erreichbar – Kapitel 2

Das erste Kapitel von „Philosophische Spannungen“ hat bereits die Ahnung aufkommen lassen, daß es den typischen 4-, 6- oder 8-Lagen-Multilayer vielleicht gar nicht gibt. Kapitel 2, bei dem der 8- und 10-Lagen-Multilayer beschrieben werden, bestätigt diese Schlußfolgerung. Der Erfolg des meltemi-Projektes ist jedoch nicht allein auf den Aufbau des Multilayersystems zurückzuführen. Während das bewußte Setzen von GND-Stiften die Signalintegrität verbessert, trägt die Kontaktierung der Leiterplattenkanten zu einem großen Teil zur EMV-Stabilität bei.

Arnold Wiemers*

Im ersten Kapitel der „Philosophischen Spannungen“ (Ausgabe 11/2006) wurde Gerhard Eigelsreiter mit Referenz zum „meltemi“-Projekt mit der Aussage zitiert, daß „eine einfache Lösung ein komplexes Umfeld erfordert“. Vor dem Hintergrund der Eigenschaften von „meltemi economic“ wurden grundsätzliche strategische Aspekte für die Konstruktion von Multilayersystemen erläutert.

Als Kriterium für die Funktion von Multilayersystemen wurden 4 Behauptungen definiert, um die **Entkopplung**, die **EMV-Immission/-Emission**, die **Signalintegrität** und die **Eigenstörung** zu bewerten. Die Definition dieser 4 Behauptungen aus dem ersten Kapitel ist auf Seite 88 zusammengefasst.

Der vorliegende 2. Teil beschäftigt sich mit 8- und 10-Lagen-Multilayern. Als Referenz für die Leistung von Multilayersystemen werden die GND-Stifte von „meltemi economic“ beschrieben und die Abschirmung der Stromversorgung durch die Kantenkontaktierung.

8-Lagen-Multilayer-Aufbauten sind selten optimal

Für einen 8-Lagen-Multilayer werden exemplarisch 6 Aufbauvarianten betrachtet. Die Bewertung dieser Aufbauvarianten vor dem Hintergrund der 4 Behauptungen ergibt Tabelle 1. Die formell beste Lösung findet sich für Variante 2. Interessant ist, daß die kapazitiven Eigenschaften der Variante 2 für einen möglichen 8-Lagen-Multilayer um 25% unter den kapazitiven Eigenschaften des optimalen 6-Lagen-Multilayers liegen, der für „meltemi economic“ konstruiert wurde (siehe Kapitel 1). Strategisch ist die Variante 2 die beste Lösung. Es ergeben sich 4 Signallagen plus 4 Powerplanes. Unter der Voraussetzung, dass die Lagenabstände zwischen den Powerplanes der Lagen 2, 3 und 4 minimal 50 µm betragen, darf ein unsymmetrischer Lagenaufbau angenommen werden. Das führt oft zu Einschränkungen in der Leiterplattenproduktion, da viele Leiterplattenhersteller unsymmetrische Lagenaufbauten nicht akzeptieren. Akzeptabel ist auch die Variante 5, mit der Einschränkung, dass die Signallage 4 durch die Vcc-Lage auf Layer 3 beeinträchtigt wird. Überraschenderweise sind 8-Lagen-Multilayer mit Einschränkungen belegt.

Arnold Wiemers, IPC zertifizierter CID, CID+ und Instructor zeichnet als Geschäftsführer für den Bereich CAD-Layouts bei der Ilfa Feinleiteteknik GmbH in Hannover verantwortlich für CAD, CAM, technische Auftragsvorbereitung und Softwareentwicklung sowie die technische Dokumentation.

	Variante 1	Variante 2	Variante 3	Variante 4	Variante 5	Variante 6
Layer 1	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Layer 2	GND	GND	SIGNAL	VCC	GND	GND
Layer 3	VCC	VCC	GND	SIGNAL	VCC	SIGNAL
Layer 4	SIGNAL	GND	VCC	SIGNAL	SIGNAL	VCC
Layer 5	SIGNAL	SIGNAL	VCC	SIGNAL	GND	SIGNAL
Layer 6	VCC	SIGNAL	GND	SIGNAL	SIGNAL	SIGNAL
Layer 7	GND	GND	SIGNAL	VCC	GND	GND
Layer 8	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Entkopplung	gut	gut	gut	gut	gut	schlecht
EMV	mittel	gut	mittel	mittel	mittel	schlecht
Signalintegrität	schlecht	gut	schlecht	schlecht	gut	schlecht
Eigenstörung	hoch	niedrig	niedrig	hoch	mittel	mittel

Tabelle 1:
8-Lagen-Multilayer sind mit Einschränkungen belegt: Die möglichen Kombinationen sind in der Praxis nicht optimal

	Variante 1	Variante 2	Variante 3	Variante 4	Variante 5	Variante 6
Layer 1	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Layer 2	GND	GND	SIGNAL	VCC	GND	SIGNAL
Layer 3	VCC	VCC	GND	GND	VCC	GND
Layer 4	GND	GND	SIGNAL	SIGNAL	SIGNAL	SIGNAL
Layer 5	VCC	SIGNAL	GND	SIGNAL	GND	VCC
Layer 6	GND	GND	VCC	GND	SIGNAL	SIGNAL
Layer 7	SIGNAL	SIGNAL	GND	VCC	SIGNAL	SIGNAL
Layer 8	SIGNAL	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL
Layer 9	GND	GND	SIGNAL	SIGNAL	SIGNAL	SIGNAL
Layer 10	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Entkopplung	gut	gut	gut	gut	gut	schlecht
EMV	gut	gut	gut	mittel	mittel	schlecht
Signalintegrität	gut	gut	schlecht	schlecht	schlecht	schlecht
Eigenstörung	niedrig	niedrig	niedrig	mittel	mittel	hoch

Tabelle 2:
Erst ab 10-Lagen ergeben sich durch die möglichen Kombinationen von Powerplanes und Signallagen Lösungen, die gute Ergebnisse erwarten lassen

Es hätte die Vermutung nahe gelegen, dass mehr Lagen pauschal auch mehr leistungsfähige Kombinationen ermöglichen. In der Praxis sind die möglichen Kombinationen jedoch nicht optimal.

10-Lagen-Multilayer-Aufbauten bieten viele Lösungen

Auch für einen 10-Lagen-Multilayer werden exemplarisch 6 Aufbauvarianten betrachtet. Die Einschätzung dieser Aufbauvarianten vor dem Hintergrund

der 4 Behauptungen ergibt Tabelle 2. Erst ab 10-Lagen ergeben sich durch die möglichen Kombinationen von Powerplanes und Signallagen wieder Lösungen, die gute Ergebnisse erwarten lassen.

Vorbehaltlich der Konstruktion eines Multilayersystems im Detail (i.e. Lagenabstände, Basismaterialien) lassen sich durch die Kombination von 4 bis 5 Signallagen mit den erforderlichen Power-

Serie „Die Leiterplatte 2010“

Die Applikationsplattformen „meltemi“, eine Baugruppe mit 20-lagigem Multilayer ausgelegt für High-Speed-Anforderung ausgelegt mit einem Datendurchsatz im GBit-Bereich und das 6-Lagen-Board „meltemi economic“ stehen im Mittelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Beitragsreihe es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so kom-

plexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen. Zudem werden Konstruktionsregeln und Handlungsstrategien für künftige Schaltungen abgeleitet, um diese mit mehr funktionaler Sicherheit und Stabilität auszurüsten. Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de

Vier Bedingungen für eine sichere Gerätefunktion

Das „meltemi“-Projekt basiert auf vier Faktoren, die man als Bedingungen für einen effektiven Lagenaufbau und für eine sichere Funktion der Baugruppe ansieht:

■ 1. Entkopplung

Die Standard-Entkopplung einer elektronischen Schaltung kann breitbandig über kapazitive Powerplanes mit einem Lagenabstand von 50 µm erfolgen. Ergänzend ist nur noch eine lokale Kondensatorgruppe erforderlich.

■ 2. EMV-Immission/-Emission

Die Störabstrahlung einer Baugruppe und/oder die Störanfälligkeit einer Baugruppe wird durch die Kontaktierung der Kanten der Leiterplatte drastisch reduziert.

■ 3. Signalintegrität

Die Signalintegrität einer Baugruppe wird durch eindeutige GND-Bezüge der Rückstromwege optimiert. Bei mehreren Signallagen dürfen sich die GND-Bezüge nicht überlagern.

■ 4. Eigenstörung

Die Störung („Innere EMV“) der Signallagen einer Baugruppe durch die eigenen Vcc-Planes wird auf ein Minimum reduziert, wenn die Vcc-Planes von GND-Planes gegen die Signallagen abgeschirmt werden.

Der Begriff „Aufbauvariante“ bezieht sich ausschließlich darauf, wie die Signale und Stromversorgungen auf die zur Verfügung stehenden Layer verteilt werden könnten. Es wird nur vorausgesetzt, dass es die drei Qualitäten SIGNAL, GND und Vcc gibt und dass jede Qualität die ganze Lage

beansprucht und mindestens einmal im Aufbau vorkommen muss. Anschließend werden die exemplarischen Aufbauvarianten, die sich durch mögliche Kombinationen ergeben, hinsichtlich der vier Behauptungen bewertet.

Die **Entkopplung** wird als „gut“ bewertet, wenn Vcc und GND benachbart sind, weil dann ein Flächenkondensator durch minimale Lagenabstände ausgeprägt werden könnte. Die Bewertung ist „schlecht“, wenn Vcc und GND nicht benachbart sind, weil kapazitive Effekte dann von vornherein nicht möglich sind.

Die **EMV** wird als „gut“ bewertet, wenn alle inneren SIGNAL-Lagen von GND-Planes abgedeckt werden und wenn die Vcc-Planes innen liegen und durch eine Kantenkontaktierung abgeschirmt werden könnten. Die Bewertung ist „mittel“, wenn ein SIGNAL in der Nachbarlage ein Vcc hat. Die Bewertung ist „schlecht“, wenn Vcc nicht beidseitig durch GND abgedeckt wird und wenn Vcc nicht durch eine Kantenkontaktierung abgeschirmt werden könnte.

Die **Signalintegrität** wird als „gut“ eingestuft, wenn jedes SIGNAL ein GND als direkte Nachbarlage hat. Die Bewertung ist „schlecht“, wenn es ein SIGNAL gibt, das zwischen sich und GND ein zweites SIGNAL sieht oder ein Vcc.

Die **Eigenstörung** ist „niedrig“, wenn alle SIGNALE durch GND von Vcc abgeschirmt sind. Sie ist „mittel“, wenn nur ein SIGNAL betroffen ist, und sie ist „hoch“, wenn mehr als ein SIGNAL betroffen ist.

► planes funktionell erfolgreiche Lösungen gestalten (siehe Variante 1 und 2). Bedingt durch die Anforderungen an Multilayersysteme, auch ergänzende Anforderungen erfüllen zu müssen (Entwärmung, mechanische Stabilität, Strombelastbarkeit, ...), wird verständlich, warum „der Trend“ zu höherlagigen Multilayern geht. Zur Zeit bestätigt sich somit die Voraussage, daß Multilayersysteme mit einer Anzahl von 8 bis

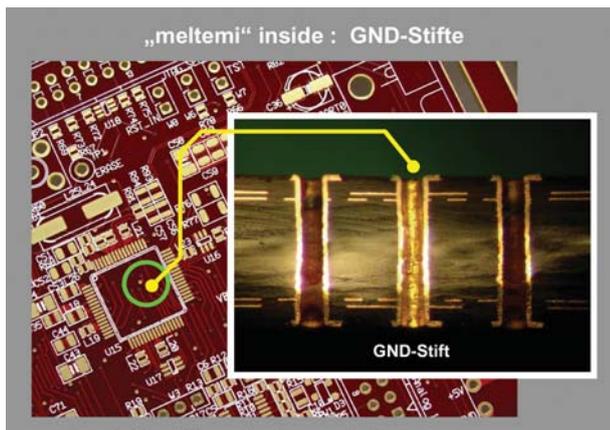
10 Lagen die Leiterplattentechnologie der nächsten Jahre bestimmen werden.

GND-Stifte und Faradaysche Käfige

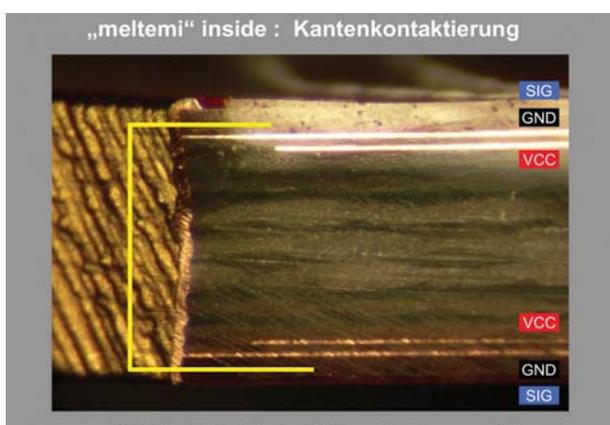
Der grundsätzliche Aufbau von „meltemi economic“ wurde bereits erläutert. Zwei kleine Nachträge sind noch erforderlich. Der minimalistische Lagenaufbau allein hätte für den Erfolg von „meltemi“ nicht ausgereicht. Das bewußte Setzen von GND-Stiften (Bild 1) verbessert die

Signalintegrität. Durch diese ergänzende und individuelle Beeinflussung der Rückströme über die Gestaltung des CAD-Layoutes wird die Schaltung gebändigt und kontrolliert.

Die EMV-Stabilität ist zu einem großen Teil auf die Kontaktierung der Leiterplattenkanten zurückzuführen (Bild 2). Das setzt selbstverständlich voraus, daß die technischen Eigenschaften der Leiterplatte durch eine entsprechende Layout-



■ Bild 1 :
An diskreten Stellen sind im Layout von „meltemi economic“ GND-Stifte gesetzt (hier erkennbar an der fehlenden Lötstopplack-Abdeckung). Der Schnitt wurde durch die drei Vias an der gekennzeichneten Stelle (grüner Kreis) gemacht.



■ Bild 2 :
Links ist im Anschnitt die Kante der Leiterplatte zu sehen (Chemisch Gold auf Kupfer). Die GND-Lagen 2 und 5 gehen bis an den Rand der Leiterplatte und werden über die Kante elektrisch miteinander verbunden.

gestaltung unterstützt werden. Damit eine Abschirmung wirksam werden kann, müssen die GND-Lagen, das sind bei „meltemi“ die Lagen 2 und 5, an die Kante herangeführt werden. Durch den elektrischen Kontakt der GND-Flächen über die Leiterplattenkante ergibt sich ein (unter Faradayschen Aspekten) hermetisch geschlossener Raum. Deutlich ist zu erkennen, daß die inneren Vcc-Planes auf den Lagen 3 und 4 mit ausreichend Abstand layoutet worden sind. Im Ergebnis sind die Vcc-Planes durch die GND-Planes plus die Leiterplattenkante komplett eingebettet und abgeschirmt.

Fazit: Die Leistung beim Entwurf von „meltemi economic“ bestand unter anderem darin, auch mit einer reduzierten Lagenanzahl einen technisch hochleistungsfähigen Multilayer zu konstruieren. Eine solche Lösung ist immer hart erkämpft. Die Reduktion von 20 Lagen auf (vielleicht) 10 und dann auf 6 Lagen scheint wirtschaftlich plausibel. Technisch stellt sie eine außerordentliche Höchstleistung dar. Für eine solche Lösung entscheidet man sich nicht nur. Das muß man können.

Chapeau, also: Das Kompliment geht an den CAD-Designer und an den Konstrukteur.

Es ist also so: Für „einfache“ Baugruppen muss das Umfeld komplexer werden. „meltemi“ belegt das drastisch. Es ist offensichtlich, dass erst die Verknüpfung der Disziplinen „Schaltungskonzept“ plus „CAD-Konstruktion“ plus „Leiterplattentechnologie“ plus „Baugruppenproduktion“ erfolgreich ist. Das hat Auswirkungen. Computer werden diese Aufgabe nicht lösen. Wir müssen wieder mehr miteinander reden und von Beginn an zusammenarbeiten. (cm)

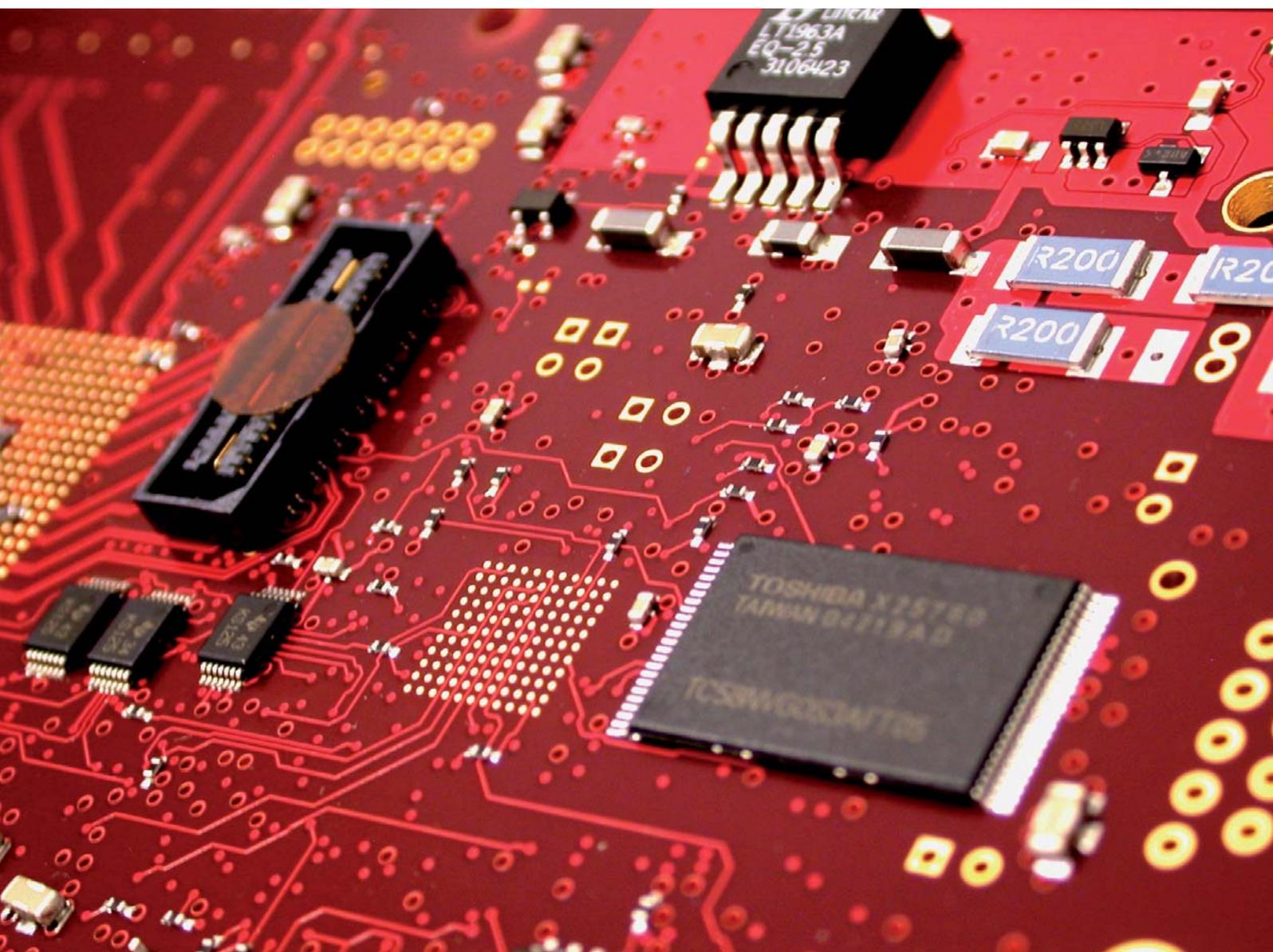
www.elektronikpraxis.de
Ilfa: Leiterplatten, Publikationen und Ilfa-Akademie
unit^el und das Projekt meltemi economic
Teil 10 der Serie: Philosophische Spannungen – Kaptiel 1
Die Leiterplatte 2005: Inhalt und Bestellmöglichkeit für das Magazin
InfoClick 173203

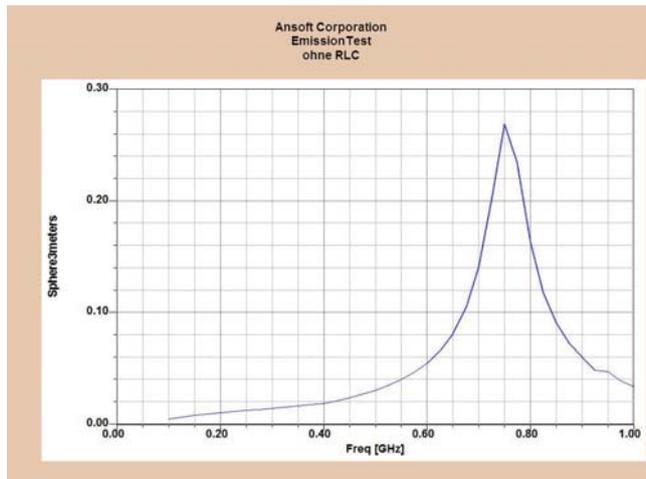
Der Kantenkondensator

Leitungssysteme bestehend aus GND- und Power-Plane als zweidimensionale Leitung terminieren

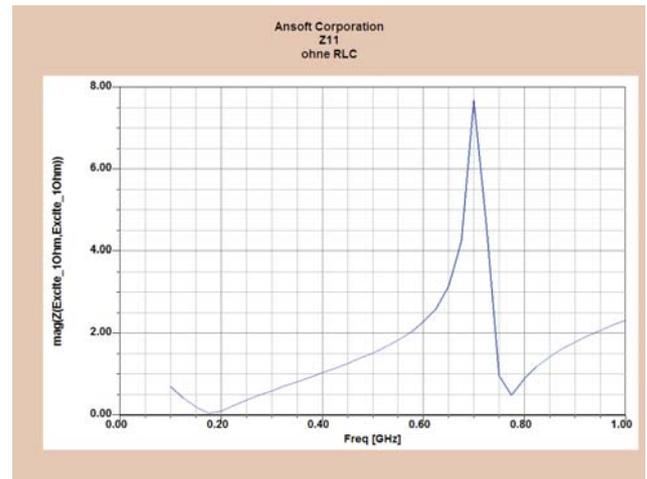
Beim Design von flächigen Stromversorgungssystemen (sog. Power-Planes) kämpft der Entwickler heutzutage an mehreren Fronten gleichzeitig. Eine leistungsfähige Stützung zu gewährleisten und eine effiziente Entkopplung zu realisieren sind zwei der wichtigsten Aufgaben. Die Stützung muss eine ausreichende Versorgung der ICs sicherstellen, während die (vorzugsweise breitbandige) Entkopplung ein unkontrolliertes Anwachsen des Störpegels verhindern soll. Mit letzterem Aspekt beschäftigt sich Kapitel 12 unserer Serie.

Nils Dirks*





■ Bild 1: Emission-Test: Maximale E-Feldstärke (V/m · 3 m) der 10 cm × 8 cm – Powerplane. Auffällig ist das Maximum bei der Lambda-Halbe-Resonanz.



■ Bild 2: IZI mittig der 8-cm-Kante: Impedanzüberhöhung durch Lambda-Halbe-Resonanz

Ein möglichst geringes Maß an Störpegel im Stromversorgungssystem ist aus zwei Gründen wichtig. Erstens tolerieren die angeschlossenen Verbraucher (z.B. ICs) nur ein bestimmtes Maß an Spannungsschwankungen bevor sie in ihrer Funktion unzuverlässig werden. Zweitens ist das Stromversorgungssystem aufgrund seiner typischerweise großen räumlichen Ausdehnung sehr gut in der Lage, diese Störungen abzustrahlen – ein höchst unerwünschter Effekt! Es lässt sich zeigen, dass problematische Störpegel besonders dann auftreten, wenn versehentlich resonanzfähige Gebilde im Stromversorgungssystem entstanden sind. Diese können dann auf ihrer Resonanzfrequenz angeregt werden und vermögen, dank ihrer Güte, wesentlich höhere Störpegel zu entwickeln, als es ohne Resonanzen möglich gewesen wäre. Solche Gebilde können z.B. unbedacht parallel geschaltete Kondensatoren sein, Kondensatoren, die mit allfälligen induktiven Komponenten in Resonanz gehen oder auch Leitungsresonanzen in dem zweidimensionalen Flächensystem. Bei der Frage nach der Anregung mag der erste Gedanke vielleicht dem Clock-Generator gelten, der oftmals überall in der Schaltung seine Spuren in Form von Grundfrequenz und Oberwellen hinterlässt. Und tatsächlich kann man durch das Vermeiden ungünstiger Clock-Frequenzen besonders starke Anregungen von vornherein vermeiden. In modernen Digitalsystemen kommen allerdings sowohl auf der Signal- als auch

*Nils Dirks, Inhaber von Dirks Corporate Consulting in München, ist in den Bereichen EMV-Schulung, Beratung und Software tätig.

auf der Versorgungsseite sehr breitbandige Störpegel vor, die ihren Ursprung in den Oberwellenanteilen der Nutzsignale bzw. den Versorgungs-Strompulsen der ICs haben. Dabei kommt über Frequenzbereiche von mehreren 100 MHz so gut wie jede Frequenz vor. Und damit kann folglich auch so ziemlich jeder Resonator „angestoßen“ werden. Eine ganz wesentliche Maßgabe für das Design EMV-günstiger Power-Plane-Systeme muss daher die wirksame Vermeidung unerwünschter Resonatoren in einem breiten Frequenzbereich sein!

Terminieren: Leitung mit ihrem Wellenwiderstand abschließen

Resonatoren, die mithilfe einer Leitungsresonanz schwingen, lassen sich in flächigen Stromversorgungssystemen jedoch grundsätzlich ebenso wenig vermeiden, wie in leiterbahngeführten

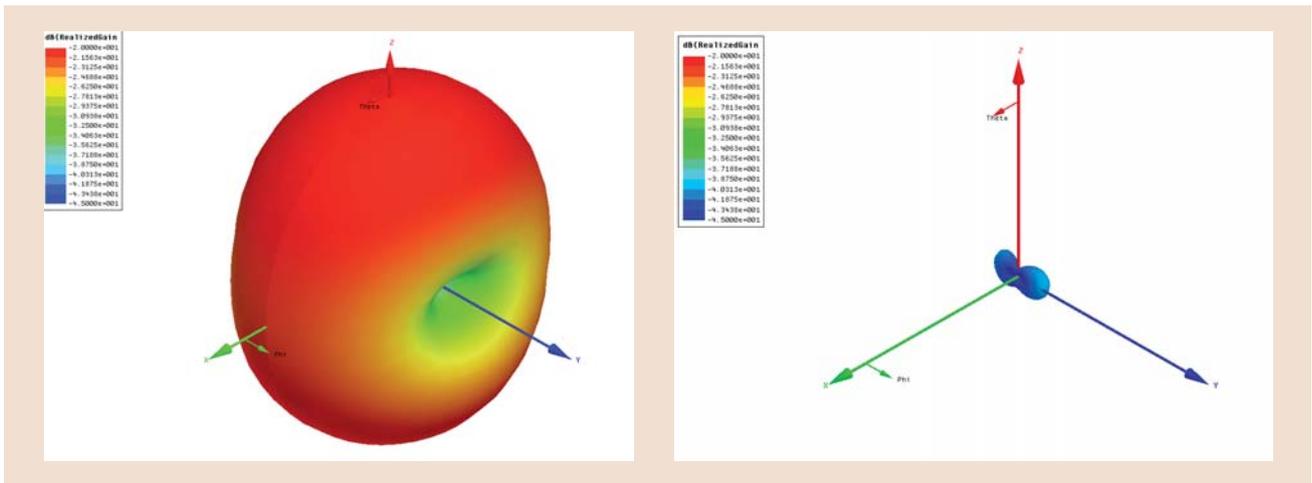
Systemen. Es ist die räumliche Ausdehnung der Strukturen, die das Auftreten von stehenden Wellen, und damit Resonanzen ermöglicht. Da eine weitere Voraussetzung für die Entstehung von Resonanzen die Reflektion ist, wurde bereits vorgeschlagen, das aus Power- und GND-Plane bestehende Leitungssystem am Ende mit seinem Wellenwiderstand abzuschließen, also die Leitung zu terminieren. Bei eindimensionalen Leitungen ist dies relativ einfach und anschaulich möglich: Ein 50-Ω-Koaxkabel wird an seinem Ausgang mit einem 50-Ω-Widerstand abgeschlossen, und ist damit reflexionsfrei; am Eingang lassen sich keine Resonanzen mehr beobachten. Wo ist jedoch bei einer Power-/GND-Plane-Konstruktion der Eingang bzw. der Ausgang? Und mit welchem Widerstandswert ist diese Leitung abzuschließen?

Der Sinn einer Terminierung ist es, die Stoßstelle im Wellenwiderstand zu ent-

Die Leiterplatte 2010

Die Applikationsplattformen „meltemi“, eine Baugruppe mit 20-lagigem Multilayer ausgelegt für High-Speed-Anforderung mit einem Datendurchsatz im GBit-Bereich und das 6-Lagen-Board „meltemi economic“ stehen im Mittelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Beitragsreihe ist, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen. Zudem werden Konstruktionsregeln und Handlungsstrategien für künftige Schaltungen abgeleitet, um diese mit mehr funktionaler Sicherheit und Stabilität auszurüsten.

Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie uns hierfür bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de



■ Bild 3: Fernfeldabstrahlung der Leiterplatte mit bzw. ohne RC-Terminierung

fernen, da bei jeder Änderung der Leitungsimpedanz eine Reflexion hervorgerufen wird. Bei einer flächigen Leitung gibt es solche Stoßstellen rund herum an allen Kanten der Konstruktion, weshalb eine wirksame Terminierung auch an allen Kanten des Flächensystems angebracht werden muss.

Um einen perfekten Abschluss der Leitung zu gewährleisten, muss sie an „ihren offenen Enden“ mit einem ohmschen Widerstand abgeschlossen werden, der genau dem Wellenwiderstand der Leitung entspricht. Für den Fall eines gut ausgelegten Power-Plane-Systems würden diese Forderungen bedeuten, dass an allen Kanten des Systems Widerstände in der Größenordnung von $0,25 \Omega$ zwischen VCC und GND zu schalten wären. Wenn auch in der Praxis wenig tauglich (Leistungsaufnahme), würde diese korrekte Terminierung tatsächlich weitestgehende Resonanzfreiheit bedeuten. Um nun den Zusammenbruch der Betriebsspannung zu vermeiden wurde auch schon

der Einsatz einer RC-Terminierung vorgeschlagen: Dabei wird dem Widerstand ($R = Z_0$) ein Kondensator in Reihe geschaltet um eine DC-Trennung zu erzielen. Eine breitbandige Terminierung lässt sich hiermit jedoch bekanntermaßen nicht schaffen, da der Kondensator aufgrund seiner parasitären Induktivität ein schmalbandiges Bauelement ist. Mit dieser Erkenntnis müsste man sich eigentlich wirklich breitbandigen Lösungen zuwenden und die RC-Terminierung begraben.

Randbedingungen für die RC-Terminierung

Das folgende Beispiel soll jedoch verdeutlichen, dass der clevere Einsatz einer RC-Terminierung durchaus zu Verbesserungen der EMV führen kann und zeigen welche Randbedingungen dabei zu beachten sind.

Für die Untersuchung der Eigenschaften einer solchen Terminierung wurde zu-

nächst mithilfe des Simulations-Tools HFSS V. 10.1 ein Vier-Lagen-Multilayer angelegt und analysiert: Kantenlängen 10 und 8 cm, Lagen eins und vier ungenutzt, Lage zwei: VCC und Lage drei: GND. Als Substrat wurde $200 \mu\text{m}$ dickes FR4 gewählt. An der Position (10 und 4 cm) wurde ein Generator eingefügt, der das System anregt und damit die Einprägung eines hochfrequenten Störpegels simuliert. In einer praktischen Leiterplatte könnte dies ein IC sein, der durch seine pulsformige Stromaufnahme sehr breitbandige Oberwellenanteile in das Stromversorgungssystem einspeist.

Die Abstrahlung dieses Störpegels aus der Leiterplatte wurde nachfolgend untersucht um zu ermitteln, ob möglicherweise Problemfrequenzen auftauchen. Bild 1 zeigt den so genannten „Emission-Test“, worin die maximale E-Feldstärke in 3-m-Entfernung zu sehen ist. Sehr auffällig ist das ausgeprägte Maximum bei gut 700 MHz, welches durch überschlägiges Nachrechnen sehr leicht als Lambda-Halbe-Resonanz zu identifizieren ist. Entlang der 10-cm-Ausdehnung der Power-Plane bildet sich eine stehende Welle, der „Leitungsresonator“ schwingt. Beobachtet man am Ort des Generators die Impedanz, lässt sich der zu erwartende Transformationseffekt eindeutig nachweisen: Das „leerlaufende Ende der Leitung“ (gegenüber vom Generator) wird über Lambda-Halbe wiederum in einen Leerlauf transformiert. Dieser (verlustbehaftete) Leerlauf lässt sich in Bild 2 als ausgeprägtes Maximum im Betrag der Impedanz wieder finden.

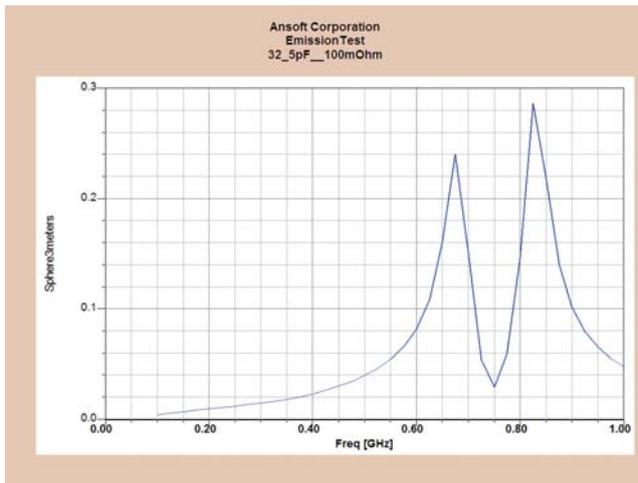
Damit bestätigt sich einmal mehr der bereits eingangs erwähnte Zusammenhang zwischen Abstrahlungsmaximum und Resonanz. In unserem Fall ergibt sich

Ungewollte Resonanzen verhindern

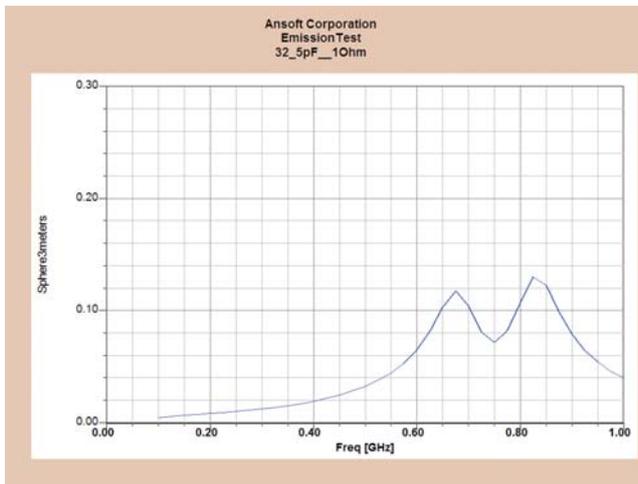
Dass sich flächige Stromversorgungssysteme nur über ihren Leitungscharakter breitbandig richtig beschreiben lassen wurde bereits ausführlich erläutert (siehe Beitrag „Die Mär vom Plattenkondensator“). Daraus ergibt sich das Verständnis vieler Vorzüge bezüglich der Stützungs- und EMV-Eigenschaften solcher Systeme; aber auch der Handlungsbedarf im Hinblick auf ungewollte Resonanzen.

Dass das richtige Verständnis flächiger Stromversorgungssysteme völlig neue Möglichkeiten zur Verbesserung der EMV erschließt, lässt sich am relativ einfachen Beispiel des Kantenkondensators verdeutlichen. Allerdings ist die korrekte Auslegung dieser Systeme im Hinblick auf Stützeigenschaften und EMV alles andere als trivial.

Daher wird in der Regel ein geeignetes Simulations-Tool zum Einsatz kommen, mit dem sich das gesamte Power-Plane-System analysieren und optimieren lässt. Mit diesem Thema beschäftigt sich ein späteres Kapitel unserer Serie.



■ Bild 4: Neue Resonanzen mit RC-Terminierung ($R = 0,1 \Omega$), Abstrahlung geht auf ursprüngliche Resonanzfrequenz zurück



■ Bild 5: Resonanzen durch höhere Verluste (1Ω) gedämpft

hieraus aber auch das „Comeback“ der RC-Terminierung: Zwar leidet diese nach wie vor unter ihrer Schmalbandigkeit, da das Abstrahlungsmaximum aber ebenfalls vergleichsweise schmalbandig ist, darf man bei richtiger Dimensionierung nun zu Recht auf eine Verbesserung hoffen.

Deshalb wird nun eine RC-Reihenschaltung an der Position (0 und 4 cm) zwischen Power- und GND-Plane geschaltet, also an das „offene Ende“ der Leitung. Die RC-Terminierung ist dabei so auszulegen, dass sie genau auf der Resonanzfrequenz rein ohmsch ist, sodass keine Reaktanzen aufweist und damit eine echte Terminierung darstellt. Diese Bedingung ist bei genau einer Frequenz erfüllt – nämlich der Serienresonanzfrequenz der RC-Reihenschaltung. In Kenntnis der parasitären induktiven Anteile lässt sich die Kapazität mithilfe der Thomsonschen Schwingungsformel

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

so festlegen, dass die Serienresonanz genau bei gut 700 MHz liegt. Wird nun der Gesamtwiderstand R der RC-Reihenschaltung so gewählt, dass er dem Wellenwiderstand (Z_0) der flächigen Leitung entspricht, ist die Leitung zumindest auf dieser Frequenz „korrekt terminiert“. Auch wenn der hier gewählte Wert von $0,1 \Omega$ etwas unter dem Wellenwiderstand der Leitung

PCB-POOL®

1 EUROKARTE
+ Einrichtung
+ Photoplot
+ MwSt.

€ 49,-

*Preisbeispiel für 8 AT zzgl. Versandkosten UPS Standard € 6,40

Pünktlich
oder **KOSTENLOS**

PCB-POOL.COM

Einfach Datei senden und ONLINE bestellen:

Alle angegebenen Warennummern sind in der jeweiligen Preisliste zu finden.

Industrie Qualität
Beta LAYOUT

Tel: 0 61 20 / 90 70 10
Fax: 0 61 20 / 90 70 14
beta-layout@pcb-pool.com

ROHS / WEEE konform

Target Sprint Protel EDWIN OrCad GraphiCode PROTEL Electronics Easy-PC Sprint Layout

Der Leiterplatten - Hit mit einem Klick

www.basista.de

Unsere Highlights

von der **Musterplatte** bis zur **Microviattechnologie** vom Singleboard bis zum Multilayer von **1 - 28 Lagen**
Hot-Shot® PCB mit UL-Kennzeichnung
 Garantierte Qualität!
 Discount bei Leiterplatten Nachbestellung
 Der letzte **Arbeitstag** ist der **Versandtag**
 Prototypen ab 5AT Standardlieferzeit
 Serien / Hot-Shot® PCB **8AT Standardlieferzeit**
 Leiterplatten **bleifrei nach RoHS**
 HDI Leiterplatten bis **50µm**
 Starrflex Leiterplatten /PCI Leiterplatten
 Hot-Stencil® Laser SMD-Schablonen



JUST MAIL TO:

info@basista.de

0800 BASISTA

0800 2274782

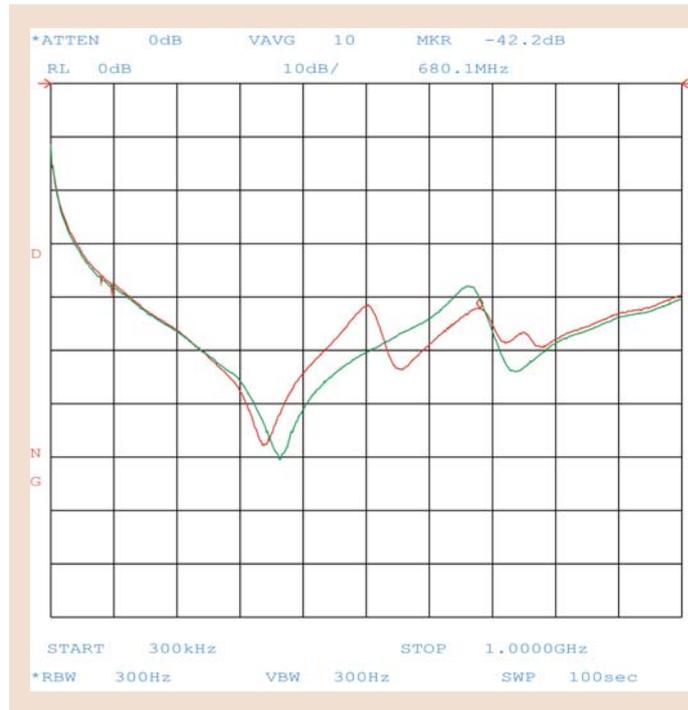
Ihre kostenlose Hotline!



Die Leiterplatte 2010 – Teil 12

liegen dürfte, die Terminierung also nicht optimal ist, lässt sich doch eine beachtliche Veränderung beobachten: Der Vergleich der Fernfeldabstrahlung für diese Frequenz mit bzw. ohne RC-Terminierung ist in Bild 3 zu sehen; die Verbesserung liegt in der Größenordnung von 20 dB! Aufgrund des Serienresonanzverhaltens der RC-Terminierung verhält sich diese unterhalb ihrer Serienresonanzfrequenz kapazitiv und oberhalb induktiv; bei der Leitungsresonanz verhält es sich genau umgekehrt. Dies bedeutet aber, dass durch das Hinzuschalten der RC-Kombination sowohl unterhalb als auch oberhalb der Leitungsresonanzfrequenz ein neuer Resonator entstanden sein muss, und damit zwei neue Resonanzfrequenzen. Der Emission-Test in Bild 4 zeigt sehr deutlich den Rückgang der Abstrahlung auf der ursprünglichen Resonanzfrequenz, ebenso wie die beiden neu hinzugewonnenen Abstrahlungsmaxima bei 670 und 825 MHz. Leider ist das Abstrahlungsmaximum auf diesen beiden Frequenzen nun nahezu genauso ausgeprägt, wie vorher auf der einzelnen Resonanz!

Die Ursache dafür liegt in der relativ hohen Güte des RC-Serien-Resonators und lässt sich folglich durch eine Erhöhung des ohmschen Anteils bekämpfen. Dabei gilt es, einen guten Kompromiss zwischen einer noch brauchbaren (und damit wirksamen) Terminierung auf der einen Seite, und ausreichend hohen Verlusten auf der anderen Seite zu finden. Bild 5 zeigt die Auswirkungen der Erhöhung des ohmschen Anteils von 0,1 auf 1 Ω : Die Abstrahlung hat auf der ursprünglichen Frequenz wieder um ca. 10 dB zugelegt, auf den beiden Nebenresonanzen dafür aber um 5 dB abgenommen. Es bleibt also eine Verbesserung von ca. 6 dB gegenüber der unterterminierten Konstruktion. Durch den Einsatz mehrerer RC-Terminierungen pro Kante, bzw. die „Terminierung“ aller Kanten lassen sich weitere Verbesserungen erwirken. Bei dünnen Substraten, wie sie beispielsweise bei den meltemi-Boards zum Einsatz kommen, kann dann im Einzelfall – bei geschickter Wahl der verwendeten Kondensatoren –



■ Bild 6: Indirekte Messung der Impedanz im meltemi-economic-Board. Die Lambda-Halbe-Resonanz wurde um gut 40% reduziert.

der Widerstand gänzlich entfallen. In diesem Fall bleibt nur der „Kantenkondensator“ übrig, der mithilfe seiner dielektrischen Verluste eine brauchbare Terminierung auf den gewünschten Frequenzen bildet. Dabei kann es durchaus sinnvoll sein, anstelle eines einzelnen Kantenkondensators eine (z.B. mit der Software SILENT optimierte) Kondensatorgruppe einzusetzen.

Die Messung in Bild 6 zeigt eine dem Betrag der Impedanz proportionale Größe, die an der Position CN1 in der 1,2-V-FPGA-Core-Power-Plane des meltemi-economic-Boards gemessen wurde. Die grüne Kurve zeigt dabei das unbestückte Board, die rote Kurve gibt Auskunft über die Impedanzverhältnisse nach Bestückung einer kleinen Kondensatorgruppe (82 und 120 pF) auf Position C87. Aus den gemessenen dB-Werten lässt sich die Resonanzüberhöhung bestimmen und zeigen, dass die Lambda-Halbe-Resonanz bei ca. 675 MHz um gut 40% reduziert wurde. Allerdings bringt jeder zusätzlich eingefügte Schwingkreis

(also auch jede RC-Terminierung und jeder Kondensator) neue potenzielle Resonanzfrequenzen mit sich: je nachdem, wo er in der Power-Plane eingebaut wird und was sonst noch an RC-Kombinationen oder Kondensatoren bestückt ist. Dadurch können Impedanzüberhöhungen innerhalb der Power-Plane entstehen, die aus Power-Integrity- und/oder EMV-Rücksichten inakzeptabel sind. (cm)

www.elektronikpraxis.de

- Überblick über die Serie „Die Leiterplatte 2010“
- Die Firma unitel und das Projekt meltemi
- DCC-Schulungen und die Software SILENT
- Fachbeiträge in der EMV-Bibliothek von Dirks Corporate Consulting
- Beitrag „Die Mär vom Plattenkondensator“

InfoClick

176647



HEGER GMBH Leiterplatten-Schnellservice



Leiterplatte in 4 Stunden · Multilayer in 24 Stunden · Garantierte Termintreue
Entwicklung und Layout · Sonderleiterplatten · Bestückung und Test
Mikroviertechnik · Mikrofeinstleiter · Mikro-BGA-LP's



Seit 1969

www.hegergmbh.com

Oststraße 83 · 22844 Norderstedt · Tel. 0 40/522 50 22 · Fax 0 40/526 45 54 · E-Mail: Leiterplatte@hegergmbh.com

Große Bilder gestochen scharf

Datentransport und schnelle Signalverarbeitungsprozesse bei Bewegtbildern mit hoher Ortsauflösung (I)

In den vergangenen 12 Kapiteln unserer Serie stand die Hardwareentwicklung der meltemi-Plattform im Mittelpunkt. Ein mögliches Einsatzgebiet für das meltemi-Board ist die Echtzeitbildverarbeitung. Dieser Beitrag unserer Serie erläutert neben einem grundlegenden Bildverarbeitungsmodell Aspekte der Übertragungsbandbreite und hier besonders Problemstellungen des primären Datentransports zwischen Bildquelle (z.B. Scanner oder Kamera) und einem Bewegtbild-Verarbeitungssystem bei Bildformaten mit hoher örtlicher Auflösung und gibt einen Ausblick auf Operatoren in einem Bildverarbeitungssystem.



Helmut Keller*

CCD- und CMOS-Bildsensoren

Bei Bildsensoren auf Halbleiterbasis unterscheidet man heute grundsätzlich zwischen Charge Coupled Devices (CCDs) und CMOS-Bildwandlern. Die Umwandlung des Lichtsignals in ein elektrisches Signal erfolgt in beiden Sensortypen ähnlich: bei gegebener Ortsauflösung im Sensor wird unter Anwendung des fotoelektrischen Effekts in den aktiven Sensorflächen an jedem Pixel-Ort des Sensors die dortige Lichtintensität in eine proportionale elektrische Ladung konvertiert. CCD- und CMOS-Sensortypen unterscheiden sich jedoch in der Art des Weitertransports des nunmehr elektrisch vorliegenden Bildes. CCDs arbeiten mit analogen Schieberegistern und Ladungstransport. Die A/D-Wandlung findet typischerweise an einer einzigen Stelle nach dem analogen Zeilenschiebemechanismus statt. Im Gegensatz dazu führen CMOS-Sensoren die A/D-Konversion ohne analogen Transport der Intensitätsinformation parallel und „vor Ort“ durch.

Aufgrund ihres Aufbaus eignen sich FPGAs hervorragend für die Signalverarbeitung z.B. bei der Bildverarbeitung. Damit wird die Echtzeitverarbeitung von großen Bildformaten wie sie HDTV oder Digital Cinema fordern ökonomisch möglich. Signalverarbeitungsprozesse in der Bildverarbeitung umfassen Vorgänge wie die Bilderfassung über Bildaufnahmesysteme (Scanner, Kameras), die Bildformatumwandlung und die Vorverarbeitung; es können auch Prozesse wie Bildsegmentierung, Mischung, Überblendung, Filterung und Farbkorrektur involviert sein.

Bei „großen“ Bildformaten mit hoher Ortsauflösung sind beträchtliche Datenvolumina im Spiel und man muss oft auch auf Kompressionsverfahren zurückgreifen, bei welchen das Volumen der zu transportierenden Information bei möglichst unverfälschter Bildinformation reduziert wird. Generell lassen sich Bildverarbeitungsprozesse, die bei praktischen Anwendungen oft in zusammengesetzter Form gebündelt zum Einsatz kommen, ganz gut über Referenzmodelle analysieren, getrennt betrachten und vergleichen. Anhand des Verarbeitungsmodells nach Gonzales/Woods [2] sollen hier einige der wichtigen Bildverarbeitungsprozesse erläutert werden, welche heute mit Embedded-Methoden in Signalprozessoren und FPGAs realisierbar sind.

■ Verarbeitungsmodell

Das in Bild 1 dargestellte Modell zeigt einige der wesentlichen möglichen Bereiche von Signalverarbeitungsprozessen, die zusammen zu einem automatisierbaren Bildverarbeitungs- und Analysesystem führen können.

■ Bilderfassung

Im Bereich „Bilderfassung“ werden Bildinformationen aus einer Bildquelle (z.B. Zeilenscanner, Kamera oder Bildspeicher) in einer Form eingelesen, dass sie für eine Weiterverarbeitung im Bildprozessor brauchbar sind. Bildspeicher und Bildtransmissionssysteme verwenden oft das 4:2:2 Komponentenformat, bei welchem für jedes Pixel ein Luminanzwert aber alternierend jeweils nur ein Blau- oder Rot-Farbdifferenzsignal übermittelt wird.

Im Bildprozessor ist für die meisten Operationen jedoch eine vollständige Darstellung der Luminanz- und Chrominanzwerte des Quellbildes (4:4:4) erforderlich. Diese Anpassung der Orts-

*Dipl.-Ing. Dr. Helmut Keller ist Inhaber der Firma Advanced Signal Processing Consulting in Graz/Österreich.

Henkel Symposium: Systemlösungen für die elektrische Industrie

Schützen – Dichten – Kleben – Vergießen – Lötten



22. September 2006
Henkel KGaA · Düsseldorf

Mehr Informationen und
Anmeldung (bis 08.09.06) über
www.henkel-elektrische-industrie.de



Henkel KGaA · 40191 Düsseldorf
Tel.: 02 11-7 97-21 23 · Fax: 02 11-7 98-1 21 23

Flexibilität beginnt im Kopf.



Um einer der führenden Fertigungsdienstleister mit dem Schwerpunkt Elektronik zu bleiben, muss man beweglich sein.

Flache Hierarchien, kurze Entscheidungswege und eine offene Kommunikation helfen uns dabei, diesem Anspruch gerecht zu werden. Gleiches gilt für unsere ausgefeilte Logistik und unsere modernen Führungsinstrumente, die hervorragende Qualität zu einem ausgezeichneten Kosten-Nutzen-Verhältnis garantieren. Nicht zuletzt auch mit Hilfe unserer grenznahen Standorte Furth im Wald und Domažlice, die einmal mehr beweisen, dass bei uns Flexibilität im Kopf beginnt.

zertifiziert nach
ISO 9001:2000
ISO/TS 16949:2002
VDA 6.1

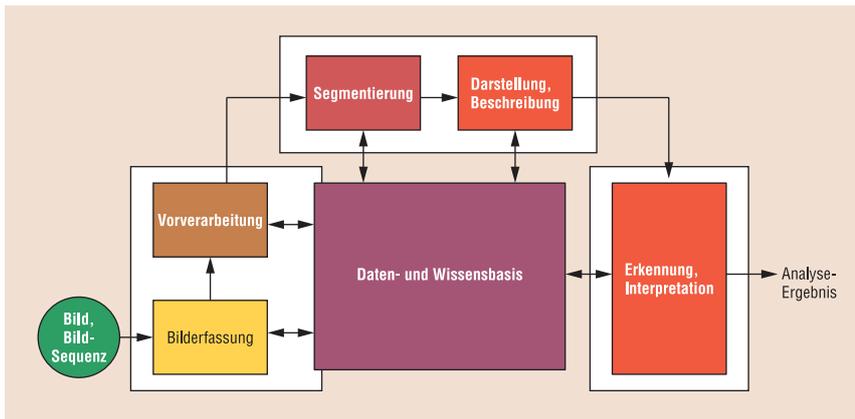
DELTEC Automotive GmbH & Co. KG

Dr.-Georg-Schäfer-Straße 1
93437 Furth im Wald
www.deltecgroupp.com

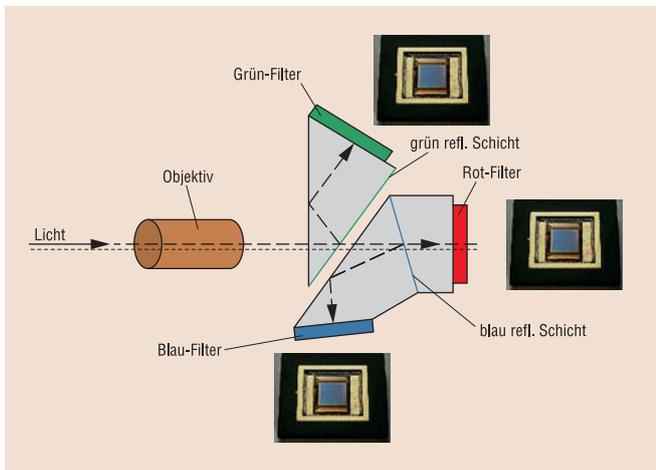
Tel. +49 (0) 9973 8455-0
Fax +49 (0) 9973 8455-110
info@deltecgroupp.com

High Performance Electronics Manufacturing





■ Bild 1: Modell der wesentlichen möglichen Bereiche von Signalverarbeitungsprozessen eines automatisierbaren Bildverarbeitungs- und Analysesystem



■ Bild 2: 3-Chip-RGB-Kamera-System mit Prismen-Beamsplitter als RGB-Bandpassfilter

auflösung an das gegebene Bildelement (Pixel- oder PEL-)Raster lässt sich z.B. im Block „Bildfassung“ durch adäquate Interpolation bewerkstelligen. Im Bereich „Vorverarbeitung“ erfolgt im Fall von Grauwertbildern die richtige Aufbereitung des Bildes durch Prozesse wie Grauwertstreckung und Transformation der Grauwertkennlinie [6].

■ Farbbilder

Im Fall der Verarbeitung von Farbbildern kann technisch davon ausgegangen werden, dass unsere vom Auge als „Farben“ erkennbaren Eindrücke einerseits nur einen kleinen Teil des physikalischen Farbspektrums zwischen Infrarot und Ultraviolett (etwa zwischen 800 und 400 nm) darstellen, andererseits diese optischen Farbeindrücke im Auge auch nur eine Art „Fehlfarbendarstellung“ repräsentieren. Aus technisch-ökonomischen und physiologischen Gründen hat sich eine Übertragung der sichtbaren Farbinformation über 3 technische Farbkanäle (RGB) als ausreichend erwiesen. Jeder dieser 3 Farbkanäle repräsentiert eine Bandbreite von etwa 150 nm des physikalischen Spektrums.

Daneben wäre auch feinere Auflösung des sichtbaren Spektralbereichs (z.B. über 7 Kanäle) denkbar. Diese gesteigerte Auflösung wird für spezielle Anwendungen auch technisch realisiert. Bei vielen Broadcast- und Consumer-Anwendungen (Standbild, Bewegtbild: TV, Video, Film)

Operatoren in der „Bildfassung“: die Ortsauflösung verändern

Der Bereich „Bildfassung“ umfasst an sich die nötigen Arbeitsschritte und Konversionen vom optischen Bild über das analoge, elektrisch dargestellte und örtlich gemäß dem Sensor-Pixel-Raster aufgelöste (örtlich quantisierte) Bild bis zum „digitalen“ (örtlich und in der Amplitude quantisierten) Bild. In vielen Fällen realisieren CMOS- oder CCD-Bildsensor heute diese Arbeitsschritte. Die örtliche Quantisierung ergibt sich durch Positionierung der aktiven Bildwandlerelemente auf dem Sensorchip. Die A/D-Wandlung wird bei CCD-Sensoren häufig, bei CMOS-Sensoren immer bereits auf dem Chip realisiert und es verbleibt der Transport der primären Rohdaten mit der erforderlichen Transport-Bandbreite. Im Fall der Einspielung von analogen Videosignalen muss im Bereich „Bildfassung“ die A/D-Wandlung realisiert werden. Schließlich ist die Darstellung der Primärinformation (des „digitalen“ Bildes) in einer für die Weiterverarbeitung kompatiblen Ortsauflösung erforderlich. Somit sind im Bereich „Bildfassung“ auch Operatoren zu finden, welche die Ortsauflösung umwandeln, um Kompatibilität für die Weiterverarbeitung im Bildprozessor herzustellen. Einige dieser Operationen sind in [6] ansatzweise beschrieben. Es geht hier um die Anwendung des Abtasttheorems auf örtliche Signale (bei Scan-Zeilen $s(x)$, bei flächigen Quellbildern und Bildwandlern $s(x,y)$).

Grundsätzlich kann man durch Anwendung von Interpolation mit dem Interpolationsfaktor i Bilder in der Ortsauflösung steigern. Für praktische Anwendungen ist der Interpolationsfaktor i eine Integer-Zahl. Um aus einer VGA-Bildzeile (640 Pels) eine HDTV-Bildzeile (1920 Pels) zu generieren, muss der Interpolationsfaktor 3 angewendet werden, das Bild wird, simpel betrachtet, durch Einfügen von 2 interpolierten Füll-Pels zwischen 2 ursprünglich benachbarten VGA-Pels auf die 3-fache Zeilenlänge im HDTV-Horizontal-Raster aufgedehnt. Neben der einfach zu rechnenden linearen Interpolation, Spline-Techniken und der $\sin x/x$ -Interpolation kommen hier spezielle Interpolationsfilter zum Einsatz mit dem Zweck das in der Ortsauflösung vergrößerte Bild für den Betrachter ansehnlich zu machen.

Die umgekehrte Operation – die Verkleinerung der Ortsauflösung – kann man durch die Dezimierung des Ortssignals mit dem Dezimierungsfaktor d (ebenfalls eine Integer-Zahl) realisieren, z.B. kann man bei der Konversion einer HDTV- Bildzeile in eine Zeile mit VGA-Auflösung den Dezimierungsfaktor $d=3$ anwenden. Es werden im einfachsten Fall nach dem ersten HDTV-Zeilen-Pel 2 Pels weggeworfen, das 4. HDTV-Pel bleibt bestehen und wird zum 2. VGA-Pel usw. Bei Nicht-Integer-Interpolationen kann man eine Kombination von Interpolation und Dezimierung einsetzen.

hat sich jedoch die RGB- bzw. die daraus ableitbare Komponentendarstellung (YUV bzw. YCrCb) etabliert. Bild 2 zeigt ein typisches heute verwendetes 3-Chip-RGB- Kamerasystem mit Prismen-Beamsplitter als RGB-Bandpassfilter.

Ortsauflösung bei Bildern und Bildformate

Wesentlich bei der Dimensionierung von Bildverarbeitungsoperatoren ist die zu Grunde liegende örtliche Auflösung der zu verarbeitenden Bilder. Im Zusammenhang mit Bildformaten erfolgen Angaben über die Bildauflösung oft über die Anzahl horizontalen und vertikalen Pels. Bild 3 zeigt eine Zusammenstellung wichtiger Bildformate zwischen VGA, den SD-Videoformaten, PAL und NTSC, über HDTV bis zum QXGA-Format. Letzteres entspricht auch dem 2k-Dfilm-Format, benannt nach den 2k Pels/Zeile. Bei Formaten mit hoher Ortsauflösung beginnt darüber hinaus auch das 4k-Format als „Digital Intermediate“ im Bereich digitales Kino an Bedeutung zu gewinnen, über ein 8k-Format wird diskutiert.

Als Beispiel für einen Bildwandler mit hoher Ortsauflösung soll die Blockschaltung des 4-MPixel-CMOS-Bildwandlers PB-MV40 [7] herangezogen werden (Bild 4). Für jede der 2352 Bildspalten ist ein eigener A/D-Wandler vorgesehen, der analoge Transport der Intensitätsinformation über die Bildzeilen erübrigt sich hier.

Primäre Datenraten bei unterschiedlichen Bildformaten

Zuerst soll die gesamte Bildpunktanzahl eines Frames bei den in Bild 3 dargestellten Bildformaten betrachtet werden. In Bild 5 ist die Gesamtpixelanzahl der besprochenen Bildformate in Abhängigkeit von der jeweiligen Pixelanzahl pro Zeile dargestellt. Die Mehrzahl der betrachteten Formate (VGA, SVGA, XGA, UYGA und QXGA) entsprechen einem Zeilen-Pel/Spaltenverhältnis von 4:3, die 16:9-For-

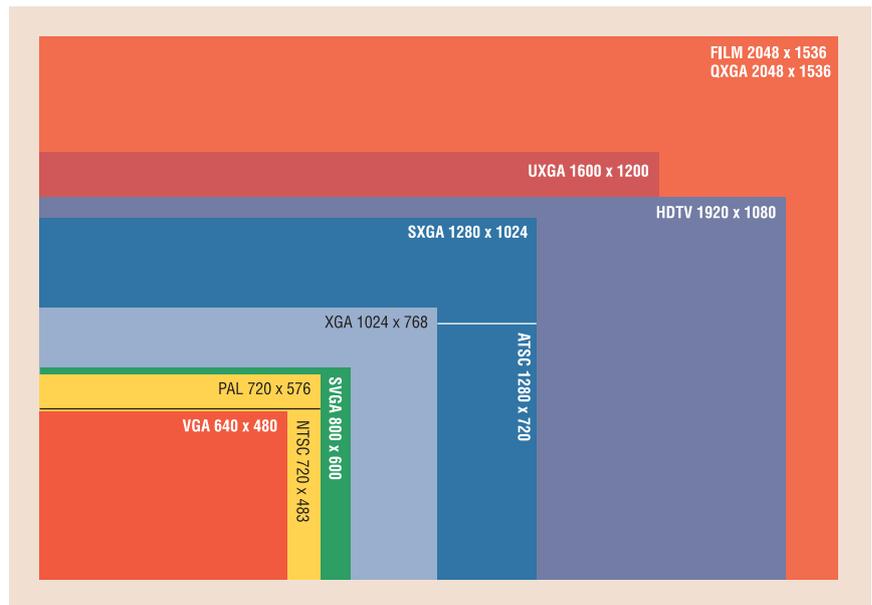


Bild 3: Die wichtigen Bildformate zwischen VGA, den SD-Videoformaten, PAL und NTSC, über HDTV bis zum QXGA-Format. Letzteres entspricht auch dem 2k-Dfilm-Format, benannt nach den 2k Pels/Zeile. Bei Formaten mit hoher Ortsauflösung gewinnt das 4k-Format als „Digital Intermediate“ im digitalen Kino an Bedeutung. Über ein 8k-Format wird diskutiert.

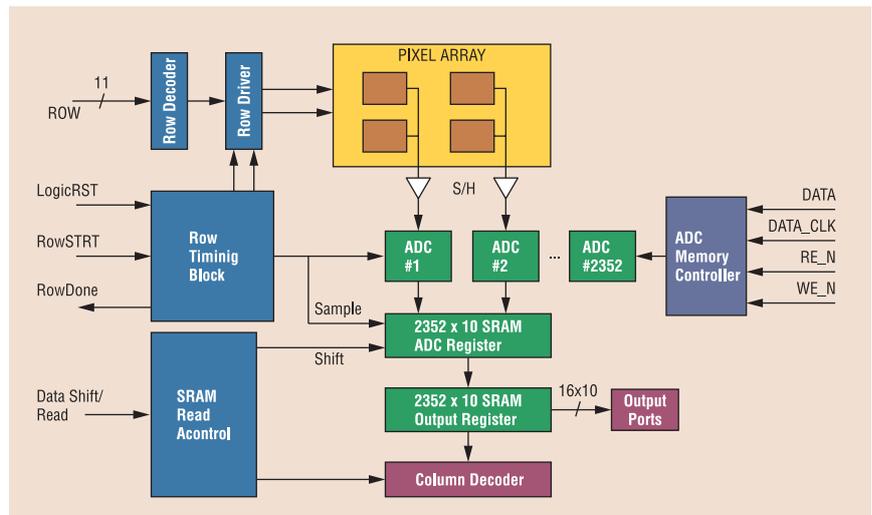


Bild 4: Blockschaltbild des 4-MPixel-CMOS-Sensor PB-MV40: ein Beispiel für einen Bildwandler mit hoher Ortsauflösung

EIN GEMEINSCHAFTSUNTERNEHMEN DER VOGEL BUSINESS MEDIEN | VF MEDIENGRUPPE | dsb AG

jetzt Messeauftritt erfolgreich planen!

Mit uns vermeiden Sie Langeweile an Ihrem Messestand.

Mit **persönlichen Messe-Einladungen** an potentielle Neukunden. Selektieren Sie aus über 1 Mio **TOP Industrie-Adressen**.

www.datam-services.de

DATA M
ADRESS DIREKT
InfoHotline: 0931 | 4170-440

LeiterplattenCentrum.de

Leiterplatten und ... schnell • preiswert • zuverlässig mehr

Made in Germany

z.B. Prototypen
2 AT 200 €*
1 AT 250 €*

doppelseitig - durchkontaktiert
2 Stück frei belegbare Nutzfläche (235 x 190 mm) z.B. 4 Eurokarten ab Gerber 274x
* zzgl.gesetzl. MwSt. und Versand

LeiterplattenCentrum
Ralf Smyczek

- Dieselstraße 52
- 33334 Gütersloh
- +49 (0)5241/68022 t
- +49 (0)5241/68023 t
- AV@LeiterplattenCentrum.de
- www.LeiterplattenCentrum.de

Die Leiterplatte 2010

Die Applikationsplattformen meltemi, eine Baugruppe mit 20-lagigem Multi-layer ausgelegt für High-Speed-Anforderung mit einem Datendurchsatz im GBit-Bereich und das 6-Lagen-Board meltemi economic stehen im Mittelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Beitragsreihe ist, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen. Zudem werden Konstruktionsregeln und Handlungsstrategien für künftige Schaltungen abgeleitet, um diese mit mehr funktionaler Sicherheit und Stabilität auszurüsten. Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie uns hierfür bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de

mate (ATSC und HDTV) sind neben den SDTV-Formaten, SXGA und dem 4-Mpel-Bildwandler die Hauptgründe für die Abweichungen von einer 4:3-Geraden im Diagramm.

Aus Bild 5 ist die beträchtliche Anzahl der diskreten Orte (Pels) bei großen Bildformaten ersichtlich. Bei 3-Chip-Kameras („echten“ RGB-Bildwandlern) multipliziert sich die in Bild 5 gezeigte Anzahl der Bildsensorelemente mit 3, die 4-Mpel-Kamera in RGB-Ausführung weist 12M-Sensorelemente auf. Ab der 4-Mpel-Ebene beginnen Probleme bei der örtlichen Deckungsübereinstimmung (Registrierung) der 3 Farbenen schlagend zu werden und es müssen ggf. gegenüber dem in Bild 2 gezeigten RGB-Kamerasystem mit Prismen-Strahlteiler und 3 Chips zur Bildwandlung des R-, G- bzw. B-Auszuges alternative Ansätze erwogen werden.

■ Primäre Datenraten

Das zwischen RGB-Bildwandler und dem Bereich „Bilderfassung“ zu transportierende Datenvolumen bei den jeweiligen Bildformaten ist in Bild 6 zusammengefasst. Dabei wird eine 10-Bit-Auflösung für jeden Intensitätskanal angenommen (oft sind heute im D-Cinema- oder im

Broadcast-Bereich bereits Auflösungen von 12 oder 14 Bit möglich).

Bei 24 Frames/s Progressive Scan (D-Kino, P24) ergibt sich für ein RGB-Sensorsystem mit PB-MV40-Sensoren bei 10 Bit Auflösung eine primäre Datenrate von nahezu 3 GBit/s.

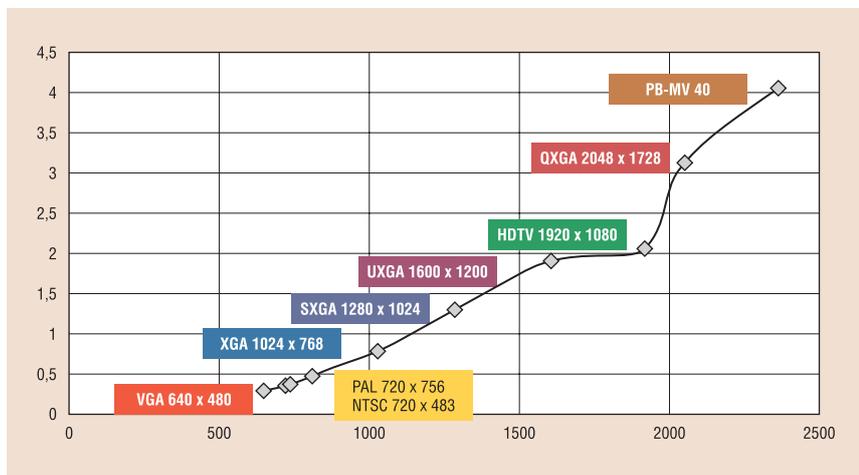
Der genannte Sensor kann jedoch bei voller Ortsauflösung Framerraten bis 240 f/s realisieren. Bei einem solchen High-Speed-Kamerasystem (z.B. für Zeitlupenaufnahmen) produziert die Bildquelle ein Datenvolumen von nahezu 30 GBit/s, welches über die Aufnahmezeit zuverlässig von der Schnittstelle des Bildsensors (im Fall der PB-MV40-Sensoren 3x16 = 48 10 Bit Ports) zum Bereich „Bilderfassung“ bzw. von da zur „Vorverarbeitung“ zu transportieren ist. (cm)

Einige der hier involvierten Operatoren im Sinn von in FPGAs implementierbaren Transformationskernen erörtert zusammen mit Aspekten der Bildsegmentierung und der Datenkompression ein weiterer Beitrag in unserer Serie.

Literatur:

- [1] Digital Signal Processing, A.V. Oppenheim, R.W. Schäfer
- [2] Digital Image Processing, R.C. Gonzales, R.E. Woods
- [3] Fundamentals of Digital Image Processing, A.K. Jain
- [4] Operatoren für die Bildverarbeitung, R. Klette, P. Zamperoni
- [5] The Art of Digital Video, John Watkinson
- [6] Zweidimensionale Signalverarbeitung mit FPGAs, H. Keller, als PDF via InfoClick verfügbar ELEKTRONIKPRAXIS, Sonderheft 11/2003
- [7] PB-MV40 : 4-Megapixel-CMOS-Active-Pixel Digital Image Sensor ; Micron

Im nächsten Kapitel der Serie (Heft 16/2006) setzt EMV-Experte Nils Dirks seinen Beitrag der korrekt ausgelegten flächigen Stromversorgungssysteme aus Heft 14/2006 fort und schildert am Beispiel des 1V2-FPGA-Core-Power-Systems im meltemi-economic-Board welche Auswirkungen die Eigenschaften von Powerplanes haben und wie sie durch geeignete Beschaltung zu ergänzen sind.



■ Bild 5: Gesamtpixel-Anzahl M in einem Bildwandler [Mpels] in Abhängigkeit von der Zeilen-Pel-Anzahl und vom Bildformat. Bei 4:3 Formaten: $M[\text{Mpels}] = (\text{Pels}/\text{Zeile})^2 \times 3/4$

Format	Bildgröße			Frames	Datenrate
	H-Pixel	V-Pixel	M-Pixel		
VGA	640	480	0,31	25	230
NTSC	720	483	0,35	30	313
PAL	720	576	0,41	25	311
SVGA	800	600	0,48	25	360
XGA	1024	768	0,79	25	590
SXGA	1280	1024	1,31	25	983
UXGA	1600	1200	1,92	25	1440
HDTV	1920	1080	2,07	25	1555
FILM	2048	1536	3,15	24	2265
PB-MV40	2352	1728	4,06	24	2926
PB-MV40	2352	1728	4,06	240	29263

■ Bild 6:

Primäre RGB-Datenraten bei unterschiedlichen Bildformaten und Progressive-Scan-Bildwechselfrequenzen zwischen 24 und 30 Frames/s

www.elektronikpraxis.de

unit^el und das Projekt meltemi economic

Die Serie „Die Leiterplatte 2010“

PDF „Zweidimensionale Signalverarbeitung mit FPGAs“ von Helmut Keller

InfoClick 179078



Quiet please!

Ohne gezielte Kondensatorbeschaltung ist Ärger programmiert

Ruhe bitte! So dürfte wohl der Wunsch eines jeden Entwicklers in Bezug auf die Störpegel innerhalb der Powersysteme seiner Leiterplatte lauten. Der bewährte Ansatz breitbandiger Kondensatorgruppen – erweitert um die präzise Berücksichtigung der Flächeneigenschaften – führt zu optimalen EMV-Ergebnissen bei hoher Systemstabilität. Am Beispiel des 1V2-FPGA-Core-Powersystems im meltemi-economic-Board verdeutlicht EMV-Experte Nils Dirks die Eigenschaften korrekt ausgelegter flächiger Stromversorgungssysteme und wie diese durch geeignete Beschaltung zu ergänzen sind.

Nils Dirks*

Die Vorteile der korrekten Staffe- lung verschiedener Kapazitäts- werte zu einer sog. „breitbandigen Kon- densatorgruppe“ haben EMV-Experten bereits Anfang der 90er-Jahre erläutert. Die Notwendigkeit, Powersysteme zu konstruieren, die breitbandig äußerst niederohmig und damit sowohl in puncto EMV als auch in puncto Stützung be- sonders leistungsfähig sind, stand seiner- zeit jedoch noch kaum im Fokus der Ent- wicklung. In der jüngeren Vergangenheit hingegen sieht sich der Entwickler immer öfter mit zwei typischen Problemen kon- frontiert:

1. Die zulässigen Einbrüche der Versor- gungsspannungen an den zu verwen- denden ICs (RAM, CPU, ASIC, FPGA etc.) sind äußerst gering spezifiziert und ver- langen zum Teil Powersysteme, die Impe- danzwerte im m Ω -Bereich haben müs- sen. Wie soll das gehen?
2. Moderne Digitalssysteme konsumieren heutzutage bereits Betriebsströme im zweistelligen Ampere-Bereich, die inner- halb der Powersysteme als Strompulse wieder zu finden sind; dabei können die Spitzenwerte deutlich über der durch- schnittlichen Stromaufnahme liegen und für erhebliche EMV-Probleme sorgen. Die Vorteile korrekt ausgelegter flächiger Stromversorgungssysteme umfassen die Lösung der beiden vorgenannten Pro- bleme, bieten aber darüber hinaus noch

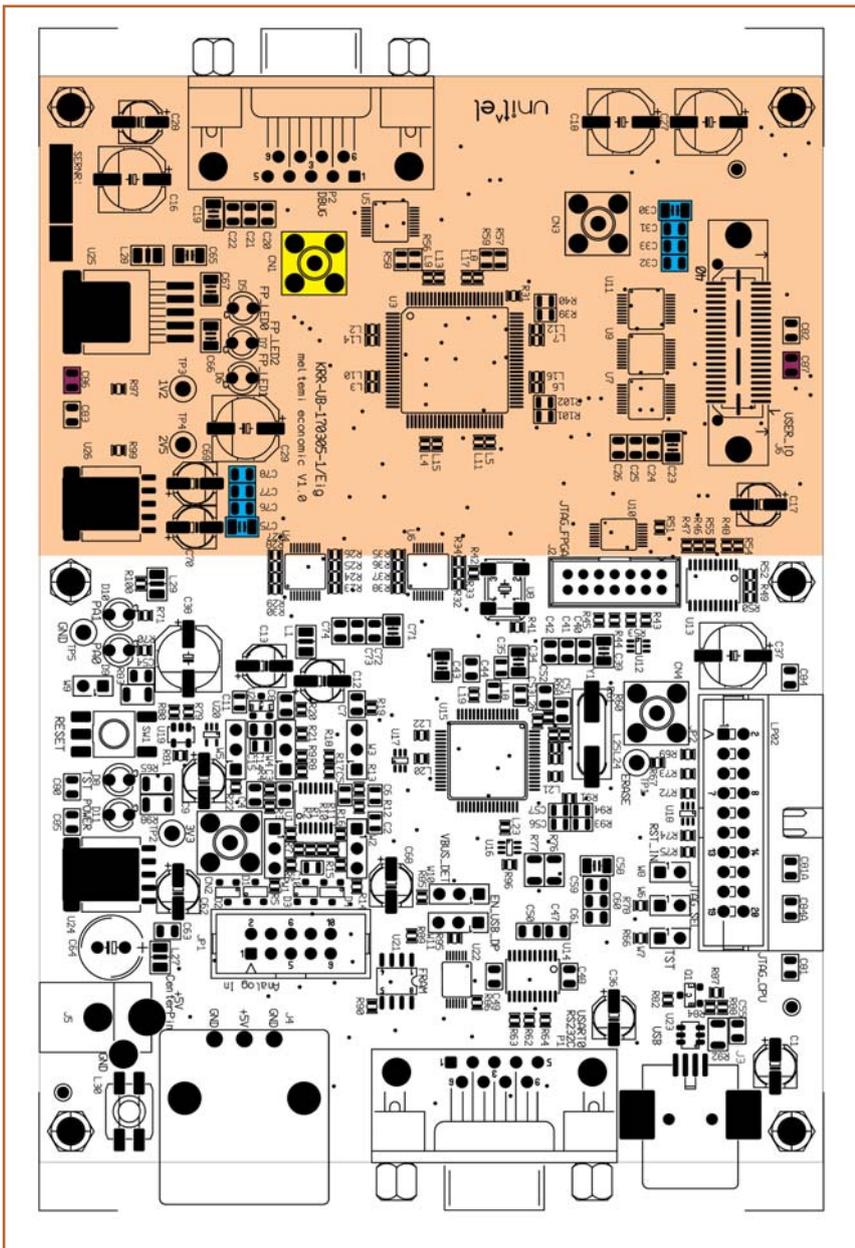
eine Vielzahl weiterer Vorzüge. Um den Rahmen dieses Artikels nicht zu spre- gen, beschränken wir uns auf die Be- trachtung dieser beiden Aspekte, die als Motivation für die korrekte Auslegung der Powersysteme bereits mehr als aus- reichend sein sollten.

Nachfolgend wird am Beispiel des 1V2- FPGA-Core-Powersystems im meltemi- economic-Board gezeigt, welche Auswir- kungen die Eigenschaften solcher Power- Planes haben, und wie diese durch ge- eignete Beschaltung zu ergänzen sind. Zunächst soll daher geklärt werden, wie sich ein Powersystem, das aus einer Power- und einer GND-Plane besteht, tatsächlich verhält. Das schematische Layout der Power- bzw. GND-Plane ist in Bild 1 dargestellt.

Struktur aus Power- und Ground-Plane

In Bild 2 ist der Impedanzverlauf des völ- lig unbestückten 1V2-FPGA-Core-Power- systems in einem meltemi-economic- Board V.1.0 zu sehen (grüne Kurve); gemessen wurde an der Position CN1 (35 mm, 24 mm). Hierzu wurde eine SMA- Buchse vorgesehen, an der im einfachsten Falle mithilfe eines Netzwerkanaly- zers die Impedanz gemessen werden kann. Auch die Details eines geeigneten Messaufbaus bzw. Messverfahrens wür- den hier den Rahmen sprengen. Die Messung zeigt im unteren Frequenz- bereich sehr deutlich den kapazitiven

*Nils Dirks, Inhaber von Dirks Corporate Consulting in München, ist in den Bereichen EMV-Schulung, Beratung und Software tätig.



■ Messbuchse ■ Kondensatorgruppe ■ Kantenkondensator ■ Power-Plane

■ Bild 1: 1V2-FPGA-Core-Powersystem: Messbuchse und Kondensatorbestückung, rechteckige, homogene Vcc- und GND-Plane

Charakter der Struktur bestehend aus Power- und GND-Plane und einem 50 µm dicken FR4-Substrat dazwischen. Zum Vergleich zeigt die rote Kurve den Impedanzverlauf einer idealen Kapazität von 5,5 nF, was genau der bei NF gemessenen Kapazität des unbestückten Powersystems entspricht. Bis zu einer Frequenz von ca. 130 MHz verlaufen die beiden Kurven praktisch deckungsgleich. Unser Powersystem verhält sich bei Frequenzen unterhalb von 130 MHz scheinbar wie eine ideale Kapazität, d.h. keine parasitären Komponenten, keine räumliche Ausdehnung etc. Oberhalb

dieser Frequenz nähert sich die ideale Kapazität asymptotisch der 0-Ω-Linie an, während das Powersystem bei ca. 360 MHz ein extrem niederohmiges Minimum zeigt, um dann eine steigende(!) Impedanz aufzuweisen. Die Ursachen hierfür wurden im Beitrag „Die Mär vom Plattenkondensator“ (siehe InfoClick) bereits ausführlich erklärt. In einem ersten Ansatz könnte man den Standpunkt vertreten, das Modell der idealen Kapazität sei auch bis 500 MHz verwendbar, da ja die tatsächlich gemessenen Werte noch besser (kleiner) als die der idealen Kapazität sind. Es sei an dieser Stelle daran er-

EINE GUTE VERBINDUNG

LÖTEN MIT VAKUUM

**FÜR PASTEN
UND PREFORMS**



NEU – VADU 100

- für Kleinserien und Laboranwendungen
- Löttemperaturen bis 400 °C
- mit Löt- und Kühlstation
- Vakuumtechnik
- Kondensatabscheidung
- Ameisensäureprozess
- Touch Screen Panel



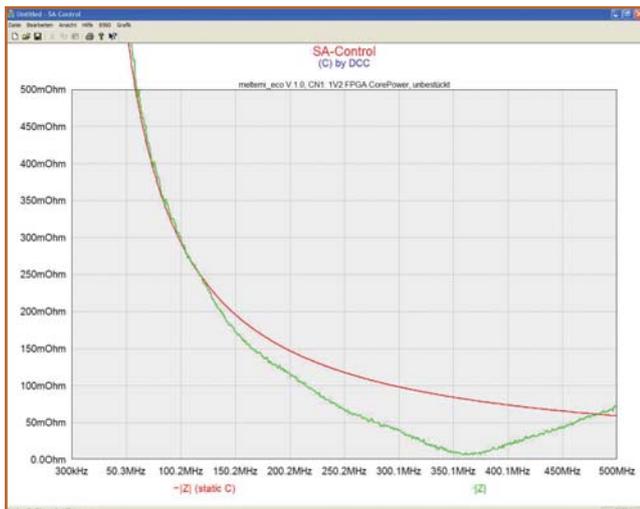
**PINK GmbH
Vakuumtechnik**

**Am Kessler 6
DE-97877 Wertheim/Main**

Tel. +49(0)9342/919-0

Fax +49(0)9342/919-111

vadu@pink.de · www.pink.de

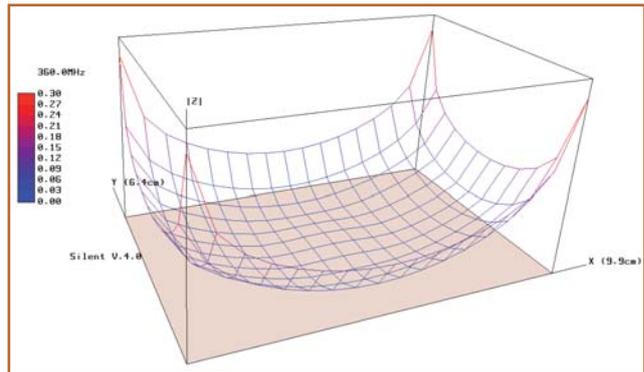


■ Bild 2: Impedanzverlauf des unbestückten 1V2-Power-Plane-Systems im Vergleich zu einer idealen Kapazität

innert, dass der Betrag der Impedanz in flächigen Powersystemen nicht nur eine Funktion der Frequenz, sondern auch des Ortes ist. Betrachtet man die Impedanz bei 360 MHz, behauptet das Modell der idealen Kapazität eine Impedanz von ca. 80 mΩ, die Messung ergibt weniger als 10 mΩ, jeweils am Ort des Messports CN1 betrachtet.

Mittels Simulation lässt sich die Impedanz an allen Orten des Systems bei der Frequenz 360 MHz sichtbar machen (Bild 3). Wie schon die Messung, ergibt auch die Simulation am Ort des Ports CN1 eine Impedanz von knapp unter 10 mΩ.

Viel augenfälliger ist jedoch die Tatsache, dass an anderen Orten – beispielsweise den Ecken – des Powersystems ganz andere Verhältnisse herrschen: Hier werden rund 30-mal höhere Werte erreicht! In diesem speziellen Fall wären die Werte möglicherweise dennoch brauchbar, da für die Powersysteme des meltemi-Boards durchgängig homogene Flächen, d.h. keine großen Aussparungen, keine ‚Flaschenhälse‘ etc. und sehr dünne Substrate verwendet wurden. Bei anderen Geometrien und/oder Substratdicken werden aber sehr leicht Werte von mehreren 10 Ω erreicht, die völlig inakzeptabel sind

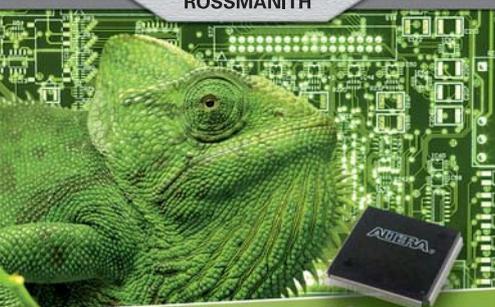


■ Bild 3: Betrag der Impedanz an den verschiedenen Positionen des 1V2-Systems bei 360 MHz

und später zu schwer durchschaubaren Problemen führen können. Gegenüber den 80 mΩ, die unsere ideale Kapazität anbietet, sind die realen 300 mΩ in den Ecken des Systems bereits rund viermal mehr als vorhergesagt und bestätigen die Untauglichkeit dieses Modells in Frequenzbereichen, wo Laufzeiteffekte bereits eine Rolle spielen; in unserem Beispiel also bereits ab etwa 100 MHz. Dies ist einer der Gründe, warum sich geeignete Simulations-Tools heute deutlich komplexerer Modelle für die Beschreibung von Power-Planes bedienen, der ‚klassische‘ Field-Solver sei nur als Beispiel genannt. Kommt ein geeignetes Modell zum Einsatz, lässt sich mithilfe von Simulationen sehr genau vorhersagen, welche Eigenschaften von einem bestimmten Power-



ROSSMANITH



**BLEIFREI ODER BLEIHALTIG
WIR KÖNNEN BEIDES**

**Bestücken und Lötten (THT / SMT)
Montieren und Testen
auch mit Materialbeschaffung
kurzfristig und gekonnt**

HELMUT ROSSMANITH GMBH
Stuttgarter Str. 159 · D-73066 Uhingen
Telefon +49 7161 3090-0 · Fax +49 7161 3090-90
E-Mail post@rossmanith.de · www.rossmanith.de



LeiterplattenCentrum.de

Leiterplatten und ... schnell • preiswert • zuverlässig
mehr

LeiterplattenCentrum
Ralf Smyczek

- Dieselstraße 52
- 33334 Gütersloh
- +49 (0)5241/68022
- +49 (0)5241/68023
- AV@Leiterplattencentrum.de
- www.Leiterplattencentrum.de

Made in Germany

z.B. Prototypen
2 AT 200 €*
1 AT 250 €*

doppelseitig - durchkontaktiert
2 Stück frei belegbare Nutzfläche
(235 x 190 mm) z.B. 4 Eurokarten
ab Gerber 274x
* zzgl.gesetzl. MwSt. und Versand



Bild 4: Simulierter Impedanzverlauf von Flächensystem und Kondensatorgruppe an Position CN1

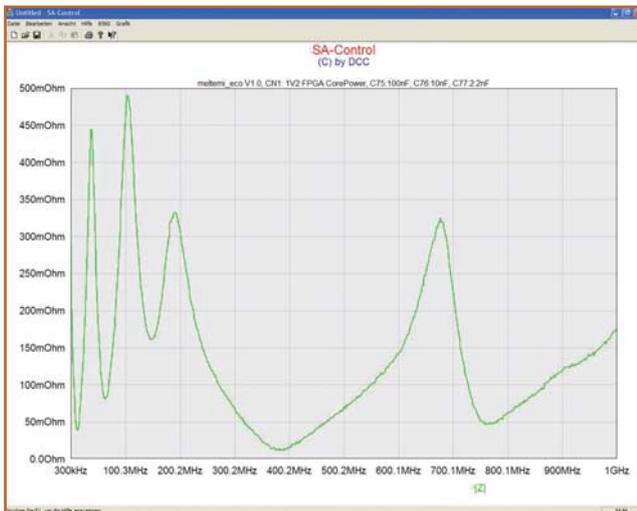


Bild 5: Gemessener Impedanzverlauf von Flächensystem und Kondensatorgruppe an Position CN1

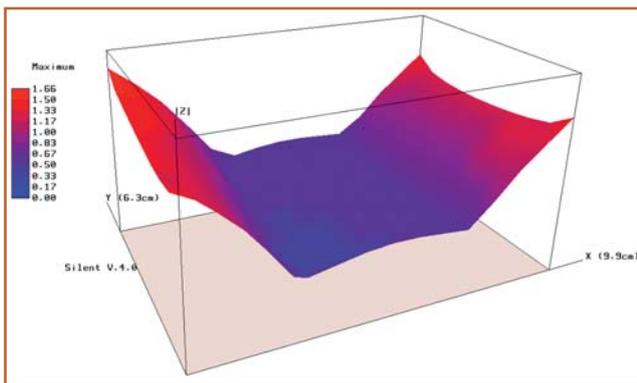


Bild 6: Maximaler Betrag der Impedanz bis 1000 MHz an allen Positionen des Systems

system zu erwarten sind. Dies wiederum ermöglicht, die korrekte Beschaltung im Voraus festzulegen und mögliche Probleme frühzeitig auszuscalten.

Mit dem Wissen um die realen Eigenschaften der Flächenstrukturen wird nun das Verfahren zur Entwicklung einer breitbandigen Kondensatorgruppe angewandt, um im unteren Frequenzbereich niederohmige Verhältnisse zu schaffen. Das Ergebnis der Simulation/Opti-

mierung ist in Bild 4 zu sehen: Im kHz-Bereich sorgen Spannungsregler und Elkos für niedrige Impedanzwerte, weshalb dieser Bereich hier nicht detaillierter betrachtet wird. Im darüberliegenden Frequenzbereich bis ca. 300 MHz sorgt die optimierte Kondensatorgruppe (100 nF, 1206, 10 nF, 0805, 2,2 nF, 0805) für niederohmige Verhältnisse, um zu noch höheren Frequenzen an das niederohmige Flächensystem „zu übergeben“. Dieses zeigt um

LEITERPLATTEN
Prototyp, Klein & Großserien

HighTech
LowCost!

SINGLE-POOL

LEITERPLATTEN Prototypen
Die günstige Lösung für 1 bis 4 Leiterplatten

6AT	2 Lagen	4 Lagen	8AT
z.B. 100mmx100mm		z.B. 160mmx100mm	
1 Stück: € 47,56 netto € 41,-		1 Stück: € 146,16 netto € 126,-	

OPTIONEN:

- Leiterbahn: 100 µm min.
- Bohrungen: 0.2 mm min.



INKLUSIVE:

- Umfangreiche technische Beratung
- E-Test (ab 2 Lagen)
- 2x Lötstop
- 1x Positionsdruck
- Import von Gerber, Eagle, Target
- Design Rule Check
- Einrichtung
- Leiterbahn: 150µm min.
- Bohrungen 0.3mm min.
- Bohranzahl - No Limit
- Kontur gefräst
- Oberfläche HAL
- Material FR4 1.55 mm
- 35µm Cu
- MULTILAYER ergänzend mit:
- A.O.I. Automatic Optical Inspection
- X-Ray Lagen-Versatzkontrolle

BLITZ-PREIS:

Online-Kalkulator **NEU!**

ECO-POOL 1 bis 23 Lagen

LEITERPLATTEN Serien 8AT
Alle technischen Möglichkeiten

z.B. **2 Lagen** **25 Stück**
Leiterplatte 100mmx100mm

Erstbestellung je € 11,41 netto € 9,84	Nachbestellung je € 7,84 netto € 6,76
--	---

OPTIONEN:

- Filmfreie Laser-Direktbelichtung
- z.B. für 50µm ULTRA FEINSTLEITER, 25µm in Vorbereitung
- Blind Vias in Lasertechnik
- 100µm Buried Vias
- 100µm Microvias
- Chemisch Zinn, Silber
- Chemisch Gold, Bond Gold
- Materialien: Rogers / P96 / G200
- Impedanz-Kontrolle + Prüfprotokoll
- Für Hochstromleiterplatten: bis 400µm Cu
- Starrflex, Metallkern, HDI, ...



SPAR-PREISE:

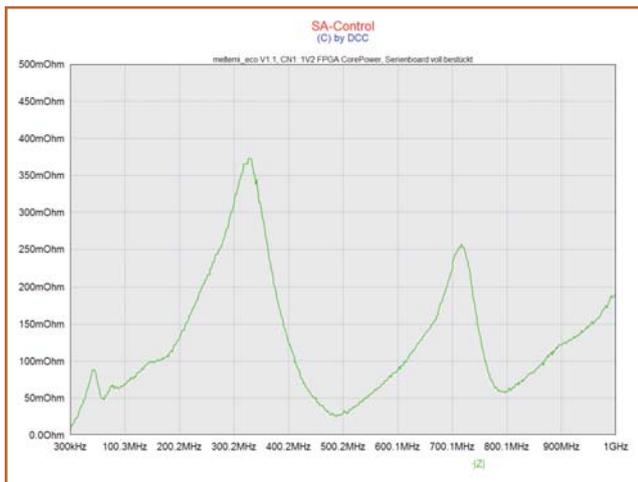
Laser SMD-Schablonen

Irrtümer & Änderungen vorbehalten!

multipcb
Ltd. (GmbH)
Brunnthaler Straße 2
D - 85649 Hofolding
Tel: 0049 (0)8104 628-110
E-Mail: info@multipcb.de



Die Leiterplatte 2010 – Teil 14



■ Bild 7: Messung der Impedanz an CN1: Bestücktes Serien-Board



■ Bild 8: Simulation der Impedanz an CN1: Bestücktes Serien-Board

700 MHz eine erste Strukturresonanz, die von stehenden Wellen innerhalb der Fläche hervorgerufen wird. Dank des guten Lagenaufbaus und der günstigen Geometrien bleibt aber auch diese Resonanz mit ca. 300 mΩ in einem gut zu ver-

schmerzenden Bereich und macht zusätzliche Beschaltungen nicht zwingend erforderlich.

Die Übereinstimmung von Messung (Bild 5) und Simulation ist verblüffend: Nicht nur das ‚Resonanzgebaren‘ der Kon-

densatorgruppe lässt sich präzise vorher-sagen, sondern auch die Struktureigen-schaften werden korrekt abgebildet. Ein leichter Versatz bei den Frequenzen der Strukturresonanzen deutet auf ein nicht ganz exakt bekanntes εR des Substrat-materials hin; hier wirkt sich bereits die zweite Stelle hinter dem Komma der Dielektrizitätszahl aus.

Bis 1000 MHz unter 500 mΩ: Ein sehr gutes Ergebnis! Heile Welt! An der Position CN1! Und der Rest des Systems? Die Messung macht naturgemäß nur eine Aussage über die Verhältnisse an der Position der Messbuchse, nicht aber über den Rest des Powersystems. Da Simulation und Messung an dieser Stelle eine nahezu perfekte Übereinstimmung zeigen, liegt es nahe, den Rest des Systems nur per Simulation zu überprüfen. Selbst die Überprüfung mittels Simulation könnte durchaus etwas aufwändiger sein, denn um sich ein umfassendes Bild zu verschaffen, müsste die Impedanzverteilung

Die Leiterplatte 2010

Die Applikationsplattformen „meltemi“, eine Baugruppe mit 20-lagigem Multilayer ausgelegt für High-Speed-Anforderung mit einem Datendurchsatz im GBit-Bereich und das 6-Lagen-Board „meltemi economic“ stehen im Mittelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Beitragsreihe ist, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen. Zudem werden Konstruktionsregeln und Handlungsstrategien für künftige Schaltungen abgeleitet, um diese mit mehr funktionaler Sicherheit und Stabilität auszurüsten.

Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie uns hierfür bitte eine E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de

Seit 1985 unser Geschäft

Produktion Ihrer Elektronik

unsere Devise
nah beim **Kunden**

für eine gemeinsame Kultur
so als wäre es Ihre **eigene**
Fertigung

unsere Vorsprung
zu Ihrer **Sicherheit**



Smyczek

Überzeugen Sie sich von unseren Aussagen eindrucksvoll vor Ort
www.smyczek.de, info@smyczek.de 0 52 46 - 80 90 0

NEU! ***Röntgeninspektion als Dienstleistung***

DATA M
ADRESS DIREKT

TOP Industrie-Adressen vom Spezialisten

Für erfolgreiche Neukundengewinnung

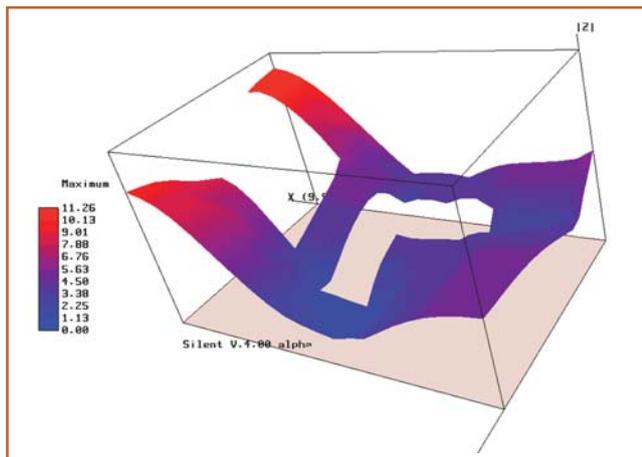
Ihre Empfänger sollten Sie nicht dem Zufall überlassen!



BESONDERE VOGEL EMPFEHLUNG!

InfoHotline: 0931 | 4170-440 www.datam-services.de

Ein Gemeinschaftsunternehmen der Vogel Business Medien | VF Mediengruppe | dsb AG



■ Bild 9: Maximaler Betrag der Impedanz bis 1000 MHz bei ungünstiger Geometrie

für jede einzelne Frequenz (vgl. auch Bild 3) betrachtet werden. Eine Erleichterung ist hier die so genannte „Maximum-Darstellung“, worin an jeder Position des Systems der im betrachteten Frequenzbereich maximal auftretende Betrag von Z dargestellt wird. Vereinfacht ausgedrückt ist dies der ‚worst-case‘, zu sehen in Bild 6.

Das gesamte Powersystem bewerten

Sofort zu erkennen ist der maximal erreichte Wert von $1,66 \Omega$ in der oberen linken Ecke. Er lässt sich beim ‚Durchblättern‘ der einzelnen Frequenzen eindeutig der Strukturresonanz bei 700 MHz zuordnen. Hier wird besonders deutlich, wie wichtig es ist, das gesamte Powersystem zu bewerten: Dieselbe Resonanz zeigte sich an der Messbuchse lediglich mit einer Amplitude von gut $300 \text{ m}\Omega$ (vgl. Bild 5). Im mittleren Bereich des Powersystems liegen die Maximalwerte relativ gleichmäßig um $0,5 \Omega$, während in der Nähe der kurzen Kanten ansteigende Werte bis rund $1,6 \Omega$ anzutreffen sind. Um das System weiter zu verbessern wurde eine weitere (versetzte) Kondensatorgruppe an der Position (81 mm, 21 mm) sowie Kantenkondensatoren (vgl. Teil 12, „Der Kantenkondensator“) im Bereich der kurzen Kanten des Systems eingefügt. Dadurch wird der sehr niederohmige Bereich des Powersystems (etwa die blauen Bereiche in Bild 6) größer und erreicht noch kleinere Impedanzwerte ($< 300 \text{ m}\Omega$), die Maximalwerte in den Ecken sinken auf ca. $1,2 \Omega$.

In einem Serienstück wurde an Port CN1 die Impedanz gemessen (Bild 7) und mit der Simulation (Bild 8) verglichen. Qualitativ ist eine sehr gute Übereinstimmung zu sehen, auch wenn in manchen Bereichen quantitative Abweichungen vorliegen: Im Frequenzbereich bis ca. 200 MHz ist die Simulation offenbar von etwas zu geringen Verlusten innerhalb der verwendeten Kondensatoren ausgegangen, weshalb die Realität etwa $40 \text{ m}\Omega$ besser als die Si-

mulation ist. Das erste Maximum, das aus dem Zusammenspiel der bereits induktiv gewordenen Kondensatoren mit dem Flächensystem resultiert, wird amplitudenmäßig präzise simuliert, während die Resonanzfrequenz in der Simulation etwas zu niedrig ausfällt. Diese Abweichung ist auf die verwendeten Modelle zurückzuführen und stellt in der praktischen Anwendung kein Problem dar.

Insgesamt kann gesagt werden, dass sich das reale Verhalten flächiger Powersysteme in Leiterplatten inklusive ihrer Kondensatorbestückung mithilfe geeigneter Simulations-Tools sehr gut vorhersagen und optimieren lässt. Dies ermöglicht dem Entwickler das Design sehr zuverlässiger und EMV-günstiger Spannungsebenen in Leiterplatten.

Bei einer weniger günstigen Auslegung des gesamten Boards können übrigens die gezeigten Effekte dramatische Ausmaße annehmen und ihre Vernachlässigung zu sehr lästigen Symptomen führen: frequenzselektiv sehr hohe Störpegel, verstärkte Abstrahlung, unzuverlässige Funktion etc. In Bild 9 ist die „Maximum-Impedanz“ bis 1 GHz eines mit einer C-Gruppe bestückten Powersystems ($120 \mu\text{m}$ Substratdicke) gezeigt, das z.B. aufgrund von konstruktiven Anforderungen verschiedene Aussparungen aufweist. Ohne eine gezielte Kondensatorbeschriftung ist hier Ärger programmiert.

Die gezeigten Simulationen wurden durchgeführt auf Silent V.4.0.

Kontakt zum Autor, E-Mail: nd@emv.biz

- www.elektronikpraxis.de
- Überblick über die Serie „Die Leiterplatte 2010“
- Die Firma unit^el und das Projekt meltemi
- Beitrag „Die Mär vom Plattenkondensator“
- EMV-Bibliothek von DCC mit Fachbeiträgen
- DCC: Schulungen und die Software Silent

InfoClick

179560

PCB-Design in Perfektion: Der richtige Weg!

- Innovative Lösungen für Ihre Designkonzepte
- Benutzerfreundliche, intuitive Menüführung
- Einfache Datenübernahme vieler EDA-Tools
- Interfaces zu den führenden PCB-Tools
- Ein Tool – vier Anwendungen: Schaltplan, PCB, Simulation und Autorouter
- Unschlagbar in Preis und Leistung

Pulsonix 1000
ab € 1.900.-
(zzgl. gesetzl. MwSt.)

Brühlmoosweg 5/5a
D - 88138 Weißenberg
Tel.: +49 - 83 89 92 00 0
Fax: +49 - 83 89 92 00 96 900
www.tecnotron.de