



English edition
turn upsie down

ELEKTRONIK PRAXIS

B 19126
April 2007
€ 9,20

Kompendium für Hardware-Entwickler

Die Leiterplatte 2010

High-Speed-Leiterplattendesign

Seite 12

Schnelle differenzielle Signale entflechten

Die dritte Dimension der Leiterplatte

Seite 16

Die Vorteile der Kantenmetallisierung

Multilayer-Systeme konstruieren

Seite 20

Kriterien für den optimalen Lagenaufbau

Gute EMV und stabile Funktion

Seite 47

Powerplane-Systeme EMV-günstig auslegen

Applikationsbeispiel Bildverarbeitung

Seite 55

HDTV-Bilder in Echtzeit verarbeiten

Die Leiterplatte 2010



Claudia Mallok

„Die Leiterplatte 2010“ ist die Fortsetzung der erfolgreichen Beitragsreihe „Die Leiterplatte 2005“, die im Jahr 2003/2004 einen Standard gesetzt hat. Wieder steht „Die Leiterplatte 2010“ für einen ganzheitlichen Ansatz Elektronik zu betrachten und zu realisieren. Von der Auswahl der Bauelemente, über

das EMV-gerechte und physikalisch richtige Design bis zur Produktierbarkeit der Leiterplatte und Bestückung der Baugruppe.

Im Mittelpunkt steht diesmal die Baugruppe meltemi, eine Applikationsplattform ausgelegt für Übertragungsbandbreiten von bis zu 60 GBit/s in HDTV-Anwendungen, Bildverarbeitung

oder sehr schnellen Datenmultiplexern. Ihre Merkmale sind die intensive Berücksichtigung der Signalintegrität, der schnelle Datentransfer via LVDS, eine extreme EMV-Spezifikation und die kapazi-

tive Nutzung von Powerplanes. Die Leiterplatte zu meltemi ist ein 20-lagiger Multilayer mit einem Multi-Power-System in 50-µm-Abständen, gepluggten Vias und Kantenkontaktierung.

Experten zeigen ein Referenzdesign für stabile High-Speed-Baugruppen

In 14 Kapiteln zeigen die beteiligten Partner die Entwicklung der meltemi-Baugruppe von der Bausteinauswahl bis zum EMV-Test im Messlabor auf. Die Experten geben Entscheidungshilfen und beschreiben Alternativen, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen. Und weil die Autoren oft auf die Beiträge der Vorgängerserie verweisen, liefern wir die Beiträge als Grundlagen gleich mit. Diese finden Sie ab Seite 62 bis 79.

Das meltemi-Projekt verdeutlicht, dass die Konstruktion einer komplexen Baugruppe eine große Herausforderung für jeden Entwickler darstellt, der die Fortschritte der Bauteiltechnologie, die Möglichkeiten der Leiterplattenproduktion und Layoutgestaltung am CAD-System zusammenführen muss. Das Projekt zeigt auch, dass nur die gemeinsame, partnerschaftliche Herangehensweise an ein progressives Projekt, also die Berücksichtigung aller Anforderungen der eingebundenen Fachbereiche, zu einer ganzheitlich funktional optimierten Baugruppe führt.

Claudia Mallok

claudia_mallok@elektronikpraxis.de

THE WORLD OF
ERSA
iNNOVATION

Die ultimative
Löt- und
Entlötstation

i-CON 2
mit 2 Lötwerkzeugen



www.i-tool.de

ERSA GmbH, 97877 Wertheim/Germany
Tel. +49(0)9342/800-0 · e-mail: info@ersa.de

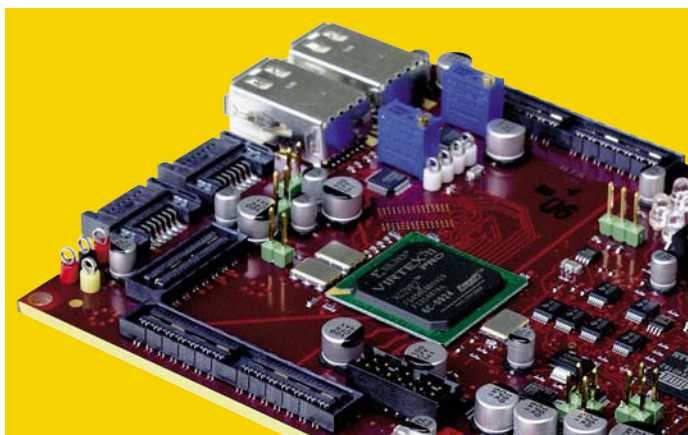


ELEKTRONIK PRAXIS

April 2007

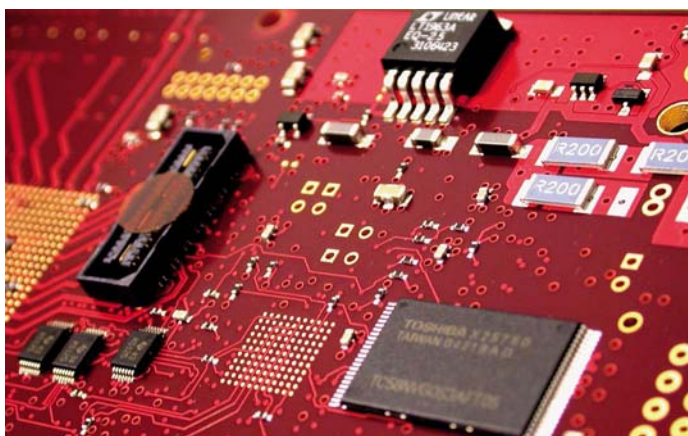
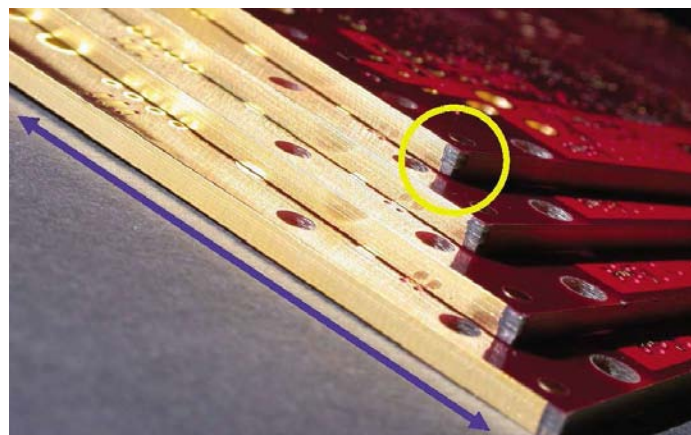
Serielle Hochgeschwindigkeits-Datenübertragung

„meltemi“ steht für eine CPU-Plattform für die serielle Hochgeschwindigkeitsdatenübertragung im Multi-Gigabit/s-Bereich – hochintegrierte Transceiver-Technik macht's möglich. Den Einfluss der seriellen Transceiver auf die Störabstrahlung und Stabilität der Baugruppe beschreibt Kapitel 1. **Seite 6**



Die physikalischen Eigenschaften der Leiterplatte revolutioniert

Eine Besonderheit der meltemi-Leiterplatte ist die Kantenkontaktierung, die sich messbar vorteilhaft im Hinblick auf EMV, Signalintegrität und Entwärmung bei vergleichsweise vernachlässigten Kosten auswirkt. Die dritte Dimension der Leiterplatte steht im Mittelpunkt von Kapitel 3. **Seite 16**



EMV-günstige Powerplane-Systeme designen

Beim Design von flächigen Stromversorgungssystemen so genannten Powerplanes kämpft der Entwickler gleich an mehreren Fronten gleichzeitig. Eine leistungsfähige Stützung zu gewährleisten und eine effiziente Entkopplung sind zwei der wichtigsten Aufgaben. **Seite 47**



Zweidimensionale Bildverarbeitung mit FPGAs

Aufgrund ihres Aufbaus sind FPGAs für zweidimensionale Bildverarbeitungsaufgaben prädestiniert. Im Zusammenspiel mit einem geeigneten Controller bzw. Prozessor lässt sich gerade bei der Echtzeit-Bildverarbeitung und großen Bildformaten die Rechenzeit signifikant beschleunigen. **Seite 59**

6 Serielle Hochgeschwindigkeits-Datenübertragung

Die Auswirkungen der seriellen Transceiver

12 Schnelle differenzielle Signale entflechten

Die High-Speed-Regeln beachten

16 Die physikalischen Eigenschaften revolutioniert

Metallisierung der Leiterplattenkanten

20 Was moderne Multilayer-Systeme leisten können

Ein elegantes Chaos

24 Die Konsequenzen für Entflechten und Routing

Nur ein Stück Draht

28 Signalqualität der Datenübertragungsleitungen analysieren

In der EMV-Prüfhalle I

32 Einfluss von FPGAs auf das Abstrahlverhalten der Baugruppe

In der EMV-Prüfhalle II

36 Die Quadratur des Kreises I

Stabile Hardware im 6-Lagen-Aufbau

39 Die Quadratur des Kreises II

Stabile Hardware im schlanken 6-Lagen-Aufbau

42 Der optimale Lagenaufbau für das Multilayer-System

Philosophische Spannungen I

45 Der optimale Lagenaufbau für das Multilayer-System

Philosophische Spannungen II

47 EMV-günstige Powerplane-Systeme designen

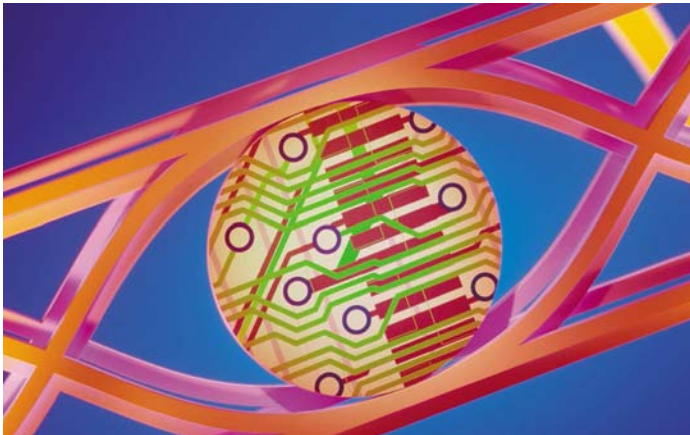
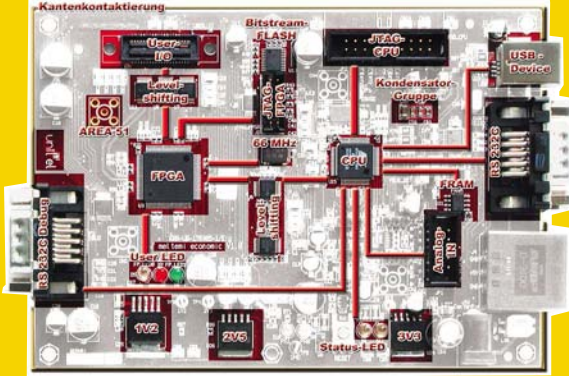
Der Kantenkondensator

InfoClick ist der Online-Service für ELEKTRONIKPRAXIS-Leser!

Und so funktioniert's: Sie geben den sechsstelligen Code, den Sie unter jedem Beitrag im Magazin finden, ins InfoClick-Feld auf unserer Homepage www.elektronikpraxis.de ein. Sofort haben Sie neben dem direkten Link zur Lieferquelle oder dem Autor des Beitrages Zugriff auf viele weitere nützliche Informationen wie Datenblätter, kostenlose Downloads, Veranstaltungen u.v.m.

Die Quadratur des Kreises

Die Entwickler haben sich das Ziel gesteckt, ihre Erfahrungen von 18- und 20-lagen Multilayern annähernd verlustfrei in ein 6-Lagen-Multilayer-Design mit einseitiger Bestückung zu komprimieren. Aus dieser Vorgehensweise lassen sich Konstruktionsregeln für künftige Schaltungen ableiten. **Seite 36**



EMV-günstige Verhältnisse auf einer Mikroprozessorkarte

EMV und Gerätefunktion sind so stark miteinander verflochten, dass sich ohne gute EMV die stabile Gerätefunktion nicht gewährleisten lässt. Am Beispiel des CPU-Moduls CERO, dem Vorgänger von meltemi, erklärt EMV-Experte Prof. Christian Dirks die Zusammenhänge und Lösungen. **Seite 76**

51 Die Auswirkungen von Powerplanes

Quite please!

55 Applikationsbeispiel Echtzeitbildverarbeitung

Bewegtbilder mit hoher Ortsauflösung

59 Applikationsbeispiel Echtzeitbildverarbeitung

Zweidimensionale Signalverarbeitung mit FPGAs

62 Die Leiterplatte 2005 – Grundlagen I bis IV

Die Beitragsreihe über das CPU-Modul CERO

3 Editorial

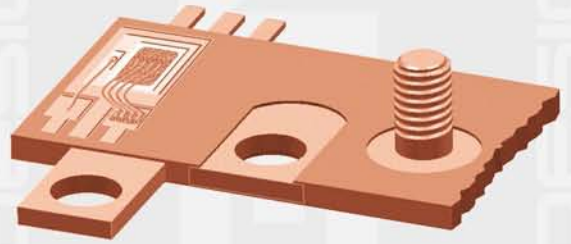
83 InfoClick-Service mit Zusatzinformationen

83 Inserentenverzeichnis

83 High-Speed-Seminare des FED

84 Impressum

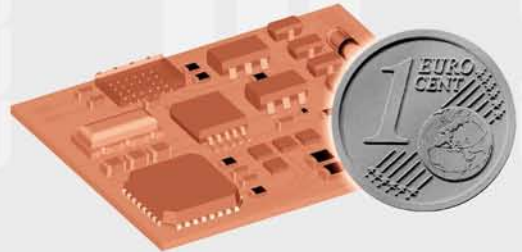
Neue Hochstromkonzepte mit Leiterplatten, Entwärmungskonzepte



FPC & Mechatronik Smart-Flex 3D-Geräte- und Bedienungskonzepte



Miniaturisierung μ BGA, FC, COB, High speed-Signalübertragung



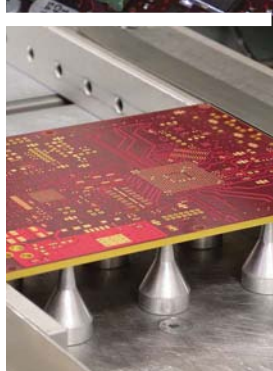
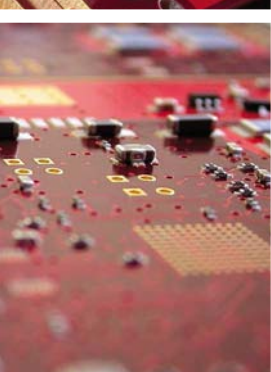
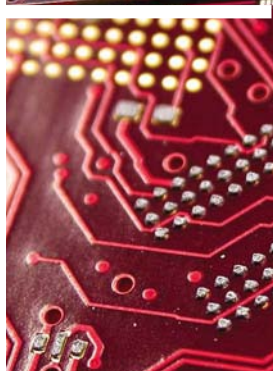
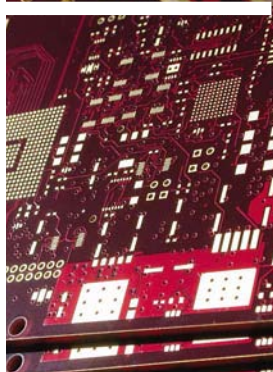
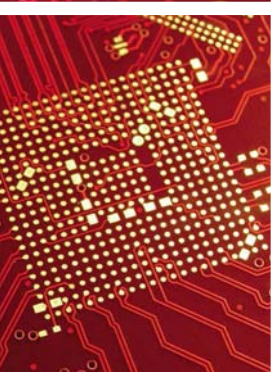
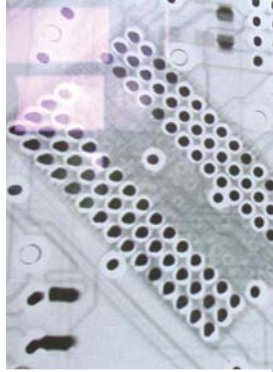
DESIGN, ENTWICKLUNG & BERATUNG
MANUFACTURING SERVICES FÜR
MUSTER UND SERIEN IN ALLEN STÜCKZAHLEN

HIGH DENSITY
HIGH SPEED · HIGH POWER



GESELLSCHAFT FÜR ELEKTRONIK U. DESIGN
MODERNE VERBINDUNGSTECHNOLOGIEN

www.GED-PCB-MCM.de
phone 0 22 47 / 92 19 -0



Kapitel 1

Serielle Hochgeschwindigkeits-Datenübertragung

Die Auswirkungen der Transceiver

Hochintegrierte Transceiver-Technik macht's möglich: serielle Datenübertragungsraten statt bisher 400 MBit/s respektive 600 MBit/s pro LVDS-Kanal von 2,5 GBit/s pro CML-Kanal (5 GBit/s Full-Duplex). Wer in Zukunft mit moderaten Übertragungsraten auszukommen glaubt, kommt trotzdem nicht umhin sich mit High-Speed-Technologien zu beschäftigen. Grund sind die Flankensteilheit der Signale und Störeinträge durch die Stromversorgungs-Pins der Chips. Kapitel 1 zeigt die Auswirkungen der seriellen Transceiver hinsichtlich Störabstrahlung und Stabilität der Baugruppe.

Gerhard Eigelsreiter

Als „Etesien“ (leitet sich von ‚etos‘ – jährlich her) bereits den alten Griechen geläufig, ist der Meltemi ein Schönwetterwind, der aus nördlichen Richtungen weht und im Sommer als angenehm kühlend empfunden wird. Sein Ursprung liegt in der nördlichen Ägäis. Stets heiteres Wetter und gute, klare Sicht sind seine herausragenden Merkmale.

Klare und gute Sicht ist auch für jeden dringend notwendig, der sich den höheren Gefilden der seriellen Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich hardwareseitig widmen möchte. Um diese gute Sicht nicht aus den Augen zu verlieren stand der Name „meltemi“ Pate für das Hardwareprojekt „Die Leiterplatte 2010“.

Ziel der Beitragsreihe ist es ein wenig Licht in das Rundherum einer solchen Entwicklung zu bringen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer derart komplexen Herausforderung einen Erfolg versprechenden Weg aus einem Labyrinth an Lösungswahrscheinlichkeiten zu einer stabilen Board-Hardware weisen. Zentraler Dreh- und Angelpunkt des meltemi-Board ist ein FPGA mit integrierten seriellen Transceivern, umgeben von fest verdrahteter Unterstützungslogik und einem 32-Bit-Single-Chip-Mikrocontroller

(Bild 1). Die mittels FPGA nach außen geführten Eingangs/Ausgangs-Ports sind samt und sonders in differenzieller Leitungstechnik ausgeführt. Von den insgesamt 77 differenziellen Kanälen sind 61 in LVDS-Technik mit einer Übertragungsrates von 600 MBit/s/Kanal, also insgesamt mehr als 36 GBit/s brutto ausgestattet. Die restlichen 16 Kanäle werden von acht integrierten Transceivern mit 2,5 GBit/s/Kanal, insgesamt 40 GBit/s brutto, abgedeckt.

77 differenzielle Kanäle und 61 LVDS-Leitungspaare

Vier Transceiver-Verbindungen laufen über jeweils zwei Infiniband- und zwei Serial-ATA-Stecker-Komponenten nach außen. Die restlichen vier Transceiver als auch die insgesamt 61 LVDS-Leitungspaare benutzen vier impedanzdefinierte High-Speed-Buchsenleisten zwecks Erweiterung mit Aufsteckboards. Die zwei Infiniband-Steckverbinder sind nicht direkt an die Transceiver angebunden: Die sichere und problemlose Datenübertragung über längere Kabelverbindungen (bis 17 m) gewährleisten adaptive Kabel-Treiber und -Equalizer.

Wer sich jetzt fragt, wozu eine solche riesige Übertragungsrates benötigt wird, braucht sich nur den Anforderungswunschzettel seiner derzeitigen, respek-

tive potenziellen künftigen Kunden für die nächsten Jahre schicken zu lassen. Wohl dem, der auch für die nächsten Jahre mit moderaten Übertragungsraten auskommen möchte. Das rettet solche Glückspilze aber nicht vor der Flankensteilheit der Signale und vor den Störeinträgen durch die Stromversorgungs-Pins der Chips; der Fantasie hochinnovativer Halbleiterhersteller die Grenzen der Halbleiterphysik weiter auszuloten sind sichtlich kaum Grenzen gesetzt.

Auswirkungen der seriellen Transceiver hinsichtlich Störabstrahlung und Stabilität

Schwerpunkte unseres Beitrages sind die seriellen Transceiver mit den unvermeidlichen Auswirkungen auf ihre Umgebung hinsichtlich Störabstrahlung und ihres Einflusses auf die Stabilität der restlichen Hardware. Den Kern bildet ein Vergleich verschiedener Messungen im Nah- und Fernfeld für zwei unterschiedliche Kabel-Stecker-Kombinationen, und zwar Infiniband als qualitativ hochwertige, aber kostenintensivere Lösung, sowie Serial-ATA als preiswertere, jedoch dem PC nahe stehende Variante. In beiden Fällen beträgt die Brutto-Übertragungsrate 2,5 GBit/s, Full-Duplex.

Für das Link-Layer-Protokoll wurde Aurora von Xilinx herangezogen. Es ist ein relativ leicht zu bedienendes Verfahren für Punkt-zu-Punkt-Verbindungen. Für Messungen im Nahfeld kam eine H-Feld-Sonde unseres Partners Dirks Corporate Consulting zum Einsatz (Bezugsquellen siehe Literaturhinweise am Schluss des Artikels). Fernfeldmessungen in der EMV-Prüfhalle im TGM-Wien dienten der Verifikation der im Labor durchgeführten Messungen.

Die „meltemi“-Messergebnisse von Infiniband (I1 bis I6) und Serial-ATA (S1 bis S6) Board-zu-Board-Kabel-Verbindungen sind auf Seite 10 auf einen Blick dargestellt. Die Kabellänge für Infiniband ist mit 10 m und für Serial-ATA mit 1 m spezifiziert. Gemessen wurde mit Nutzdaten (I1 bis I3, S1 bis S3) und ohne Nutzdaten (I4 bis I6, S4 bis S6). Als Messpunkte für die H-Feldsonde wurden die SMD-Pads (I1, I4; S1, S4) der jeweiligen Stecker auf der Leiterplatte und der Übergang Kabelstecker auf Kabelanfang (I3, I6; S3, S6) herangezogen. Die Darstellung und Speicherung der Daten im Zeitbereich (I2, I5; S2, S5) übernahm das 6-GHz-Oszilloskop (WaveMaster 8600A von LeCroy). Die Auswertung der Messkurven verdeutlicht erhebliche Unterschiede der Störabstrahlung von Infiniband- und Serial-ATA-Steckern und Kabeln. Trotz einer Kabellänge von 10 m für Infiniband und zusätzlichem Einsatz adaptiver Kabel-Equalizer lassen sich signifikante Abstrahlwerte weder im Nahfeld (I1, I4, I3, I6) noch in der EMV-Prüfhalle (I7 – Kabellänge 10 m, I8 – Kabellänge 3 m) eruieren.

Korrekt konstruiertes und entkoppeltes Stromversorgungssystem zeigt Wirkung

Dramatisch sieht es allerdings für die Serial-ATA-Verbindung mit einer Kabellänge von 1 m sowohl im Nahfeld (S1, S4, S3, S6) als auch in der EMV-Prüfhalle (S8 – Kabellänge 1 m; S7 – Kabellänge 5 cm) aus. Erst bei einer sehr kurzen (5 cm) Serial-ATA-Kabel-Verbindung (S7) „normalisieren“ sich die Störabstrahlwerte. Verantwortlich sind massive Impedanz-Fehlanpassungen und unzulängliche Schirmungen der Serial-ATA Stecker-Kabel-Kombination. Mit für Kabel geeigneten Ferrit-Konstrukten, die nachträglich angebracht werden können, lassen sich die Abstrahlwerte etwas reduzieren. Dass diese Möglichkeit überhaupt besteht, ist hauptsächlich der breitbandigen Stromver-



60 Entwickler in jeder Box.

Unser Team von Programmierern hat in über 100.000 Arbeitsstunden pro Jahr die Matrox Imaging Library (MIL) entwickelt. Wir haben unsere Arbeit getan, damit Sie sich auf die Erstellung Ihrer Anwendung konzentrieren können.

Unsere praxiserprobte industrielle und wissenschaftliche Bildverarbeitungsbibliothek:

- bietet eine einheitliche Programmierschnittstelle mit Unterstützung der gesamten Hardwarepalette von Matrox Imaging
- wurde direkt von Matrox für die Verwendung der Intel® MMX™/SSE/SSE2 Technologie optimiert
- entlastet transparent mit der ASIC/FPGA-basierten Matrox Verarbeitungshardware
- läuft unter Microsoft® Windows® oder Linux

Bestellen Sie Ihre kostenlose 30-tägige MIL Demo-CD: www.matrox.com/imaging/de/produkte/mil/home.cfm



Matrox Imaging Library (MIL) 8.0
Jetzt mit Metrologie-Modul!

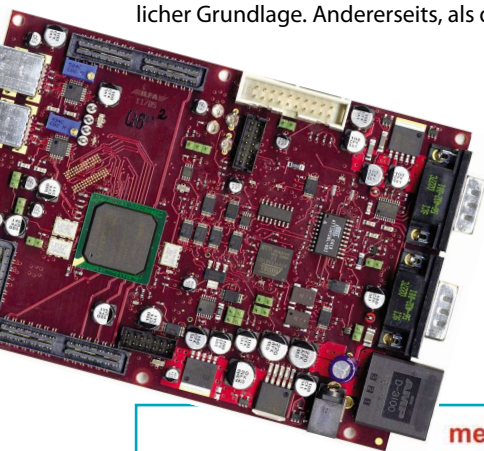
» Nehmen Sie heute noch Kontakt zu uns auf!

089/621 70-520
imaging.info@matrox.com
www.matrox.com/imaging/de



► sorgungs-Entkopplung mit gestapelten Stromversorgungsflächen zuzuschreiben. Wie anschaulich aus der Messung S7 (EMV-Prüfhalle) zu entnehmen ist, reduzieren sich die Abstrahlwerte bereits bei einer Kabellänge von 5 cm deutlich und erreichen bei noch weiterer Reduktion „Infiniband-Werte“. Ein deutlicher Beweis für die herausragenden Eigenschaften von Boards mit korrekt konstruierten und entkoppelten Stromversorgungssystemen.

Anmerkung zu den Bildern 11, 13, 14 und 16 für die Infiniband-Kabelverbindung: Es handelt sich hier keinesfalls um platzraubende Kopien ein und derselben Messung. Es war schlicht und ergreifend einfach NICHTS Brauchbares an Abstrahlung zu messen(!). Die wenigen „Zacken“ in der Kurve sind eher anderen Störsendern wie „Handymasten“ zuzuordnen. Eine aus Sicht des Verfassers und erst recht aus Sicht des Lesers „enttäuschende“ Grafik, die nur gähnende Langeweile hervorrufen kann. Daraus zu vermuten, die Serial-ATA-Kabelverbindung mit ihren „erfrischend auffälligen“ Messkurven wäre bewusst nur als Rechtfertigung für diesen Vergleich schaltungstechnisch „hinaufkonstruiert“ worden, entbehrt jeglicher Grundlage. Andererseits, als dia-

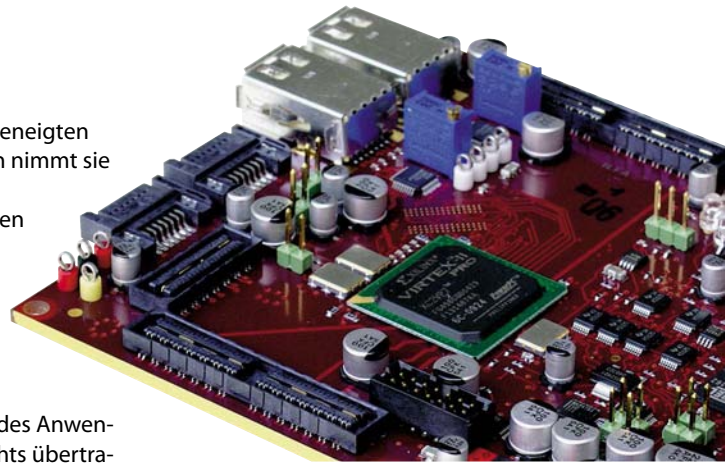


metralen Widerpart um im geeigneten Leser Spannung zu erzeugen nimmt sie der Autor dankbar an. Doch welche Hinweise stecken tatsächlich in diesen Kurven (S1, S4, S3, S6)? Was lässt sich daraus Brauchbares herausziehen? Zuerst einmal die unerfreuliche Erkenntnis, dass bei fehlenden Nutzdaten (S4, S6; aus Sicht des Anwenders sollte eigentlich gar nichts übertragen werden) die Abstrahlwerte bei der Basisfrequenz von 1,25 GHz ein Maximum erreichen. Dies liegt darin begründet, dass normalerweise diese Basisfrequenz zur Synchronisation der FPGA-Transceiver Empfänger-Hardware benötigt wird, um keine unakzeptabel langen Aufsynchronisationszeiten entstehen zu lassen.

Kosten und Nutzen von Kabelverbindungstechniken

Wenn man Pech hat fliegt man durch simples Nichtstun (keine Nutzdaten) erst recht durch die EMV-Prüfung. Manche Hardwareentwickler behaupten, dass dies der eigentliche Grund für die hohe Zahl an Wiederholungsprüfungen in den EMV-Messhallen wäre, indem sie auf die Tatsache verweisen, dass die meisten Prüflinge überhaupt weder FPGAs noch serielle Hochgeschwindigkeits-Transceiver auf der Leiterplatte hätten. Vor so viel Sarkasmus distanziert sich der Autor allerdings entschieden.

Beim Verwenden von Kabel-Verbindungstechniken für Übertragungsraten im Multi-GigaBit/s-Bereich, besonders im industriellen Umfeld, gilt es Kosten und Nutzen sorgfältig gegeneinander abzu-

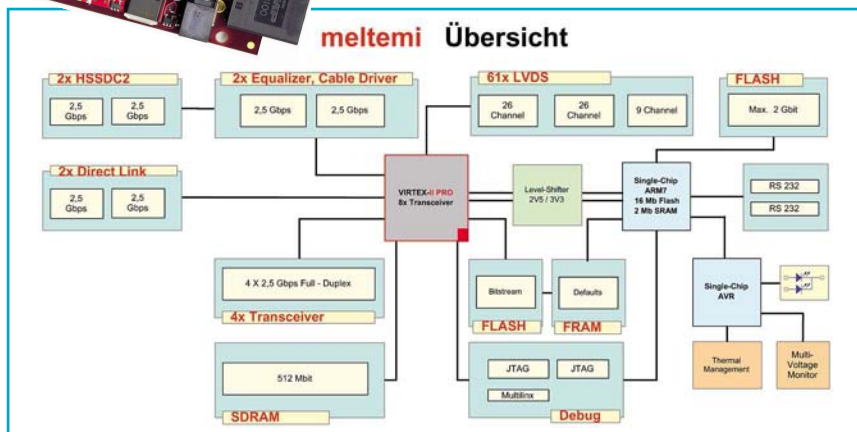


■ Bild 3: Flächige entkoppelte Stromversorgungsebenen sind im Lagenaufbau integriert

wägen. Das Beispiel Serial-ATA-Verbindungstechnik mit erheblich höheren Störabstrahlwerten zwingt den Hardwareentwickler zu einem umfassenderen und zeitraubenderen Studium von Lösungsansätzen in vielen, künftig übergreifenden Wissensgebieten. Das widerspricht der derzeit globalen Marktdoktrin immer leistungsfähigere Hardware in immer kürzeren Zeitabständen serienreif zu entwickeln und termingerecht in den entsprechenden Marktfenstern zu positionieren. Langfristige Kooperationen und Partnerschaften werden immer wichtiger, zumal die Grundlagenforschung durch die Bank aufwändiger wird. Doch prüfe, wer sich ewig bindet.

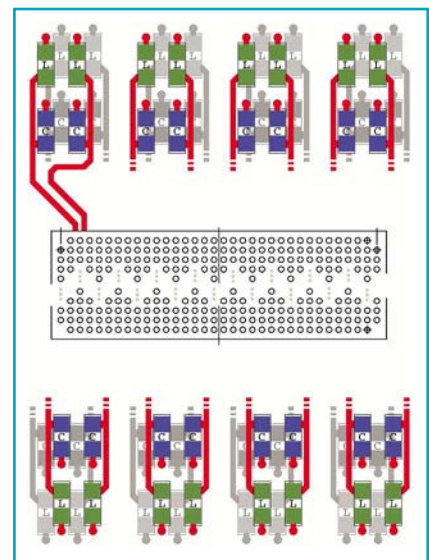
Gartenzäune und andere Kalamitäten

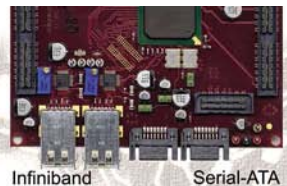
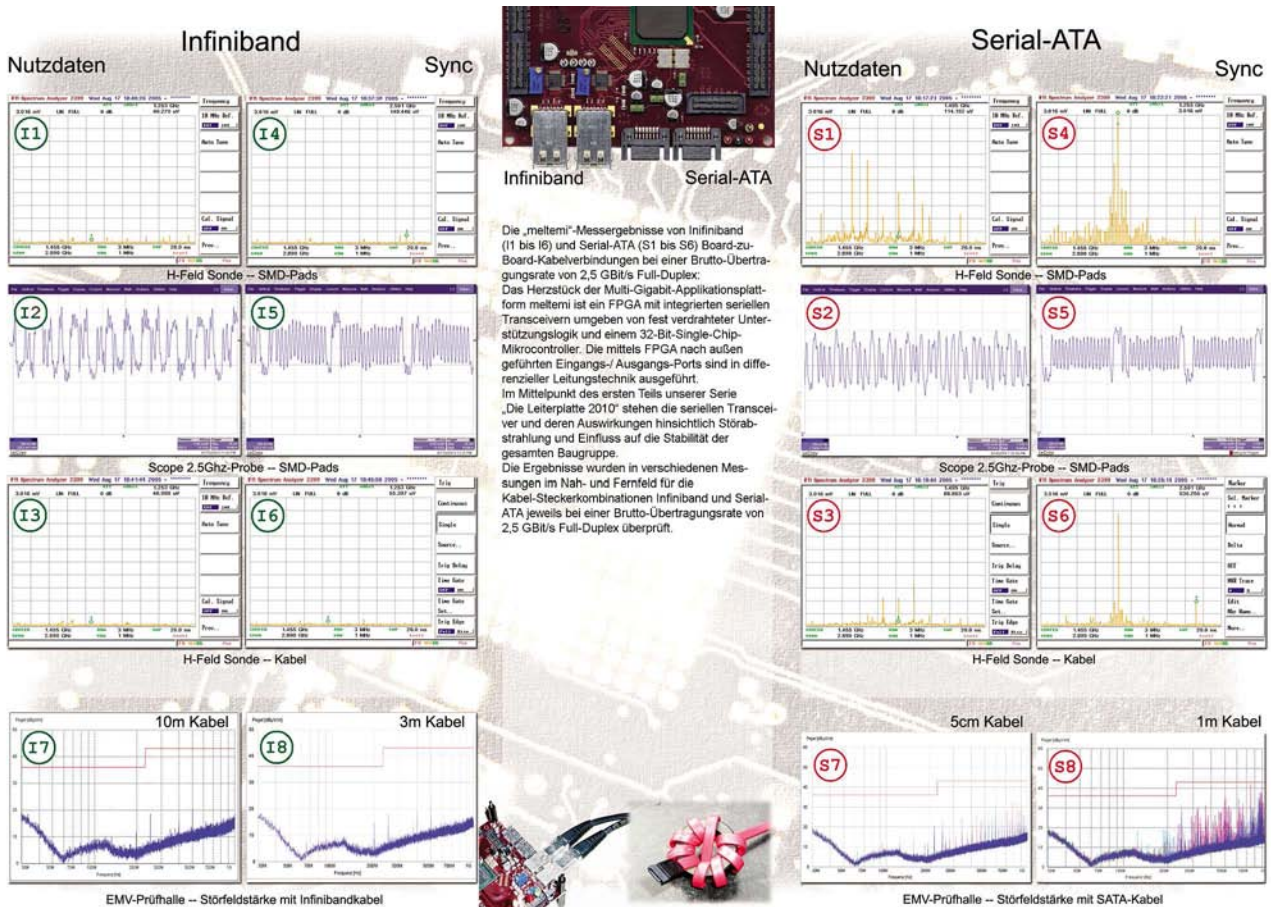
Entwickler, die sich mit High-Speed-Technologien herumschlagen müssen, also in naher Zukunft praktisch alle, denen zusätzlich die hohe Ehre zuteil wurde, FPGAs mit schnellen seriellen Transcei-



▲ Bild 1: Blockschaltbild und bestücktes meltemi-Board: Mittelpunkt ist ein FPGA mit integrierten seriellen Transceivern, umgeben von fest verdrahteter Unterstützungslogik und 32-Bit-MCU

► Bild 2: „Gartenzäun“ für 8 Transceiver auf Ober- und Unterseite: Das Ergebnis hinsichtlich Verbesserung der Signalintegrität zwecks störarmer Datenübertragung ist nahezu unbrauchbar.





Die „meltemi“-Messergebnisse von Infiniband (I1 bis I6) und Serial-ATA (S1 bis S6) Board-zu-Board-Kabelverbindungen bei einer Brutto-Übertragungsrate von 2,5 GBit/s Full-Duplex: Das Herzstück der Multi-Gigabit-Applikationsplattform meltemi ist ein FPGA mit integrierten seriellen Transceivern umgeben von fest verdrahteter Unterstützungslogik und einem 32-Bit-Single-Chip-Mikrocontroller. Die mittels FPGA nach außen geführten Eingangs-/Ausgangs-Ports sind in differenzieller Leitungstechnik ausgeführt. Im Mittelpunkt des ersten Teils unserer Serie „Die Leiterplatte 2010“ stehen die seriellen Transceiver und deren Auswirkungen hinsichtlich Störabstrahlung und Einfluss auf die Stabilität der gesamten Baugruppe. Die Ergebnisse wurden in verschiedenen Messungen im Nah- und Fernfeld für die Kabel-Steckerkombinationen Infiniband und Serial-ATA jeweils bei einer Brutto-Übertragungsrate von 2,5 GBit/s Full-Duplex überprüft.

vern auf ihren Leiterplatten ihr Eigen nennen zu dürfen, werden anfangs die seltsam anmutenden Drossel-Kondensator-Konstrukte zur „Entstörung“ der Transceiver-Stromversorgungspins missstrauisch beäugt haben. Bei 8 Transceivern braucht man immerhin 32 Drosseln und ebenso viele Kondensatoren (Bild 2). Aber so richtig schöne „Gartenzäune“ bekommt man bei 24 Transceivern. Für jeden Leiterplattenlayouter ein Horror-Szenario hinsichtlich Platzierung, Einhaltung der Regeln für differenzielle Leitungsführung und zahlreicher weiterer Maßnahmen zur Verbesserung der Signalintegrität zwecks stabiler, möglichst störarmer Datenübertragung. Der Aufwand, um all dies unter einen Hut zu bringen, ist enorm. Das Ergebnis bleibt kümmerlich bis unbrauchbar. Weil hier der korrekten breitbandigen Stromversorgungsentkopplung einfach NICHT Genüge getan wurde. Trotzdem wird diese Gartenzäun-Lösung, „zwingend“ in den Datenblättern und Applikationsnoten vorgeschrieben – nicht einfach nur vorgeschlagen. Was bietet der Verursacher, der Halbleiterhersteller, sonst noch an? Bis auf weni-

ge Ausnahmen die gute alte Stützkondensator-Lösung mit meist 100 nF SMD-Kondensatoren. Bei den zu erwartenden hohen Schaltfrequenzen ist der Wirkungsgrad einer solchen Stützung zuverlässig mit praktisch null anzusetzen – eine leicht zu merkende Faustformel. Viel Hilfe kann man also nicht erwarten. Vernünftiger wäre, auf diese Gartenzäune von vornherein zu verzichten (Bild 2) und sie komplett wegzulassen (Anmerkung: Es gibt allerdings Lösungsvorschläge, wo man sie doch wieder benötigt, aber dann nutzen sie auch etwas). So einfach ist es allerdings nicht, denn sie wurden nicht ohne zwingenden Grund den Board-Designern aufkrotyriert.

Breitbandig entkoppelte Stromversorgungsebenen

Über eine Art Tauschhandel kann der Physik jedoch Genüge getan werden: Statt Unmengen an Drosseln, Kondensatoren und Einzelleitungen werden flächige, geschickt über Kondensatorgruppen breitbandig entkoppelte Stromversorgungsebenen in bestimmter Anord-

nung in den Leiterplatten-Lagenaufbau integriert. Im Applikations-Board „meltemi“ wurde ein solcher Lagenaufbau realisiert und harten Prüfungen unterworfen. Die Resultate können sich sehen lassen: Sowohl hinsichtlich der Störabstrahlungswerte im Nahfeld als auch im Fernfeld erzielt die Leiterplatte hervorragende Ergebnisse. Ebenso ließen sich mit der Infiniband Kabel-Stecker-Kombination bei Übertragungsraten von 10 m (auch bei zwei parallel betriebenen Kanälen – also 5 GBit/s) keine Übertragungsfehler feststellen. (cm) Literatur: RocketIO™ Transceiver User Guide UG024 (v2.5) December 9, 2004, Virtex-II Pro, Xilinx, Virtex-II Pro and Virtex-II Pro X FPGA User Guide UG012 (v3.0), August 2004, Virtex-II Pro, Xilinx Applikationsbericht uH-Feldsonde AC220, Alice Meßtechnik GmbH Wenn Leiterplatten strahlen, Prof. Chr. Dirks Vorteile dünner Substrate in Ground-/Powerplane-Systemen, Prof. Chr. Dirks Ilfa-Akademie „meltemi“-Folder

Schnelle differenzielle Signale entflechten

Die High-Speed-Regeln beachten

Moderne EDA-Software wartet mit vielen „hilfsbereiten“ Assistenten auf, um den Weg für ein 100%iges Routing-Ergebnis zu ebnen. Erfüllt dieses Ergebnis die physikalischen Randbedingungen der Hardware hinsichtlich Stabilität und EMV? Tatsächlich kommt man ohne weitere tief greifende von Hand durchgeführte Optimierungen nicht zu den erhofften Ergebnissen. Im zweiten Kapitel schildern die Entwickler mit welchen Maßnahmen sich ein hoher Grad an Hardwarestabilität in Hochgeschwindigkeitsanwendungen erzielen lässt und welche Vorgehensweise sich beim Entflechten differenzieller Hochgeschwindigkeitssignale in der Praxis bewährt hat.

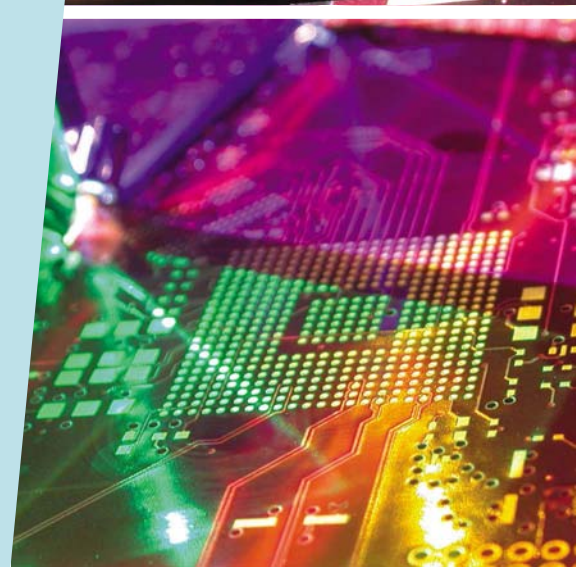
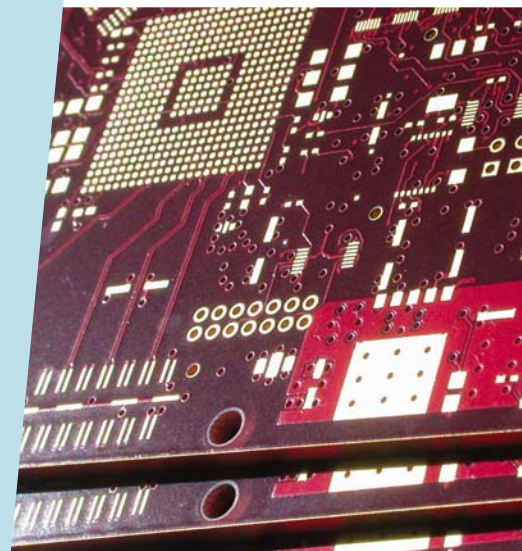
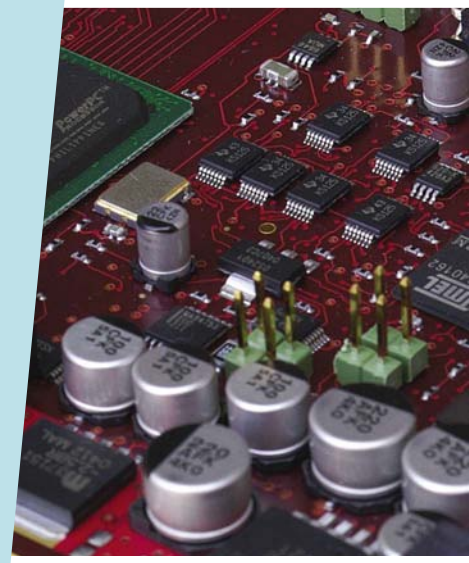
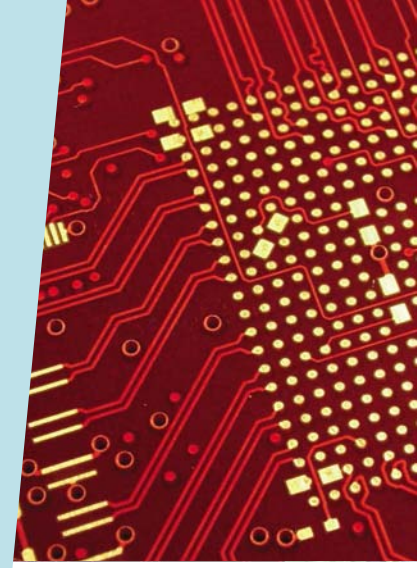
Gerhard Eigelsreiter

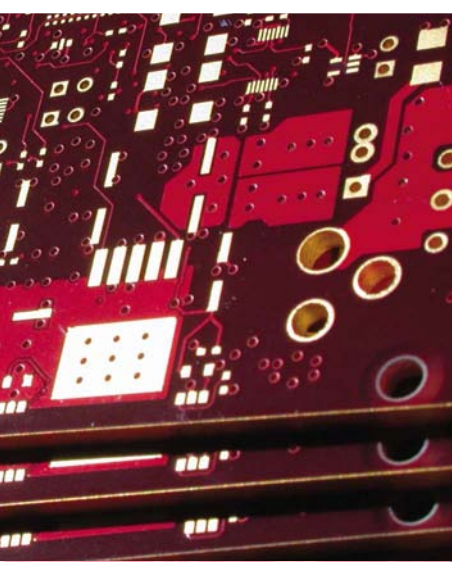
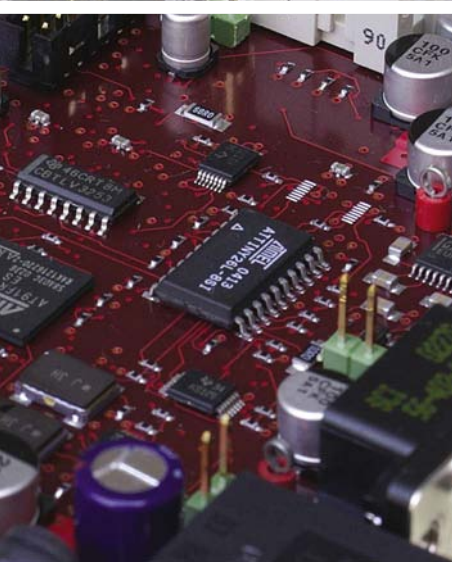
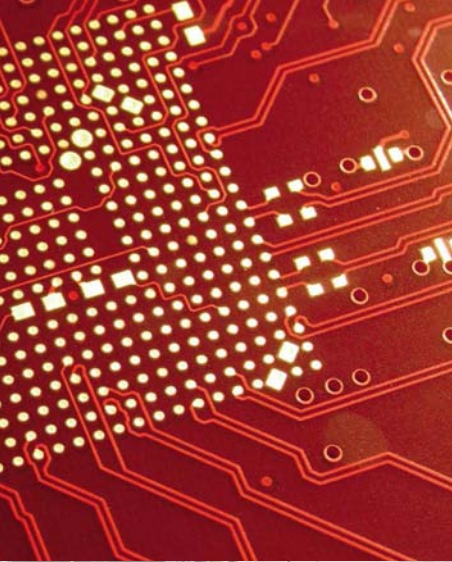
Das detaillierte Sichtbarmachen eines gedanklichen Bildes wird im Allgemeinen mit dem Begriff „Layout“, aus dem Englischen: Anlage oder Plan, umschrieben. Die Erweiterung zum Wortumgetüm „Leiterplattenlayout“, auch „Leiterplattenentflechtung“, wirkt nahezu anheimelnd vertraut im Vergleich zur entkomprimierten Version: „Für die Träger elektronischer Schaltwerke (die Leiterplatte) ergibt sich zwecks Erstellung von Fertigungsdaten die Notwendigkeit, die im Schaltplan zwischen den Anschlüssen von aktiven und passiven elektronischen Bauelementen abgebildeten Verbindungen in eine auf eine gedruckte Schaltung aufzutragende geometrische Form zu bringen“. So umständlich und subtil wie diese Formulierung verhält es sich mit der Bedienung vieler Leiterplattenentflechtungs-Softwarepakete. An allen Ecken und Enden lauern „hilfsbereite“ Assistenten um den Weg für ein 100%iges Routing-Ergebnis zu ebnen. Doch erfüllt dieses Ergebnis auch die physikalischen Randbedingungen der Hardware hinsichtlich Stabilität und EMV? Tatsächlich kommt man ohne weitere tief greifende per Hand durchgeführte Optimierungen nicht zu den erhofften

Resultaten. Das an sich klare gedankliche Lösungsbild droht in den Überlegungen und Tricks völlig zu versumpfen, um Softwareklippen zu umschiffen und reichlich vorhandene, selten abschaltbare Softwareassistenten in den Griff zu bekommen.

Interdisziplinäre Konstellationen von Experten

Die enorme Komplexität und damit Fehleranfälligkeit der Layout-Tools wird deshalb von vielen Herstellern mit dem Wunsch der Anwender begründet, dem Idealziel vom Knopfdruck-Design möglichst nahe zu kommen. Ein Ziel, das infolge immer kürzerer Produktzyklen weiter denn je entfernt zu liegen scheint. Aus zeitlichen, folglich wirtschaftlichen Gründen reicht es nicht mehr aus, einige wenige Projektsegmente auszulagern. Es bedarf vielmehr einer wesentlich allgemeineren, interdisziplinären Konstellation von Spezialisten, Produktionsunternehmen und Dienstleistern. Einer Gruppierung, die den Bogen von der Grundlagenforschung bis zur Produktion in enger Verzahnung überspannt. Und die auch bereit ist, dieses Knowhow in jeder Phase der Projektentwicklung in





Form von praxisoptimierten Seminaren, begleitenden Beratungen oder kompletten Hardwareentwicklungen zur Verfügung zu stellen. Wer hier absolute Perfektion in allen Disziplinen erwartet, dem folgt die Enttäuschung auf dem Fuße. Der Forschungs- und Entwicklungsumfang wäre infolge des unverhältnismäßig hohen Zeitaufwands nicht zu rechtfertigen und aus wirtschaftlichen Gründen schon gar nicht vertretbar. Dennoch lassen sich ein erstaunlich hoher Grad an Hardwarestabilität in Hochgeschwindigkeits-Anwendungen errei-

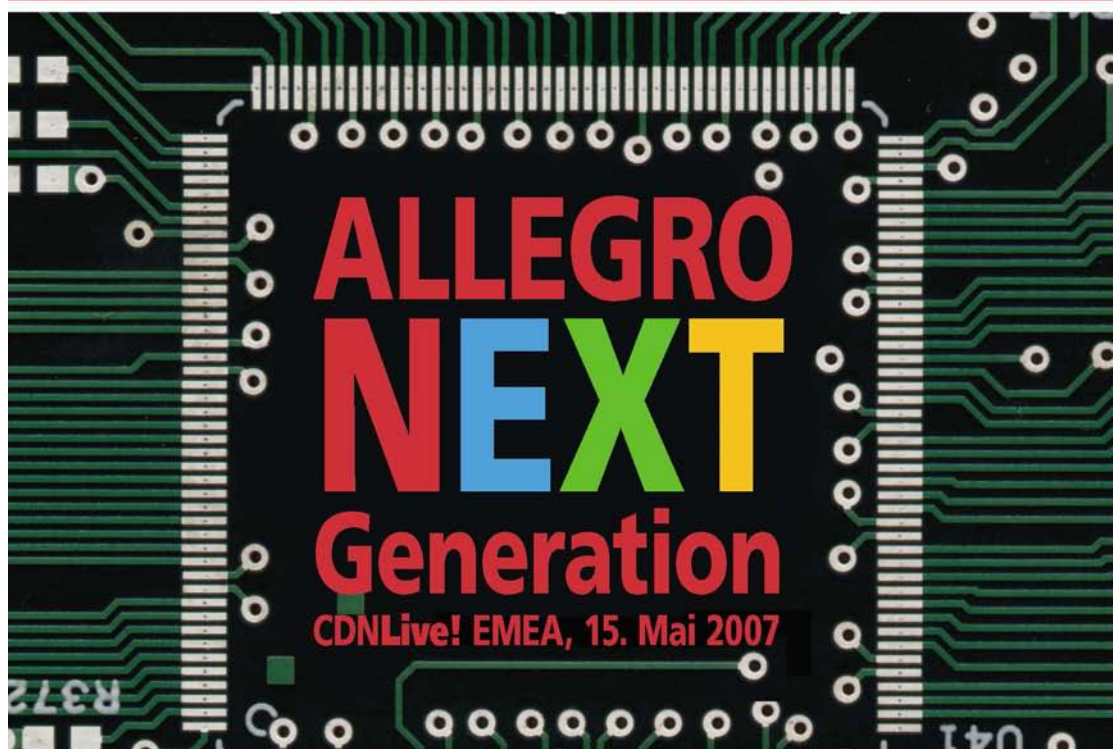
chen und die dafür notwendigen Lösungen vermitteln. Dem Stiefkind Leiterplattenproduktion widmen sich intensiv unsere Partner in den kommenden Kapiteln.

Übergang zu differenziellen Verbindungstechniken

Betrachtet man gängige Layouts gegenwärtiger Leiterplatten, so bilden unsymmetrische (Single-Ended) Leiterbahnverbindungen nach wie vor die überwiegende Basis zum Transport ▶

NEXT Generation Cadence® Allegro® PCB Design Plattform

Erleben Sie die nächsten Allegro Generationen am 15. Mai in München auf der CDNLive! EMEA 2007



Beim FlowCAD PCB Tag anlässlich CDNLive! EMEA 2007 in München können Sie erleben, wie Cadence zukünftig neue Standards im PCB Design setzt. Nutzen Sie die Gelegenheit sich mit anderen PCB Designern über Steigerungen Ihrer Produktivität auszutauschen.

Die Präsentation wird hauptsächlich auf Deutsch gehalten.

Melden Sie sich kostenlos an unter:

www.FlowCAD.de/cdnlive



FlowCAD

- von Hochgeschwindigkeitssignalen. Eine wachsende Fülle damit verbundener Probleme hinsichtlich Signalintegrität, speziell „Ground Bouncing, sind die negativen Begleiterscheinungen. Es wird zwar den direkten Signalverbindungen (Hinstrom) alle Aufmerksamkeit zuteil, jedoch den Rückstrompfaden (Masse oder Masseleitungen) keinerlei Beachtung im Layout geschenkt. Die Folgen sind zunehmende Instabilitäten und Funktionsstörungen der gesamten Hardware. Dies gilt in besonderem Maße der breitbandigen Stromversorgungsentkopplung, die inzwischen untrennbar mit stabiler Gerätefunktionalität einhergeht.

Welche Gründe stehen diesem längst überfälligen „Paradigmenwechsel“, dem Übergang zu differenziellen Verbindungstechniken, entgegen? Auf rein logischer Ebene betrachtet: Keine! Na also, könnte man jetzt denken, her mit der neuen Technik. Leidgeprüfte, erfahrene Layouter werden spätestens hier heftig abwinken. Und in der Tat, das Misstrauen erweist sich mehr als gerechtfertigt.

Differenzielle Leitungsführungen werden von einer Vielzahl an Regeln und Maßnahmen begleitet, die umfangreiche Veränderungen an bisher gewohnten Lösungsmethoden erfordern.

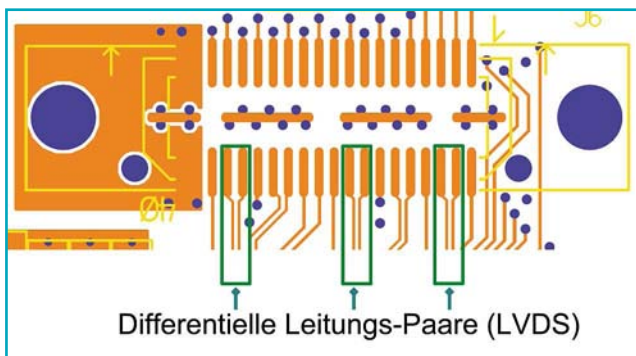


Bild 1: Leitungsführungen von differenziellen und „Single-Ended“-Signalen. Alle Leitungen sind gemeinsam über ein und denselben mit 50 Ω Impedanz (gegen GND) ausgelegten Stecker geführt.

Dies haben die EDA-Tool-Hersteller ebenfalls seit geraumer Zeit erkannt und reagieren mit Zusatzfunktionen und -optionen in ihren Softwareupdates. Trotz allem bleibt immer noch viel zu viel Spielraum für interaktive Eingriffe übrig.

PCIe fordert bei 2,5 GBit/s Übertragungsrate maximale Längenunterschiede von 0,1 mm

Ein Auszug der geforderten Maßnahmen und einzuhaltenen Regeln soll mehr Licht ins Dunkle bringen:

- 1.) LVDS (Low Voltage Differential Signaling) bedingt zwei nebeneinander, manchmal auch übereinander laufende Leitungspfade in bestimmten vorher zu definierenden geometrischen Abständen zueinander. Diese Abstände müssen mit der gewünschten Terminierung (üblicherweise 100 Ω) korrelieren.
- 2.) Abhängig von der Höhe der Übertragungsgeschwindigkeit dürfen die Leitungslängenunterschiede innerhalb der differenziellen Paare bestimmte Werte nicht überschreiten. Bis 1 GBit/s sollten die Längen um nicht mehr als 0,5 mm differieren. PCIe fordert bei 2,5 GBit/s Übertragungsrate maximale Längenunterschiede von 0,1 mm!

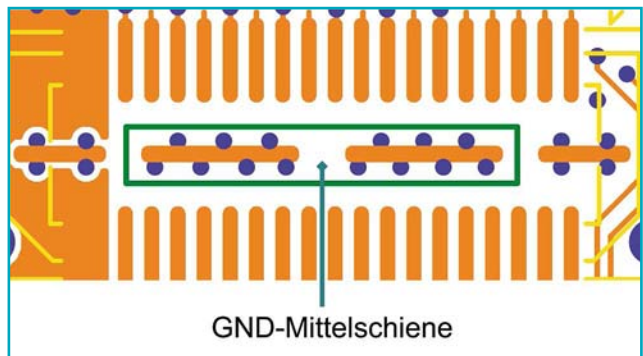


Bild 2: Die Pads (im grünen Rechteck) der GND-Schiene dieser Steckerkonstruktion sind mit etlichen Vias (blaue Punkte) an die innen liegenden GND-Flächen angebunden. Schlitzbildungen in Vcc-Flächen durch zu eng aneinander gereihete GND-Vias (blaue Punkte) sind jedoch unbedingt zu vermeiden.

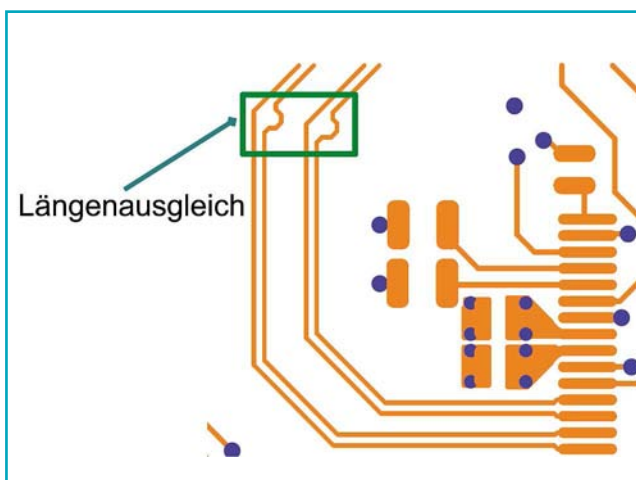


Bild 3: Layout-Auszug vom Längenausgleich (grünes Rechteck) von differenziellen Leitungspaaren. Bei sehr schnellen Übertragungsraten (mehrere GBit/s) ist dieser Ausgleich segmentweise durchzuführen.

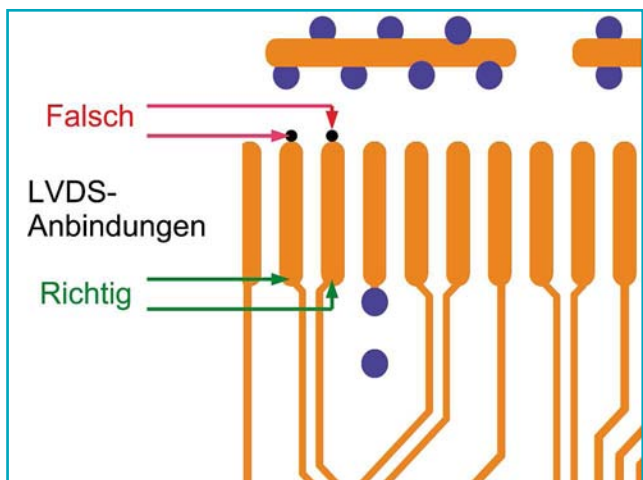


Bild 4: Zwecks Vermeidung von Leitungsstubs (ins Leere gehende Leitungsegmente) muss auf der korrekten Padseite (Konstruktion des Steckverbinders beachten) angebunden werden. Hier ein Beispiel für den QSE-020-01-L-D-A von Samtec.

- 3.) Impedanz-Änderungen innerhalb der Übertragungsstrecke sind zu meiden respektive zu minimieren. Unvermeidliche Lagenwechsel lassen sich mittels symmetrischer Via-Paare lösen. Ideal sind Via-Paare mit lediglich moderaten Impedanzänderungen (impedanzdefinierte Vias). Zur Bestimmung der geometrischen Werte der zusätzlichen GND-Vias müssen geeignete Software-Tools herangezogen werden.
- 4.) Die Abstände zwischen differenziellen Leitungspaaren sollten mindestens den 5-fachen Wert des Innen-Abstandes eines solchen Leitungspaars erreichen um Impedanzverzerrungen und Übersprechen zu minimieren. Dies gilt ebenso für benachbarte „Single-Ended“ -TTL-Leitungen.
- 5.) Das Füllen von Freiräumen mittels Masseflächen wirkt impedanzändernd und hat zu unterbleiben.

Rückstrom nah zum Hinstrom führen

Als Nachteil differenzieller Übertragungsverfahren wird besonders häufig die doppelte Anzahl zu verlegender Leitungen angeführt. Dies ist insofern bedenklich, weil hier die wichtigste Merkregel: „Der Rückstrom ist so nahe wie möglich zum Hinstrom zu führen“ bereits in der Vergangenheit bei TTL-Verbindungen (Single Ended) völlig ignoriert wurde. Um es klarer zu formulieren: Die Rückstromleitung wurde schlichtweg durch das GND-Symbol im Schaltplan ersetzt und im Layout als lästige Masseleitung oder bestenfalls halbherzige Massefläche mit vielen Schlitzern realisiert. ES GIBT ABER KEINE MASSEFLÄCHE ODER MASSELEITUNG MIT DER IDEAL-IMPEDANZ von 0Ω ! Deswegen sind die Ausdrücke Masse oder Massefläche durch den Begriff Rückstromleitungen schleunigst zu er-

setzen, will man in Zukunft noch den Hauch einer Chance haben einigermaßen glimpflich durch die EMV-Prüfung zu kommen, ganz zu schweigen von stabiler Hardwarefunktionalität. Als Vorteile differenzieller Übertragungsverfahren sind neben hoher Störsicherheit und geringen Spannungshüben (ca. 350 mV bei LVDS)

vorzugsweise das fast völlige Fehlen von Ground-Bouncing-Effekten sowie Übertragungsraten >10 GBit/s erwähnenswert. Als nachteilig wird derzeit der hohe Aufwand in der Layoutumsetzung bedingt durch komplexe Regelwerke und vermehrter Einsätze interaktiver Routingstrategien empfunden. Die Unterstützung durch geeignete

Werkzeuge hinkt derzeit weit, häufig in kaum erträglichen Ausmaßen, hinterher. Unterm Strich überwiegen dennoch die Vorteile hinsichtlich EMV und Signalintegrität bei Weitem. Beispiele für die korrekte Anbindung impedanzdefinierter Stecker und differenzieller Leitungsführungen zeigen die Bilder 1 bis 4. (cm)

FPGA als Augen-Öffner!

6,375-Gbit/s-Transceiver
Jetzt lieferbar!



Augendiagramm bei 6,375 Gbit/s Übertragungsrate. Weitere Charakterisierungs-Details unter: www.altera.com/stratix2gx/characterization.

Die komplette Transceiver-Lösung mit der besten Signal-Integrität.

Stratix® II GX-FPGAs bieten die industrieweit umfassendste Lösung für schnelle, serielle Applikationen. Mit deutlich geringerer Leistungsaufnahme als Wettbewerbsprodukte verfügen die Stratix II GX-FPGAs über bis zu 20 Transceiver und weisen eine sehr hohe Störfestigkeit gegenüber Rauschen bei Datenraten von 622 Mbit/s bis zu 6,375 Gbit/s auf. Darüber hinaus können Entwickler die Design-Software Quartus® II, ein weites Spektrum an IP-Cores, System-Modelle, Entwicklungsboards und umfangreiche Dokumentation sofort nutzen – alles was man für ein erfolgreiches, komplettes High-Speed-Design in Rekordzeit benötigt.

- Bis zu 20 Transceiver mit dynamischer Pre-Emphasis, Signalentzerrung und Steuerung der Ausgangsspannung
- Höchste Signalintegrität von 622 Mbit/s bis zu 6,375 Gbit/s mit ausgezeichneter Störfestigkeit gegenüber Rauschen (Kanal-zu-Kanal)
- Geringe Leistungsaufnahme (140 mW/Kanal bei 3,125 Gbit/s oder 240 mW/Kanal bei 6,375 Gbit/s) und bestes Jitter-Verhalten
- Spezielle Schaltungen unterstützen ein weites Spektrum an Protokoll-Standards für verschiedene Datenraten

Entdecken Sie die Stratix II GX-FPGAs noch heute, unter: www.altera.com.



The Programmable Solutions Company®

www.altera.com

Altera GmbH +49 89 32 18 250

Distributoren
(D) EBV Elektronik: +49 81 21 77 40
Sasco Holz GmbH: +49 89 46 110

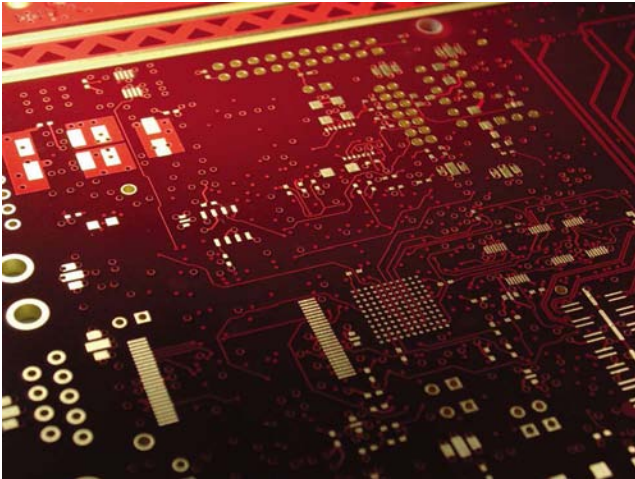
(A) EBV Elektronik: +43 18 91 520
Sasco Holz GmbH: +43 13 60 460

(CH) EBV Elektronik: +41 17 45 61 61
Sasco Holz GmbH: +41 18 17 62 80

Copyright © 2006 Altera Corporation. Alle Rechte vorbehalten. Altera, The Programmable Solutions Company, das Altera Logo, spezifische Bautein-Bezeichnungen sowie bestimmte Bezeichnungen und Logos, die entsprechend gekennzeichnet sind, sind Warenzeichen und/oder Service-Zeichen der Altera Corporation in den USA und anderen Staaten. Weitere Marken und Produkte sind Warenzeichen der jeweiligen Besitzer. Altera Produkte sind durch zahlreiche US-Patente, Patente in anderen Ländern und ansichende Patente sowie Copyrights geschützt.

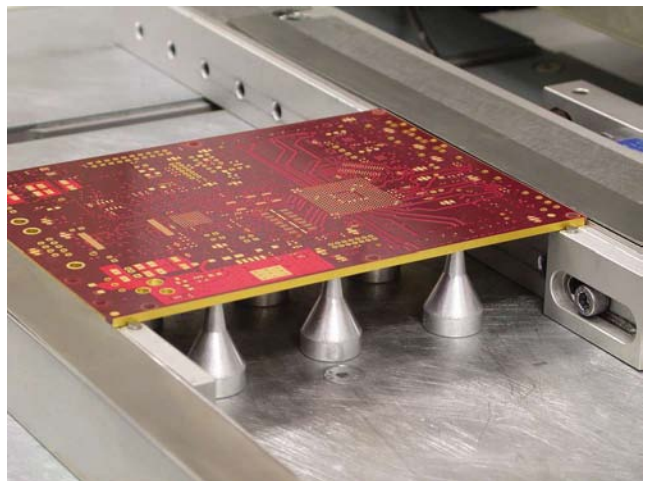
Die physikalischen Eigenschaften revolutioniert

Metallisierung der Leiterplattenkanten

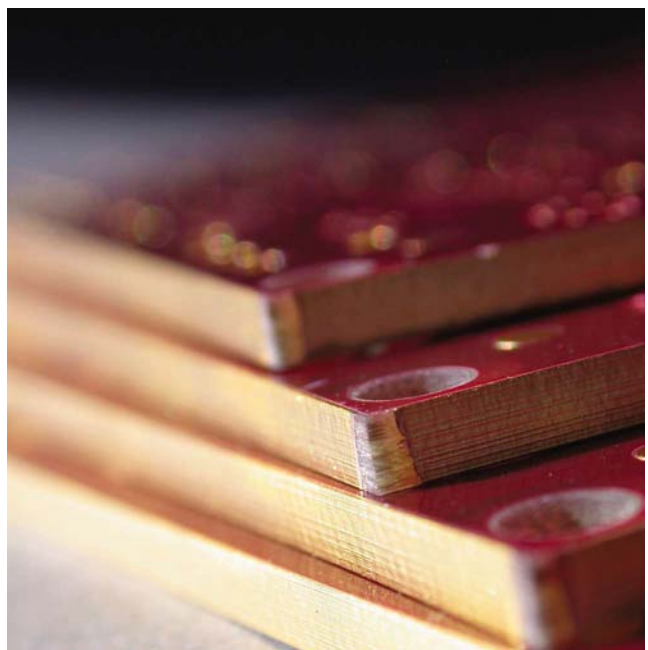


Eine Besonderheit der meltemi-Leiterplatte ist die Kantenkontaktierung (oder auch Kantenmetallisierung). Die Kantenkontaktierung bringt für Baugruppen mit mittlerem bis hohem Anspruch an EMV, Signalintegrität und Entwärmung deutlich messbare Vorteile bei vergleichsweise vernachlässigbaren Kosten. Die Praxis hat bewiesen, dass sich die Theorie umsetzen lässt und funktioniert.

Arnold Wiemers



■ Eine Baugruppe funktioniert unter EMV-Aspekten stabil, wenn sie keine eigene Störstrahlung abgibt (Emission) und wenn sie nicht auf Störungen durch fremde Baugruppen (Immission) reagiert. Technisch gesehen ergeben sich diese Störungen durch die Signalübertragung zwischen den Komponenten einer Baugruppe oder zwischen mehreren Baugruppen eines Gerätesystems. Die zielgerichtete Signalübertragung auf komplexen Multilayersystemen findet mittels der Leiterbahnen statt. Die Stromversorgung erfolgt über flächige Ebenen. Berücksichtigt werden muss, dass für jede Signalübertragung natürlich auch eine Rückleitung vorhanden sein muss (die sogenannte GND-Plane), und dass der Informationstransport nicht in zweidimensionalen Paketen, sondern in dreidimensionalen elektromagnetischen Feldern stattfindet. Damit ist jede Baugruppe (und jede Leiterplatte) ein gigantischer elektronischer Mikrokosmos mit einer



kaum vorstellbaren Ereignisvielfalt auf kleinstem Raum. Hier liegt der Schlüssel für eine erweiterte Strategie zur Erlangung der EMV-Stabilität. Der Aufbau eines Multilayers besteht in der Übereinanderschichtung von Signallagen und Powerplanes. Beim Betrieb einer Baugruppe wird Energie erzeugt, aber nicht benötigte Energie über den Kantenbereich der Powerplanes abgestrahlt. Das Schaltungskonzept bemüht sich, diese Effekte zu kompensieren, beispielsweise durch die Signalterminierung, durch definierte Leitungseigenschaften (Impedanz) oder durch hochkapazitive Multi-Power-Systeme (= MPS). Der Erfolg dieser linearen Signalübertragung kann nicht vollständig sein. Es fehlt eine effektive Kontrolle der elektromagnetischen Felder im dreidimensionalen Raum der Leiterplatte. Eine Kontrolle kann jedoch erreicht werden, wenn eine Kompartimentierung der Feldbereiche auf und in einer Leiterplatte stattfindet. Im Prinzip kann diese Kompartimentierung durch eine strukturierte Abschirmung erfolgen.

Die Analyse eines Multilayer-Aufbaus ergibt die einfache Erkenntnis, dass jede Lage rechtwinklig an der Kante der Leiterplatte endet. Damit ist die Aufgabe definiert: Die Kontrolle der dreidimensionalen elektromagnetischen Räume auf einer Leiterplatte ergibt sich durch die Abschirmung an der Kante der Leiterplatte. Die Prognose ist, dass sich dadurch das EMV-Verhalten einer Leiterplatte/Baugruppe erheblich verbessert.

■ Das Kontaktieren von Leiterplatten

Um die Funktion der Abschirmung einschätzen zu können, muss die galvanotechnische Kontaktierung erläutert werden. Der Prozessschritt des Kontaktierens ist elementar für die Herstellung von Leiterplatten. Die galvanotechnische Verbindung mehrerer Ebenen einer Leiterplatte erfolgt an der Innenwandung von Bohrungen mittels eines kathodisch-anodischen Verfahrens zur Kupferabscheidung. Topologisch gesehen gehört die Innenwandung einer Bohrung zur Oberfläche der Leiterplatte.

Das Verfahren der galvanotechnischen Kontaktierung führt also grundsätzlich zu einer metallischen Abscheidung auf der Leiterplattenoberfläche. Diese Oberfläche kann auf unterschiedlichste Art durch Bohrungen, Schlitzlöcher oder Fräsungen modifiziert werden. Soll die spätere Leiterplattenkante metallisiert werden, dann ergibt sich für die Herstellung der Leiterplatte vornehmlich eine geringfügige logistische Umstellung der Prozessabläufe. Die zu metallisierende Kontur darf nicht (wie üblich) erst in einem der letzten Arbeitsschritte gefertigt werden, sondern muss bereits vor dem Kontaktieren ausgeführt worden sein. Für die Bearbeitung der Kontur empfehlen sich Fräswerkzeuge. Mit diesen Werkzeugen sind gerade oder runde Konturen problemlos ausführbar. Es können Innenausschnitte und/oder Teilbereiche der Kontur strukturiert werden. Die Konturfräsung kann die Kante über die gesamte Dicke der Leiterplatte freistellen. Es sind aber auch kontaktierbare Niveaufrä-sungen machbar, die nur eine vorgege-

SIE WOLLEN AN DIE SPITZE - WIR HELFEN IHNEN BEIM AUFSTIEG !

INTEGRATED SYSTEM DESIGN + DESIGN FOR MANUFACTURING + ELECTRONIC SYSTEM LEVEL DESIGN + FUNCTIONAL VERIFICATION

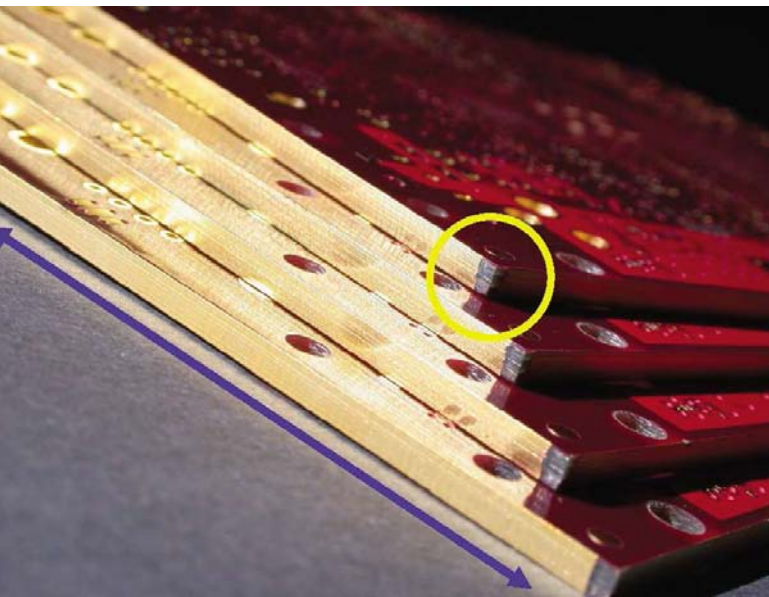


Expedition™ Enterprise | Spitzen-Unternehmen werden Ihnen bestätigen, dass Sie nur mit Zielstrebigkeit, Engagement und Innovationen ganz an die Spitze gelangen. Mentor Graphics konsequente Investition sichert marktführende Produkte.

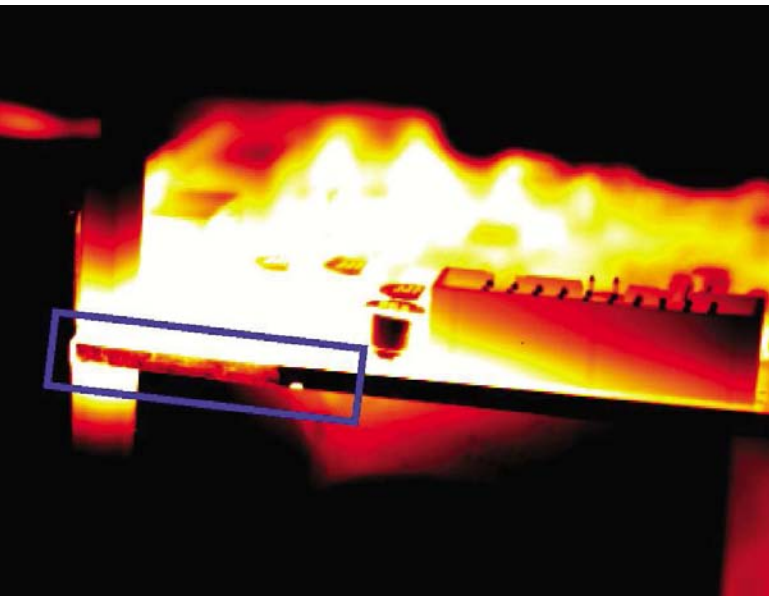
Unsere Expedition™ Enterprise Lösung verkürzt deutlich Designzyklen durch den wirksameren Einsatz der Ressourcen interdisziplinärer Designteams und senkt die Kosten durch ein verbessertes Supply Chain Management. Differenzieren Sie sich und Ihr Team mit einer Lösung, die fortschrittlichste Design- und Fertigungs-Technologien unterstützt. Erfahren Sie mehr unter www.mentor.com/expedition

**Mentor
Graphics**®

THE EDA TECHNOLOGY LEADER



■ Bild 1:
Die Kanten aller kontaktierten Konturfürsungen haben auf der fertigen Leiterplatte die gleiche galvanische Endoberfläche wie die eigentliche Leiterplatte



■ Bild 2:
Eine kompakte Fläche auf einer Leiterplattenseite erreicht nie die Wärmespreizung und Wärmeabstrahlung wie ein um die Kante laufendes flächiges Band

► bene Solltiefe freistellen. Bei umlaufender Kantenkontaktierung muss beachtet werden, dass für die weiteren Fertigungsschritte der Leiterplatte 1 bis 2 mm breite Haltestege zum Produktionsnutzen bleiben müssen, die ohne weiteres nicht kontaktiert werden können.

Die Kanten aller kontaktierten Konturfürsungen haben auf der fertigen Leiterplatte die gleiche galvanische Endoberfläche wie die eigentliche Leiterplatte auch (Bild 1).

Die Fertigungskosten für die Kantenkontaktierung sind gering. Jeder Hersteller von kontaktierten Leiterplatten verfügt über einen Galvanoautomaten und eine Fräsmaschine. Es sind also keine zusätzlichen Investitionen in Maschinen oder Prozesse erforderlich. Lediglich in den Fertigungsabläufen muss eine Fallunterscheidung nach „Kantenkontaktierung: ja/nein“ möglich sein.

■ Entwärmung

Ursprünglich war ein kontrollierteres EMV-Verhalten die Motivation für die Kantenkontaktierung. Es war bald offensichtlich, dass auch die aktive Entwärmung einer Leiterplatte bei kontaktierten Kanten deutlich besser ist.

Die Entwicklung immer leistungsfähigerer Elektronik auf immer kleinerem Raum führt zwangsläufig zu Wärmeproblemen. Die Ableitung der Wärme durch Kühlkörper oder Gehäuse ist aufwändig und verteuert die Gerätekosten. Eines der strategischen Ziele für das CAD-Layout und die Baugruppenkonstruktion muß deshalb die Integration der Entwärmung in das Multilayersystem sein. Zusätzlich zu diversen konstruktiven Eigenschaften eines Multilayers (Dickkupferschichten, MPS) muss das Leiterbild in die Entwärmung einbezogen werden. Dass die Kantenkontaktierung hier keineswegs nur einen trivialen Beitrag leisten kann, folgert aus der Berechnung der Kantenoberfläche einer Standard-Europakarte. Es ergibt sich eine Kantenfläche von $2 \cdot (10 + 16) \cdot 0,15 = 7,80 \text{ cm}^2$.

Diese Nettofläche kann heute bei kompakten Layouts auf den Außenlagen einer Leiterplatte kaum für die Entwärmung freigehalten werden.

Ergänzend muss die Qualität der Entwärmung über die Kontaktierung der Leiterplattenkante bewertet werden. Eine kompakte Fläche auf einer Leiterplattenseite hat nie die Wärmespreizung und Wärmeabstrahlung wie ein um die Kante laufendes flächiges Band (Bild 2).

■ Signalintegrität

Die Bauteilindustrie hat bereits akzeptiert, dass mit der Kantenkontaktierung im Prinzip auch ein Vorteil für die Signalintegrität bei der Signalübergabe von der Baugruppe an die Peripherie entsteht.

Für jedes anspruchsvolle elektronische System (Beispiel: LVDS, High-Speed) ist die Schnittstelle von der Baugruppe zum Kabel und/oder zum Stecker eine Schwachstelle. Hier fehlt für wenige Millimeter auf der Strecke von der Leiterplattenkante bis zum Kabel die Abschirmung oder der durchgehend zuverlässige Massebezug für die Signalübertragung. Deutliche Störungen der Signalqualität können die Folge sein.

Die Signalintegrität an dieser Schnittstelle kann sichergestellt werden, wenn Leiterplatte, Stecker und Kabel eine funktionelle Einheit bilden. Diese Aufgabe wird mit Steckern gelöst, die auf die kontaktierte Kante einer Leiterplatte aufgesetzt werden. Im oberen und unteren Bereich des Steckers erfolgt die Kontaktübergabe der differenziellen Signale an die obere und untere Seite der Leiterplatte. Im Mittenbereich hat der Stecker eine metallische Trennfläche, die gleichzeitig als Referenzplane dient. Rückseitig ist diese Trennfläche mit der partiell metallisierten Kante der Leiterplatte verbunden (Bild 3).

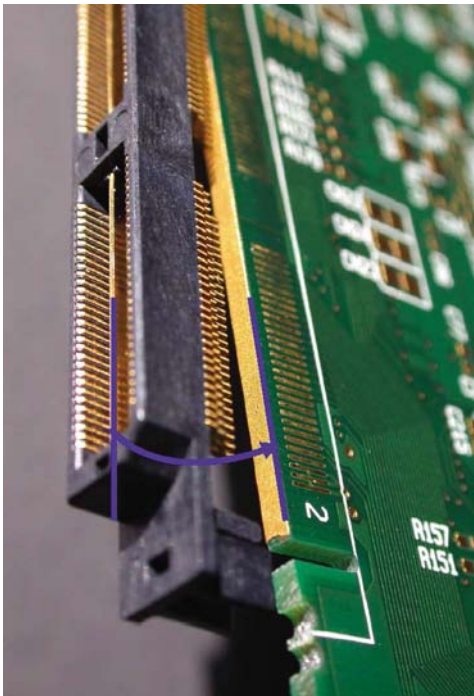


Bild 3: Im Mittenbereich hat der Stecker eine metallische Trennfläche, die als Referenzplane dient. Rückseitig ist diese Trennfläche mit der partiell metallisierten Leiterplattenkante verbunden.

Im Idealfall sieht dadurch jedes Signal vom Kabel über den Stecker bis zum Eingangsbaustein auf der Leiterplatte ein homogenes elektromagnetisches Umfeld.

Das Ergebnis

Die Kantenkontaktierung bringt für Baugruppen mit mittlerem bis hohem Anspruch an EMV, Signalintegrität und Entwärmung deutlich messbare Vorteile bei vergleichsweise vernachlässigbaren Kosten. Die EMV-Stabilität von meltemi ist beeindruckend. Und das Zitat aus dem Prüflabor: „Die Sonde muss defekt sein. Ich messe nichts.“ ist bereits legendär. (cm)

Aufbruch in die dritte Dimension

Man sollte erwarten, dass längst alles durchdacht ist. Zumindest, was die Leiterplattentechnologie betrifft. HDI (High Density Interconnection) und Laservias haben wir hinter uns, die Mikrofeinstleitertechnik (MFT) vor uns, aber das ist letztlich alles nur Mechanik. Kleiner, feiner, preiswerter sind die Maximen der Leiterplattentechnologie. Wer spricht vor diesem Hintergrund von sensationellen Ergebnissen, die sich für die elektro-physikalischen Eigenschaften von Leiterplatten ergeben? Manchmal sind Lösungen simpel und die Frage ist erlaubt, warum niemand eher darauf gekommen ist. Wahrscheinlich haben die Philosophen unter den Kryptographen recht, die meinen, „dass nichts so verborgen ist, wie das Offensichtliche“. Wer täglich mit Leiterplatten umgeht, weiß, dass es eine „Bestückungsseite“ und eine „Lötseite“ gibt, manchmal auch „TopLayer“ und „BottomLayer“ oder „Primärseite“ und „Sekundärseite“ genannt. Hat eine Leiterplatte noch mehr Ebenen, dann werden auch diese akribisch und zweifelsfrei durchgezählt und bekommen einen Namen. Die dritte Dimension der Leiterplatte, die umlaufende Kante, hat keinen Namen. Für die Kante hat sich bisher kaum jemand interessiert. Das wird sich künftig ändern.

LASER-STENCIL®

EDELSTAHL PRÄZISIONS SCHABLONEN

1 Schablone im Pool lasergeschnitten

- ab fertigen Produktionsdaten
- max. Größe 270 x 210 mm
- max. 1000 Öffnungen
- inkl. gravierte Passermarken
- inkl. Beschriftung
- inkl. Endbehandlung

€ 57,45*

inkl. MwSt.
* zzgl. Versandkosten
UPS Standard (D) € 6,90

Tel.: 0 61 20 / 90 70 10
Fax: 0 61 20 / 90 70 14
info@schablone.de

DIN EN ISO 9001:2000
Zertifikat Nr. 01 100 004044

Einfach Datei senden und ONLINE bestellen:
SCHABLONE.DE



**Systemintegration
in der Mikroelektronik**
Messe & Kongress
Nürnberg 24.-26. April 2007

Das ganze Spektrum des Testens



Flying Probe Tester • Semiconductor Tester • Boardtester



Besuchen Sie uns
auf der SMT
Halle 7, Stand 147

SPEA GmbH
Systeme für professionelle Elektronik und Automation
Ruhberg 2
D-35463 Fernwald
www.spea-ate.de

Tel.: 064 04 / 697-0
Fax: 064 04 / 697-120
E-Mail: spea@spea-ate.de

Was moderne Multilayer-Systeme leisten können

Ein elegantes Chaos

Der Aufbau des Multilayers bestimmt maßgeblich die Funktionen einer elektronischen Baugruppe. Um deren störsticheren Betrieb zu gewährleisten, müssen Stromversorgung, Signalintegrität und Impedanz des Multilayers kontrolliert werden. Alle drei physikalischen Eigenschaften lassen sich durch die strategische Anordnung der beiden elementaren Lagentypen Stromversorgungs- und Signalebene realisieren. Obwohl das „meltemi“-Board mit insgesamt 20 Lagen weit von einem Standardprodukt entfernt ist, lässt sich die hier geschilderte Multilayer-Aufbau auch auf einen 10- oder 8-Lagen-Multilayer übertragen.

Arnold Wiemers

■ Auf einem Multilayer sind die elementaren Verbindungskomponenten für die Funktion einer elektronischen Baugruppe die Signalleiterbahn (Vcc) und die Stromversorgung (GND). Die Signalleiterbahn transportiert die Information, die zwischen den Bauteilen ausgetauscht wird. Die Stromversorgung liefert den Bauteilen die dazu notwendige Energie.

Die Signalleiterbahnen sind im Prinzip als Draht ausgelegt, der zwei oder mehrere Bauteilpins diskret miteinander verbindet.

Die Stromversorgungen sind flächig ausgelegt.

Es gibt zwei elementare Lagentypen:

Die Signalebene und die Stromversorgungsebene.

Für den störsticheren Betrieb einer Baugruppe müssen (mindestens) drei Eigenschaften kontrolliert werden:

die Stromversorgung, die Signalintegrität und die Impedanz.

Diese drei Eigenschaften sind in einem Multilayer durch den Einsatz der o.a. elementaren Lagentypen modular verwirklicht:

Die Stromversorgung wird über Stromversorgungsebenen ermöglicht.

Die Signalintegrität setzt eine Signalebene voraus und benötigt eine Stromversorgungsebene für den rückfließenden Strom.

Die Impedanz setzt eine oder zwei Signalebenen voraus und benötigt eine oder zwei Stromversorgungsebenen als kapazitive Referenz.

Es ist für jede dieser drei Eigenschaften typisch, dass nur eine, nur zwei oder nur wenige Ebenen eines Multilayers erforderlich sind. Daraus folgert, dass diese Eigenschaften modular in einem Teilkompartiment des Multilayers umsetzbar sein müssen.

Die Aufbaugeometrie von Multilayer-Systemen

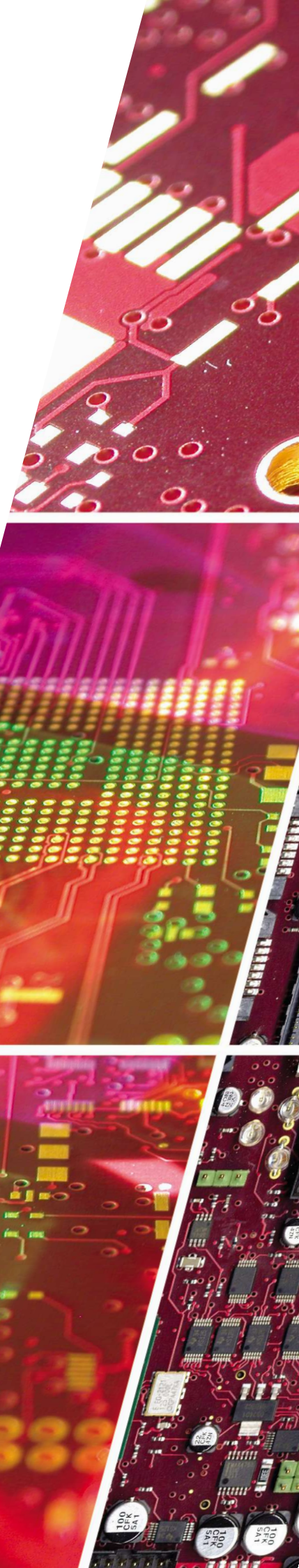
Weiter ergibt sich, dass nur genügend Ebenen in einem Multilayer vorhanden sein müssen, damit Module mehrfach reproduziert werden können.

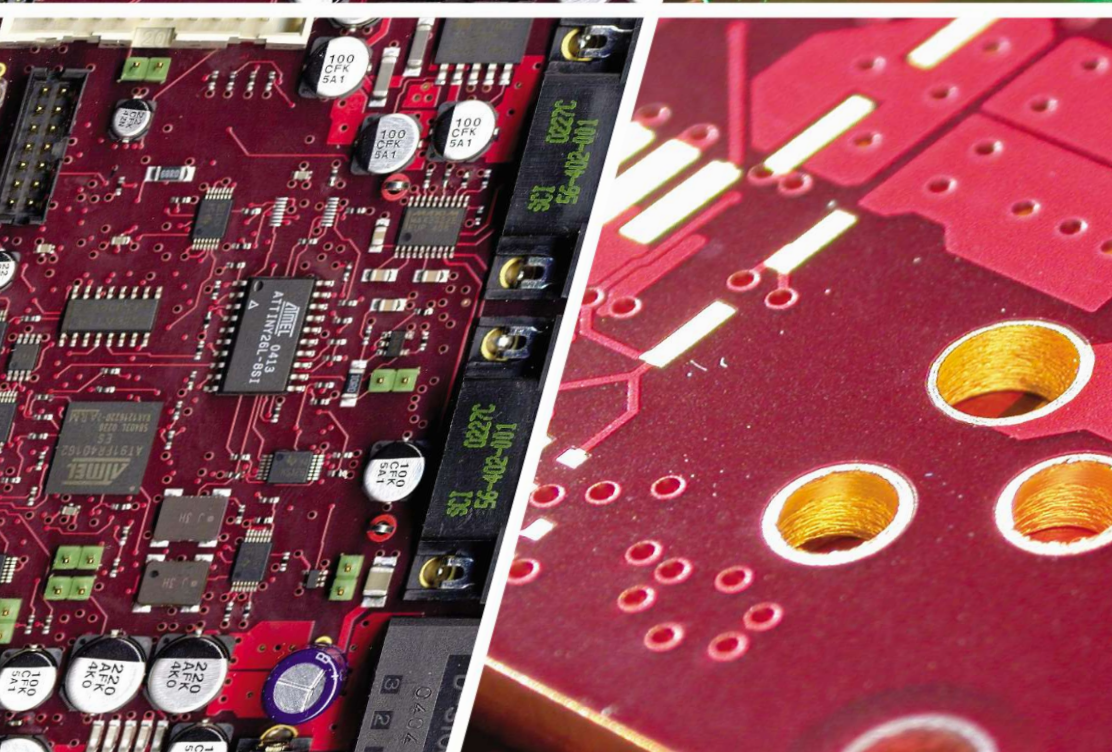
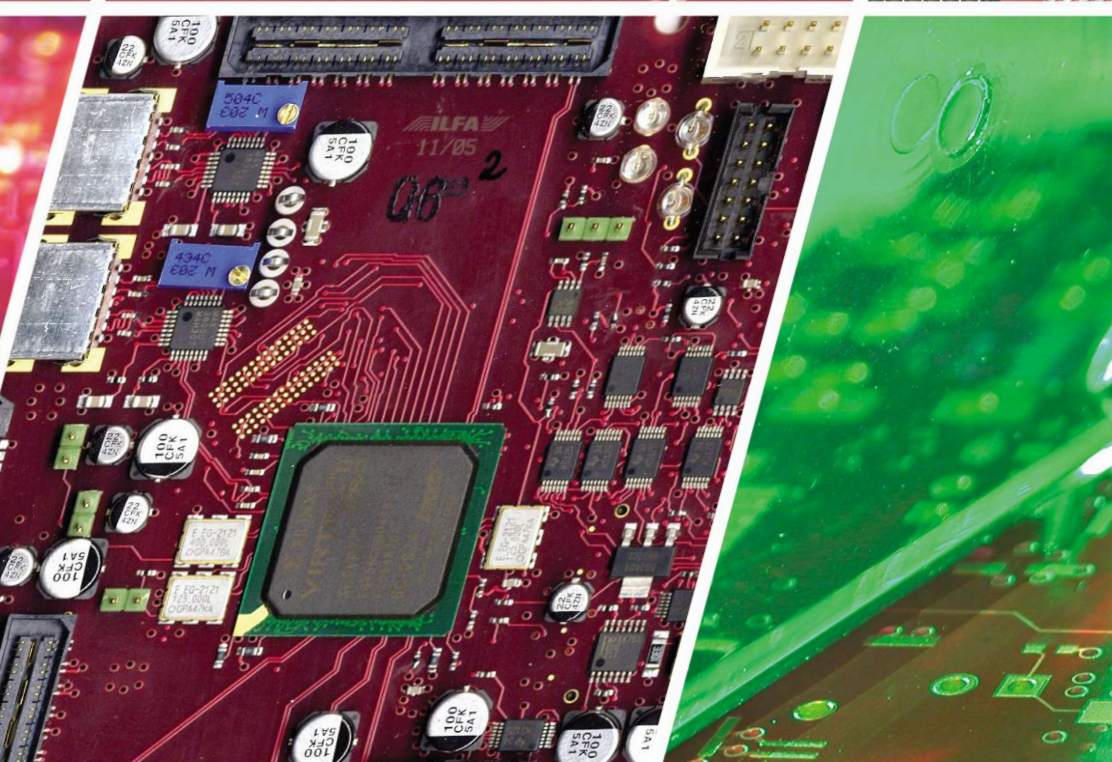
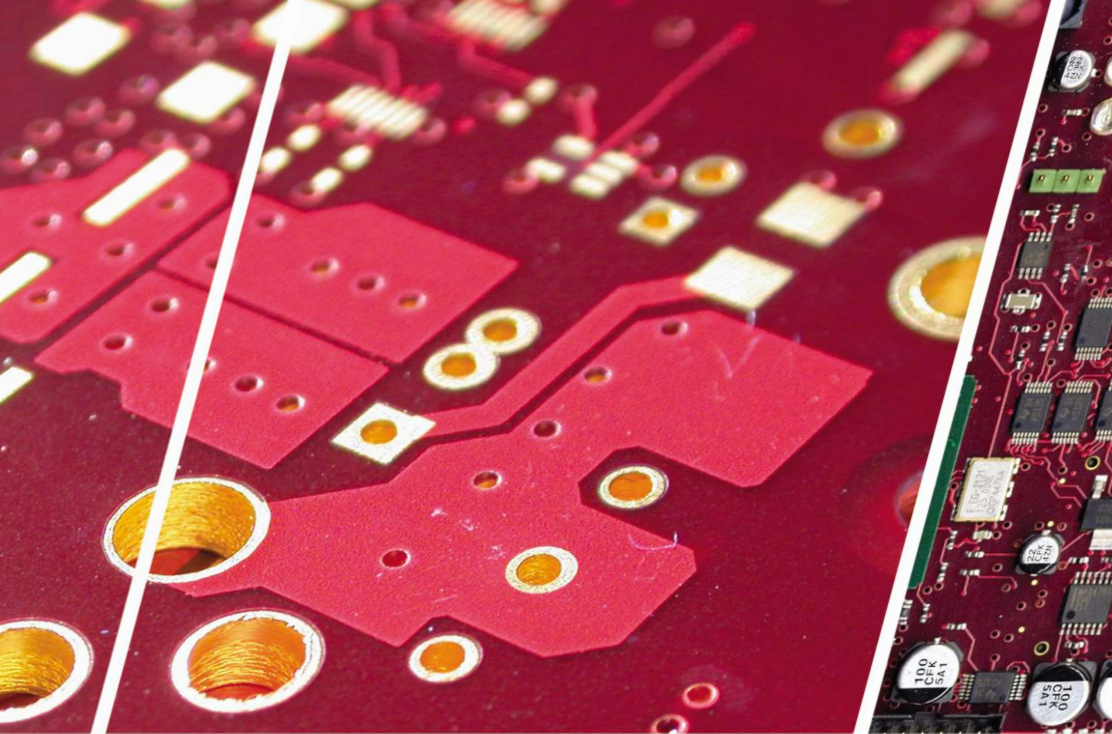
Und weil nur die zwei elementaren Lagentypen der Signalebene und der Stromversorgungsebene benötigt werden, ist offensichtlich, dass es topologische Überdeckungen in der Aufbaugeometrie eines Multilayers geben muss.

■ Multi-Power-Systeme

Für die EMV-Stabilität einer Baugruppe ist es von großem Vorteil, wenn Störungen in der Stromversorgung entkoppelt und gepuffert werden. Dazu kann die Kapazität von Kondensatoren genutzt werden.

Zwischen flächigen Stromversorgungsebenen unterschiedlicher Spannung ergibt sich jedoch auch eine Kapazität. Voraussetzung ist, dass die agierenden Flächen





Geräte und komplette Einrichtungen für:

- ✓ Ein- u. doppelseitige Leiterplatten
- ✓ Durchkontaktierte Leiterplatten
- ✓ Multilayer



Ätzen, Entwickeln, Strippen

Kleingalvanikanlagen und Oberflächenfinish für Trommel- und Gestellware

- ✓ Vergolden, Versilbern
- ✓ Verzinnen, Verzinken
- ✓ Vernickeln, Verkupfern
- ✓ Entfetten
- ✓ Färben
- ✓ Eloxieren



Kleingalvanikanlage

Spülwasserreinigung und Filteranlagen

- ✓ Spülwasserreinigung
- ✓ Metallrückgewinnung
- ✓ Recyclingsysteme
- ✓ Filtration



Spülwasserreinigung / Metallrückgewinnung

Kleingeräteprogramm und Zubehör

- ✓ Tischgalvanisierwannen
- ✓ Trommeln
- ✓ Halterungen
- ✓ Anoden



Sonderanlagenbau

Walter Lemmen GmbH

Birkenstraße 13
 D-97892 Kreuzwertheim
 Tel. +49-(0)-9342 / 7851
 Fax: +49-(0)-9342 / 2 11 56
 E-Mail: info@walterlemmen.de

www.walterlemmen.de

Besuchen Sie uns:

PRODUCTRONICA
 13-16 NOV. 2007

The world's leading trade show for electronics production



Halle 6, Stand H24/2

Kapitel 4

- ▶ räumlich benachbart sind und dass ihr Abstand zueinander hinreichend gering ist.
Bei der Konstruktion eines Multilayer-Systems ist also zu berücksichtigen, dass die Stromversorgungsebenen übereinander liegen.
Damit genügend Kapazität aufgebaut werden kann, darf der Abstand der Stromversorgungsebenen nicht über 75 µm liegen. Ideal ist ein Lagenabstand von 50 µm.
Lamine und Prepregs mit einer Dicke von 50 µm sind heute standardseitig verfügbar.
Die Kapazität eines solchen Stromversorgungssystems ist proportional zur Fläche. Wird mehr Kapazität benötigt, als durch die Leiterplattengrundfläche zur Verfügung gestellt werden kann, dann kann die GND-Versorgung gedoppelt werden.
Reicht das immer noch nicht aus, dann kann eine komplette weitere Vcc-Ebene plus einer GND-Ebene als Modul eingefügt werden.
Auf diese Weise entsteht eine gestapelte Stromversorgung in mehreren benachbarten Ebenen eines Multilayers und man spricht von einem Multi-Power-System (MPS).

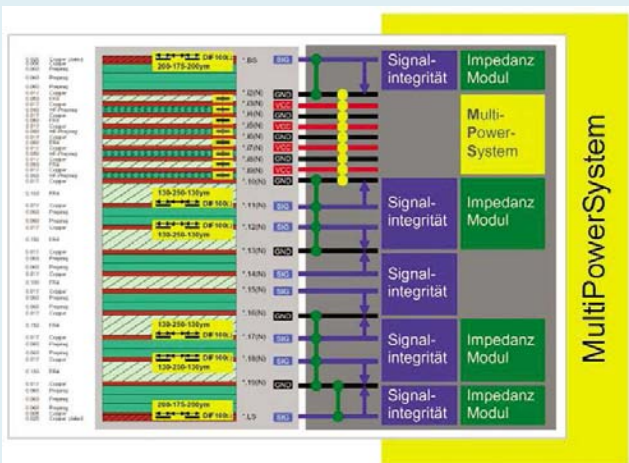
Dabei kann es sich bei den hier pauschal als „Vcc“ deklarierten Ebenen durchaus um unterschiedliche Spannungen handeln, wie das in der heutigen Praxis auch üblich ist. Wichtig bei den Multi-Power-Systemen ist, dass der Stromversorgungsstapel oben und unten jeweils mit einer GND-Ebene abgeschlossen wird. Durch diese konstruktive Vorgehensweise wird die Schaltung vor den selbsterzeugten Störungen abgeschirmt, die sich auf den eigenen Vcc-Ebenen ergeben.

Impedanz der Signalleitung

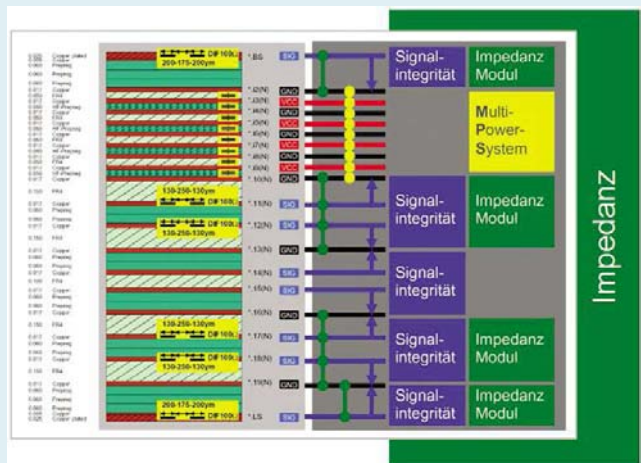
Die Berücksichtigung der Impedanz einer Signalleitung sorgt für die kontrollierte Signalübertragung mit Blick auf die Signallaufzeit und den Leitungswiderstand.

Für die Realisierung der Impedanz werden eine oder zwei Signalebenen und eine oder zwei Stromversorgungsebenen benötigt. Innerhalb des Lagenaufbaus soll die Signalführung bei einem Lagenwechsel nicht zu einem Impedanzwechsel und möglichst auch nicht zu einem Wechsel der Leiterbahngeometrie führen.

Bestimmend für den Wert der Impedanz sind einerseits die Leiterbahnbreite (die hier im Zusammenhang mit dem mecha-



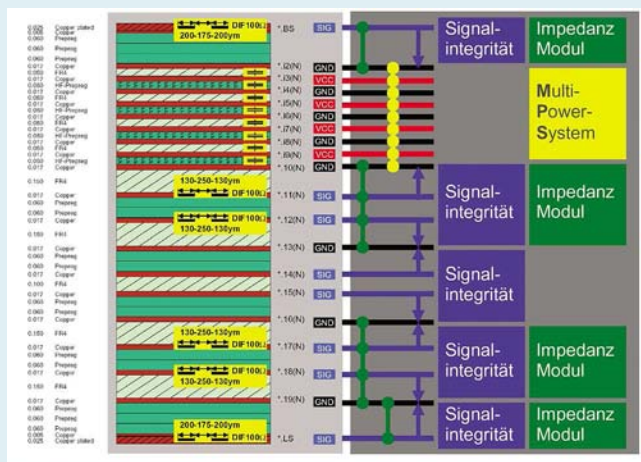
Für die EMV-Stabilität der Baugruppe ist es von Vorteil, wenn Störungen in der Stromversorgung entkoppelt und gepuffert werden



Die Berücksichtigung der Impedanz einer Signalleitung sorgt für die kontrollierte Signalübertragung im Hinblick auf die Signallaufzeit und den Leitungswiderstand



Für die hohe Integrität der Signale ist ein Übersprechen zwischen benachbarten Signalleitungen soweit wie möglich zu reduzieren



MELTEMI Lagenaufbau Funktionsmodul

Die Konstruktion des Multilayer-Systems für das meltemi-Board

nischen Lagenaufbau ignoriert wird) und andererseits der Lagenabstand zwischen Signalebene und Stromversorgungsebene.

In den Lagenaufbau können berechnete und erprobte Impedanzmodule integriert werden. Diese Impedanzmodule sind innerhalb des Multilayeraufbaus anreihbar. Impedanzmodule, die eine Außenlage einbeziehen, können auf der gegenüberliegenden Außenlage spiegelsymmetrisch angefügt werden.

■ Signalintegrität

Der Rücklauf eines Signals erfordert eine GND-Ebene. Für die hohe Integrität der Signale ist ein Übersprechen zwischen benachbarten Signalleitungen soweit wie möglich zu reduzieren.

Bei höherlagigen Multilayern ist zudem zu beachten, dass der Abstand zwischen benachbarten Lagen geringer sein kann, als der Abstand zwischen Leiterbahnen in der gleichen Ebene.

Weil der Informationstransfer in einer Signalleitung in Form elektromagnetischer Felder stattfindet, ist eine hohe Signalintegrität an die räumliche Kontrolle dieser Felder gebunden und an die kontrollierte Rückführung des Signals über die GND-Ebene.

Diese Bedingung ist dann erfüllbar, wenn jeder Signalebene eine GND-Ebene zugeordnet ist. Damit die Lagenanzahl nicht übermäßig zunimmt, kann die Multilayer-Konstruktion so ausgeführt werden, dass zwei innen liegende Signallagen zwischen zwei GND-Ebenen liegen.

Jede Signallage nimmt die jeweils näher gelegene GND-Ebene als Rücklaufebene an und baut nur einen geringen oder gar keinen störenden Bezug zur entfernter gelegenen GND-Ebene auf.

Aus dieser theoretischen Betrachtung ergibt sich allerdings auch bereits, dass maximal zwei Signallagen zwischen zwei

Gebt modernen Lösungen eine Chance

Oft unterliegen Ansätze für die technische Lösung einer Aufgabenstellung modischen Strömungen. Was nicht „en vogue“ ist, wird übersehen oder ignoriert, auch wenn die Physik sich bereits zweifelsfrei entschieden hat.

Wahrscheinlich leben wir im Zeitalter der Elektronik. Mit Sicherheit leben wir in einem Zeitabschnitt, in dem eine Lösung sofort favorisiert wird, wenn sie Strom verbraucht. Den Widrigkeiten der EMV und der Signalintegrität stellt man elektronische Lösungen gegenüber. Überschüssige Energien auf Baugruppen werden verheizt oder erdröselt. Dass es für viele Aufgabenstellungen einfache mechanische Lösungen geben könnte, scheint unvorstellbar zu sein. Erst recht, wenn sich das dunkle Geheimnis einer störungsfreien Baugruppenfunktion im Inneren eines Multilayers verbirgt.

Und, noch schlimmer, wenn es kein Expertensystem und kein Tool dafür gibt. Für die Modernität und die Eleganz des Erfolges steht zur Zeit nur ein einziges archaisches Mittel zur Verfügung. Das eigenständige Nachdenken.

GND-Ebenen möglich sind. Bei drei oder mehr Signallagen wäre ein Übersprechen wegen der sich überlagernden Felder unumgänglich.

Bei außen liegenden Signalen ist nur eine Signalebene über einer GND-Ebene machbar. Grundsätzlich ist eine Belegung der Außenlagen eines Multilayers mit Signalebenen vorteilhaft. Umgekehrt ist aus kombinatorischen Gründen eine auf den Außenlagen liegende GND-Ebene nicht empfehlenswert.

■ Kombination der Funktionsmodule

Die Lagenanzahl eines Multilayers kann und soll nicht beliebig zunehmen. Die Analyse der Funktionsmodule zeigt, dass die Anforderungen an die Impedanz und an die Signalintegrität von der Aufbaumechanik eines Multilayers her identisch sind.

Ein korrekt definiertes Impedanzmodul zeichnet sich deshalb auch immer durch eine hohe Signalintegrität aus. Das strategische Ziel bei der Konstruktion eines

Multilayersystems ist immer die gemeinsame Nutzung von Stromversorgungsebenen, insbesondere der GND-Ebenen. Bei Multi-Power-Systemen sind die äußeren GND-Ebenen gleichzeitig die Bezugsebenen für die Impedanz- und für die Signalintegritätsmodule.

■ Fazit

Der Lagenaufbau der CPU meltemi ist mit insgesamt 20 Lagen sicherlich kein Standardprodukt. meltemi zeigt aber die kombinatorische Vielfalt der Anwendungsmöglichkeiten, die sich auch bei 10-Lagen- oder bei 8-Lagen-Multilayern umsetzen lassen. Maßgeblich ist, dass sich diese technischen Eigenschaften der Baugruppe durch die überlegte Konstruktion des Multilayersystems ergeben. Faktisch werden die physikalischen Eigenschaften durch die strategische Anordnung der Ebenen erreicht. Dass dafür zwei oder drei GND-Ebenen zusätzlich eingebaut werden müssen, kann akzeptiert werden. (cm) ■

Ihr preisbewusster Leiterplattenlieferant

Online Preise berechnen
 Online bestellen
 Online Aufträge verfolgen
 Online 24/24 Std. und 7/7 T.

Interessiert ? Sie erreichen uns unter: +49 2681 4662
 E-mail: euro@eurocircuits.com
www.eurocircuits.com

Verified

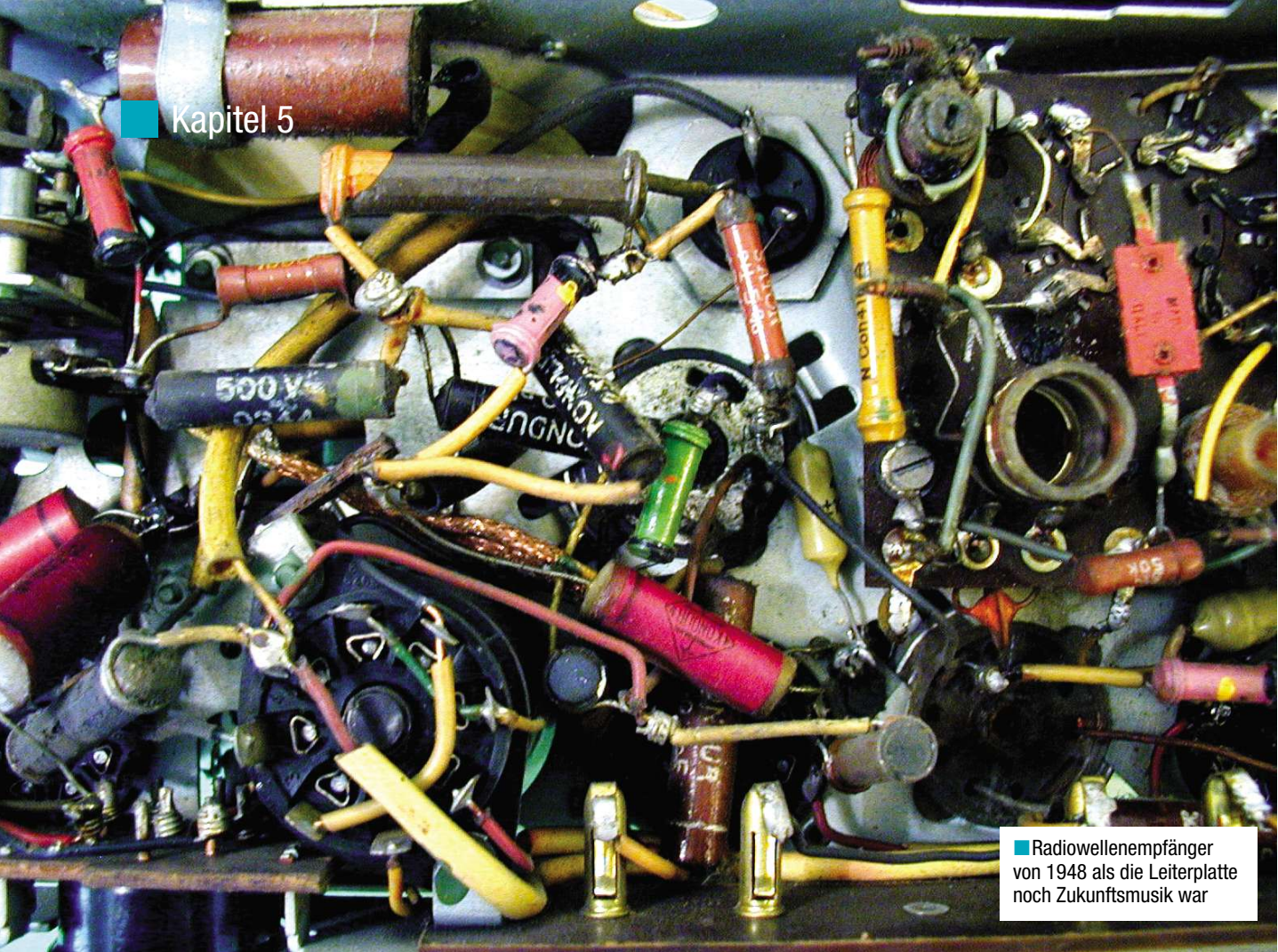
- Pooling für Standard-Leiterplatten
- bis 6 Lagen
- von 1 bis 1000 Stück
- ab 3 Arbeitstagen

A la carte

- Pooling mit Extra-Optionen
- bis 8 Lagen
- von 1 bis 1000 Stück
- ab 3 Arbeitstagen

On demand

- Ihre Platine-unsere Herausforderung
- bis 16 Lagen
- von 1 Stück bis ...
- ab 3 Arbeitstagen



■ Radiowelleneempfänger von 1948 als die Leiterplatte noch Zukunftsmusik war

Die Konsequenzen für Entflechten und Routing

Nur ein Stück Draht

Eine Leiterbahn ist im Prinzip nichts anderes als ein Stück Draht. Dieses einfache Stück Draht hat die besondere Eigenschaft, Energie abzustrahlen, aber auch aufzunehmen, wenn es mit einer Wechsellspannung beaufschlagt wird. Elektronikentwickler sind seit jeher gezwungen, diese Eigenheiten von einem Stück Draht zu berücksichtigen. Sei es gewollt zum Bau von Antennen oder um im Leiterplattenlayout ungewollte Abstrahlung auf einen akzeptablen Rest zu reduzieren. Die Hebel sind die Impedanz eines Stück Drahtes oder der Leiterbahn sowie die Geometrie der Verdrahtung bzw. das Entflechten und Routing der Leiterzüge.

■ In den Anfangszeiten der Elektronik, als Röhren den Stand der Technik verkörperten, wurde vorzugsweise von „Hand“ verdrahtet. Bild 1 zeigt einen Radiowelleneempfänger für Lang- und Mittelwelle (ca. 300 kHz bis 1,5 MHz) in einem damals schon revolutionären Aufbau in dreidimensionaler Mehrlagen- und Mehrebenen-Technik. Die Probleme mit dem Aufbau waren überschaubar, die Leiterplatten noch Zukunftsmusik. Angenehmes Arbeiten mit Sinussignalen stand im Vordergrund, Rechtecksignale blieben vornehmlich theoretischer Natur. Die wenigen „Oberwellen“ wurden, falls vorhanden und unerwünscht, einfach weggefiltert. Platzprobleme gab es kaum und auch die EMV war ansonsten unbekannt und natürlich unbenannt. Dem steht, das in Bild 2 gezeigte Beispiel die „Leiterplatte 2010“ als Baugruppenträger gegenüber: kein Stahlblechchassis, sondern ein in modernster Technik gefertig-

tigter 20-lagiger Multilayerprint mit hochintegrierten Bauelementen.

Was haben nun beide Module gemeinsam? Ist denn eine Gegenüberstellung nicht eher leichtsinnig und überhaupt sinnvoll?

Beide Aufbauten funktionieren einwandfrei – auch der Röhrenempfänger aus dem Jahr 1948!

Der „Draht“ im alten Röhrenaufbau und die Verdrahtung auf und innerhalb des Multilayers scheinen sogar gleichen physikalischen Gesetzmäßigkeiten zu folgen.

Was ein Radiowelleneempfänger von 1948 und ein moderner Multilayer gemeinsam haben

Offensichtlich haben die damaligen Konstrukteure entweder „instinktiv“ oder bewusst (wir werden der Frage noch auf den Grund gehen) eigentlich alles richtig gemacht. Der Mehrzahl heutiger zertifizierter „Amateurfunker“ ist aus dem Antennenbau und aus der Kabeltechnik ein Begriff geläufig, der eigentlich jedem Techniker der Leiterplatten entflechtet, ebenso jedem Elektronikingenieur der Schaltungen entwirft, im Schlaf bewusst sein sollte: Die Impedanz eines mit Wechselspannung beaufschlagten Drahtes oder Leiterbahn!

Physikalische Gegebenheiten sind definitiv nicht verhandelbar! Dies sei ausdrücklich jenen Kaufleuten nahe gelegt, die auf Teufel komm raus nicht nur die Gesamtkosten eines Produkts reduzieren wollen und nach den Gesetzen der freien Marktwirtschaft auch müssen, sondern maßgeblichen Einfluss auf die technische Realisierung nehmen ohne die dazu notwendigen physikalischen Grundlagen verinnerlicht zu haben.

Die ungeliebte Leiterplatte steht besonders häufig im Fokus: „Da müssen doch zwei Lagen auch reichen oder noch besser nur eine“!

Das dicke Ende folgt spätestens in der EMV-Prüfhalle auf dem Fuße. Die Interpretation der zumeist katastrophalen Ergebnisse obliegt dann interessanterweise wieder ausschließlich der Kompetenz des Entwicklers, jedoch, wen wundert's, verbunden mit der Auflage das Problem wiederum „kostenneutral“ zu lösen.

Die besondere Eigenschaft von einem Draht oder einer Leiterbahn bei Wechselspannung

Apropos Draht, respektive Leiterbahn: Wie kann man als Layouter einer Leiterplatte diesen Begriff visualisieren? Gleichspannungsmäßig ist darin eine leitende Verbindung zwischen A und B zu sehen, in der ein Strom (I) fließt die mit der Spannung (U) beaufschlagt ist. Bei einem gewünschten Strom (I) lässt sich der maximal vertretbare ohmsche Widerstand (R) abhängig von der Temperatur der Umgebung der Leiterbahn eindeutig durch die Breite, Dicke und Länge der Leiterbahn festlegen. Die maximal geforderte Spannung (U) bestimmt wiederum die Isolationseigenschaften und den geringsten Abstand der Leiterbahnen zueinander. ▶

Frequenz	Eindringtiefe
50 Hz	9,38 mm
10 kHz	660 µm
10 MHz	21 µm
1 GHz	2 µm

Tabelle: Im Inneren einer Leiterbahn wird die Stromdichte mit steigender Frequenz kleiner als an der Oberfläche (Skinneffekt)

Der Leiterplatten - Hit mit einem Klick

www.basista.de

Unsere Highlights

von der **Musterplatte** bis zur **Microviatechnologie** vom Singleboard bis zum Multilayer von **1 - 28 Lagen**
Hot-Shot @ PCB mit UL-Kennzeichnung
Garantierte Qualität!
Discount bei Leiterplatten Nachbestellung
Der letzte AT = Versandtag
Prototypen ab 5AT Standardlieferzeit
Serien / Hot-Shot @ PCB **8AT Standardlieferzeit**
Leiterplatten bleifrei nach RoHS
HDI Leiterplatten bis 50µm
Starrflex Leiterplatten / PCI Leiterplatten
Hot-Stencil@ Laser SMD-Schablonen

JUST MAIL TO:

info@basista.de



UL gelistet



RoHS Konform

0800-BASISTA
0800 2274782
Ihre kostenlose Hotline!

Die Waren gelten als eingetragene Warenzeichen



Funkentstörung und elektromagnetische Verträglichkeit



Zertifiziert nach DIN ISO 9001 durch

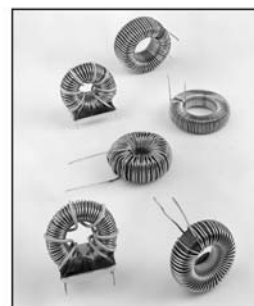
LGAD / InterCert



NKL GmbH
 Birkichstraße 15
 74549 Wolpertshausen
 Tel. (0 79 04) 97 81-0
 Fax (0 79 04) 97 81-50
 E-Mail: info@nkl-emv.de
 Internet: www.nkl-emv.de

Produktion von:

- Entstördrosseln
- Entstörfilter
- Speicherdrosseln
- Metallpulverkernen
- Ringkernübertragern
- I/U-Wandler



Unsere Dienstleistungen:

- EMV-Messung
- Beratung und Schulung
- Funkentstörung
- Freifeldmessung
- Oberwellenmessung
- Flickermessung

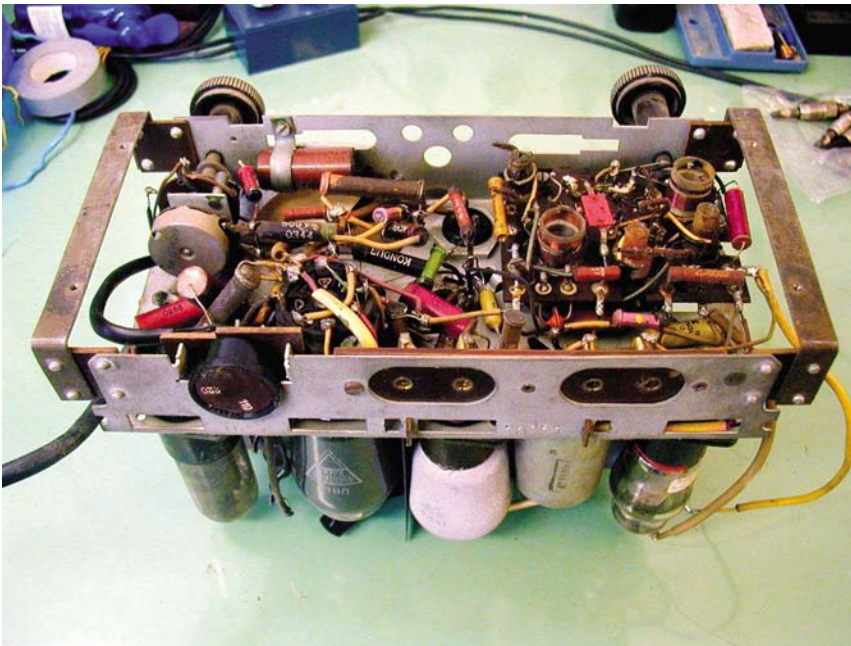


Bild 1: Radiowelleneempfänger in Röhrentechnik von Hand verdrahtet in damals revolutionärer dreidimensionaler Mehrlagen- und Mehrebenen-Technik

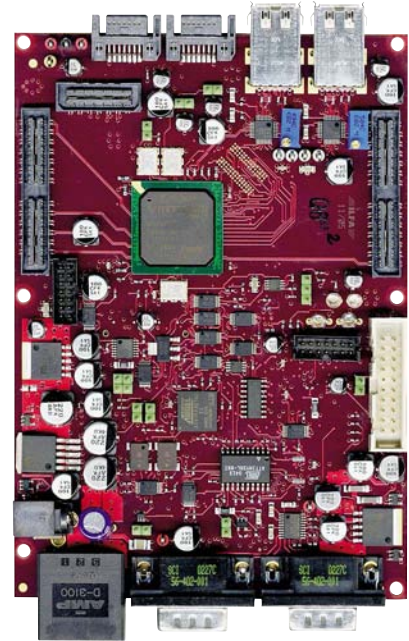


Bild 2: 20-lagiges meltemi-Board: Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung im Multi-Gigabit/s-Bereich

Die Verwendung von Wechselspannung bedingt eine Erweiterung dieser einfachen „Draht-Betrachtungsweise“ um eine zusätzliche, wesentlich komplexere Komponente: Die Impedanz, stellvertretend für eine Welt, in der elektromagnetische Felder dominieren.

HF-Ingenieure und besonders oben genannter seltener Spezies der Amateurfunker ist die Erkenntnis, dass ein Stück Draht beliebiger Länge im Vakuum gespannt einen Impedanzwert von annähernd 377Ω [(120 \cdot π) = Wellenwiderstand des Vakuums] annimmt, offensichtlich in die „technische Wiege“ gelegt.

Die Impedanz einer Dipolleitung beträgt unter entsprechenden Voraussetzungen 240Ω , bei einem Stück Draht von ca. 16 m Länge in 10 m Höhe über dem Erdboden und einer bestimmten Frequenz exakt 50Ω . Mit anderen Frequenzen lassen sich Bereiche von z.B. 140 bis 2000Ω Impedanz überstreichen.

Die Vermutung, dass die Geometrie der Verdrahtung offenbar entscheidend für die Impedanz ist, wird zur Gewissheit. Diese Tatsache gilt in wesentlich kritischerem Maß für die Entflechtung und das Routing auf der Leiterplatte.

Im Gegensatz zur „statischen“ Gleichspannung bilden sich bei dynamischen Vorgängen elektrische UND magnetische Felder um eben dieses Stück Draht oder Leiterbahn herum aus.

Heinrich Hertz, der damit auch die Funktechnik aus der Taufe hob, erkannte gegen Ende des 19. Jahrhunderts Folgendes: Diese Felder beeinflussten benachbarte Drähte und Leitungen dahingehend, dass offensichtlich ein Teil der Energie des „Sendedrahtes“ auf parallel dazu liegenden Nachbarleitungen übertragen wurde.

Dem einfachen Stück Draht oder Leiterbahn muss also die besondere Eigenschaft zugestanden werden, Energie abzustrahlen, aber auch aufzunehmen. Also ein Sender-Empfängerprinzip! Daraus lassen sich unmittelbare Forderungen ableiten:

- Leitungen nicht über längere Strecken parallel führen (Vermeidung von Übersprechen).**
- Signalleitungen UND deren Rückstromleitungen müssen möglichst nahe beieinander geführt werden.**
- Jede Veränderung der Geometrie des Leiters ODER der Rückstromleitung ändert die Impedanz. Wird diese Tatsache ignoriert sind Signalintegritäts- und EMV-Probleme unvermeidbar.**

In der Praxis muss man Kompromisse machen

Die Praxis zeigt aber auch, dass Kompromisse gemacht werden müssen. Ein Beispiel soll das verdeutlichen: Ein Via ist üblicherweise 90° zu einer Leiterbahn angeordnet. Deswegen bringt die Polarisation

der Welle bei kreuzweiser (orthogonaler) Führung der unmittelbaren Nachbarleitung einen mehr als beachtlichen Faktor 100 in Bezug auf Übersprechen bzw. gegenseitiger Beeinflussung.

Kurz ein paar Worte zur Polarisation. Sie wird in der Fachliteratur meistens sehr kompliziert erklärt. Eine umfassende Definition derselben ist deshalb recht aufwändig.

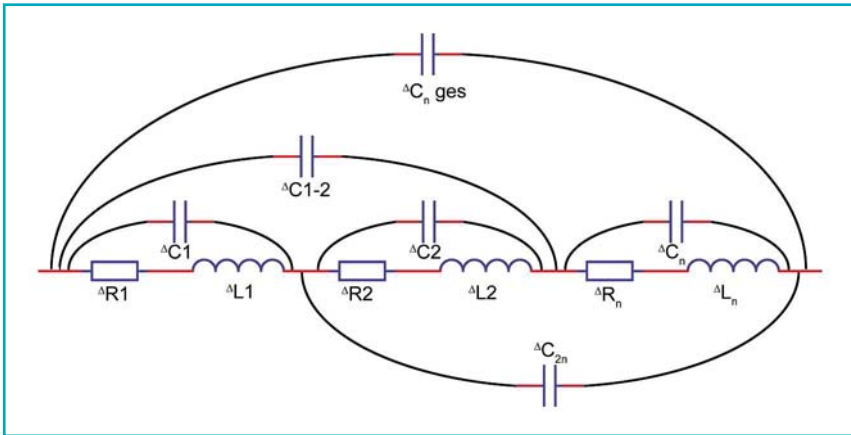
Grundsätzlich versteht man unter der Polarisation die Lage elektrischer Feldkomponenten einer elektromagnetischen Welle in Bezug zu einem Rückleiter (meist Erdoberfläche in der Antennentechnik).

Die Lage der Welle (des Feldes) wird mit einem Richtungsvektor bezeichnet. Mittels der Vektoren (grafisch) kann man sofort durch Addition bzw. Subtraktion von Feldern, Wellen (bzw. deren graf. Vektoren) das Ausmaß bzw. die Wirksamkeit von Maßnahmen zur Unterdrückung von Feldern erfassen.

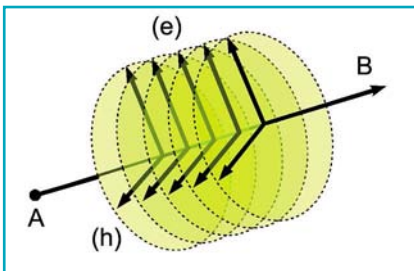
Fazit:

Damals wie heute sind Entwickler und Konstrukteure gezwungen, die erstaunlichen Eigenheiten eines Stück Drahtes unter Wechselspannungsbeaufschlagung zu berücksichtigen, sei es gewollt zum Bau von Antennen oder um im Leiterplattenlayout ungewollte Abstrahlung auf einen akzeptablen Rest zu reduzieren.

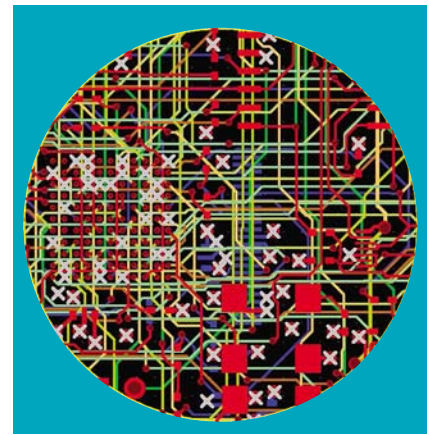
Hinzu kommt als Forderung in verstärktem Maße, dass bei den heute üblichen



■ Bild 3:
Ersatzbild eines Leiters: Ein Stück Draht beliebiger Länge hat im Vakuum einen Impedanzwert von annähernd 377Ω $[(120 \cdot \pi) = \text{Wellenwiderstand des Vakuums}]$



◀ Bild 4:
Ausbreitung einer Welle: A – Ort der Aussendung, AB – Ausbreitungsrichtung, e = elektrisches Feld, h = magnetisches Feld



■ Bild 5:
Beispiel einer Leiterbahnführung: Keine parallel geführten Strukturen auf der meltemi-Platine, vergleichbar mit dem handverdrahteten „multidimensionalen“ Aufbau in Bild 1

Frequenzen und Schaltzeiten fast immer „vergessen“ wird, die Eindringtiefe (Skin-effekt) zu berücksichtigen. Im Inneren des Draht- oder Leiterbahnstücks wird die Stromdichte mit steigender Frequenz kleiner als an der Oberfläche (siehe Tabelle).
Folgende **Faustformel** lässt sich für den Bereich Leiterplatte (Material Cu, $\epsilon_r = 4,3$)

mit ausreichender Annäherung heranziehen:
Eindringtiefe in Cu/mm = $66,3 / (\sqrt{f[\text{Hz}]})$

Im Endeffekt zählt nur das Ergebnis: Sei es aus empirischer Erfahrung „herausdestilliert“, mühsam mittels mathematischer Verfahren errechnet oder mittels teurer Softwarepakete erkaufte. (cm)

Literatur:
Bild 1: Alfred Obermayer OE3AOW, Amateurfunker
Frank Sichala, DL7VS, Die HB9CV Antenne
Pierre Villemagne, Antennen für die unteren Bänder
Rothammels Antennenbuch
Hannu Tikkanen, Printed Circuit Board Design Guide
RRL-Handbook 2005 (American Radio Relay League)
Heiko Dudek, Cadence Designs Systems: Differentielle Signalführung in PCBs ■

Besuchen Sie uns auf der
SENSOR+TEST 2007
DIE MESSTECHNIK-MESSE
in Halle 7, Stand 752, 22.-24. Mai 2007

alpha-board
excellence in multiple layers

alpha-board. Elektronik-Design und -Fertigungsservice

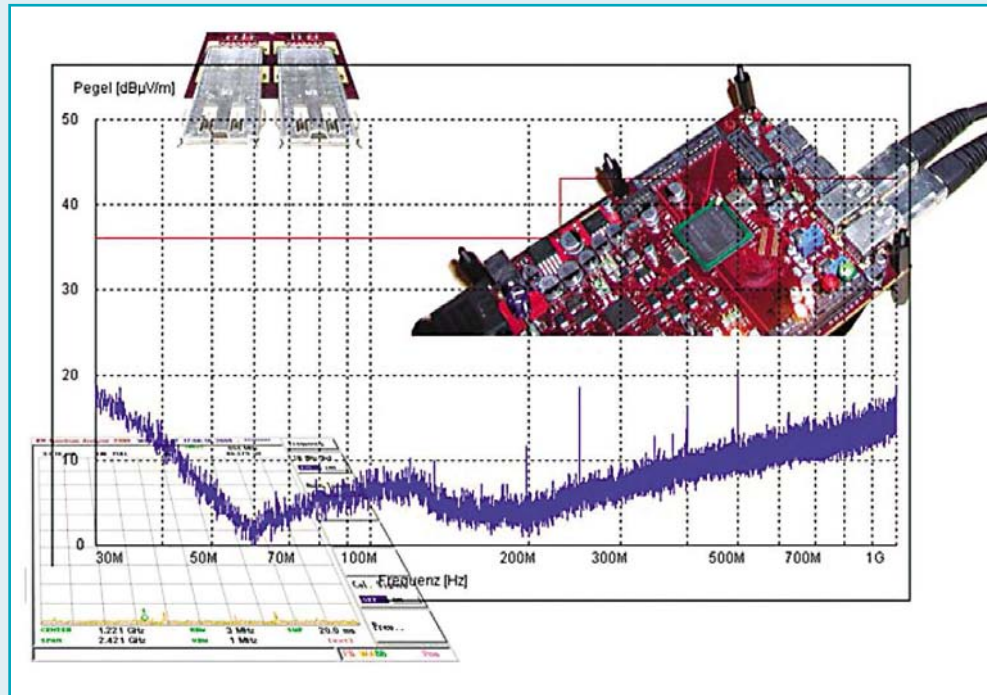
- Hardware-Entwicklung
- Leiterplattenentflechtung
- Board Simulation
Signal- und Powerintegrität
Leitungsanpassung
Analyse des Übersprechverhaltens
- Thermische Simulation
- Mechanisches Design
- Leiterplattenlieferung
- Bestückung
- Qualitätssicherung
- PLC Management

Signalqualität der Datenübertragungsleitungen analysieren

In der EMV-Prüfhalle I

Signalintegrität schließt alle Probleme ein, die mit Leitungsverbindungen in der Hardware für Hochgeschwindigkeitsanwendungen auftreten. Mit ihren vielseitig programmierbaren I/O-Blöcken eignen sich FPGAs ideal zur Analyse der Signalqualität von Übertragungsleitungen auf der Leiterplatte und deren Verbindungen zu Steckerkonstrukten. Anhand von Messergebnissen untersuchen wir in diesem Kapitel die Signalqualität von Datenverbindungsleitungen zwischen SDRAM und FPGA des 20-lagigen „meltemi“-Boards.

Gerhard Eigelsreiter



Integrität: Ein Synonym für die kontinuierliche Übereinstimmung zwischen idealen und tatsächlichen in der Praxis auftretenden Werten, nicht in jedem kleinen Detail aber im Ganzen. Eine Umschreibung die, bezogen auf die Signalqualität, ein gehöriges Maß an freier Interpretation zulässt. In der Elektronik schließt Signalintegrität im Allgemeinen alle Probleme ein, die mit (Leitungs-)Verbindungen in Hardwareprodukten für Hochgeschwindigkeitsanwendungen auftreten. Bei Übertragungsraten von 1 GBit/s und darüber ist es längst Usus geworden, Hardwareprodukte auf den Markt zu bringen, die so gerade noch in der EMV-Prüfhalle die Kurve kratzen.

Dabei gerät zwangsläufig die funktionale Stabilität unter die Räder, was sich im harmlosesten Fall besonders deutlich im Rückgang der tatsächlich übertragenen Nutzdaten niederschlägt. Mit immer aufwändigeren Schaltungstricks und ressourcenfressenden mathematischen Algorithmen werden Fehlererkennung und -korrektur solange „fein-

getunt“ bis sämtliche Mängel auf Kosten der Übertragungsrate der eigentlichen Daten eben mal soweit überdeckt sind, dass bei der Mehrzahl der Anwender und Benutzer der sprichwörtliche Geduldsfaden nicht sofort reißt, sondern aus Gewöhnungsgründen nur leicht überdehnt wird.

Dabei ließen sich die so gefundenen Lösungen wesentlich eleganter zur optimalen Ausnutzung vorhandener Kanalkapazitäten nutzen – funktional stabile und EMV-korrekt konstruierte Hardware vorausgesetzt.

Mit Messungen die Signalqualität untersuchen

FPGAs mit ihren vielseitig programmierbaren I/O-Blöcken eignen sich ideal zur Signalqualitätsanalyse von Übertragungsleitungen (z.B. Signalleitungen auf Leiterplatten) und deren Verbindungen zu Steckerkonstrukten, die zwangsläufig bereits in Hardware fixiert sind und oft schon als endgültige Board-Lösung vorliegen. Anhand von Messergebnissen soll

die Signalqualität von Datenverbindungsleitungen zwischen SDRAM und FPGA des 20-Lagen-meltemi-Boards näher untersucht und demonstriert werden.

Zu diesem Zweck wurden die Datenleitungen DQ26 (Gesamtlänge 17 mm, nach 11 mm mit einem zusätzlichen Via zwecks Lagenwechsel) und DQ23 (Gesamtlänge 53 mm jedoch ohne Lagenwechsel, also kein Via) herangezogen. Beide Leitungen sind impedanzdefiniert (50 Ω) ausgelegt und entsprechend geroutet.

Bild 1 und 2 zeigen ein 125-MHz-Signal auf der Datenleitung DQ26 bei einer Treibereinstellung des FPGA-I/O-Blocks im „12 mA Slow“-Mode. Dies entspricht ungefähr einer Treiberausgangsimpedanz von 50 Ω. Wie nicht anders zu erwarten ein einwandfreies Signal. Dieselbe Leitung im „24 mA Fast“-Mode, Bild 3 (entspricht ungefähr 20 Ω Treiberausgangsimpedanz).

Aus Sicht der EMV mehr als bedenklich, siehe dazu Bild 4 Messung mit H-Feldsonde und Spektrumanalyzer. Die Resultate in der EMV-Prüfhalle bestätig-

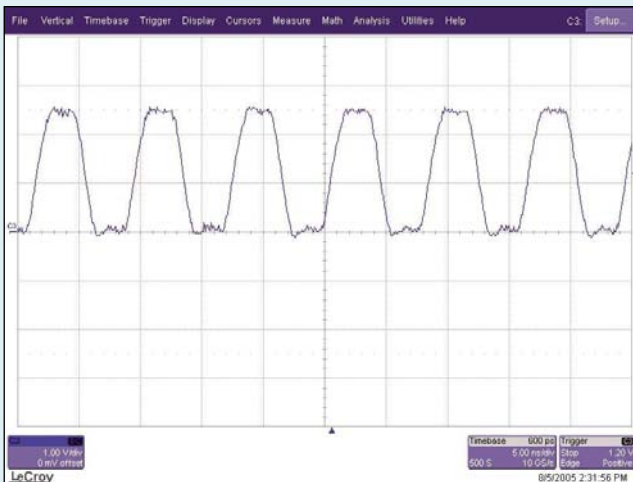


Bild 1:
Die FPGA-Datenleitung DQ26 im 12-mA-Slow-Mode, 125 MHz,
gute Signalqualität

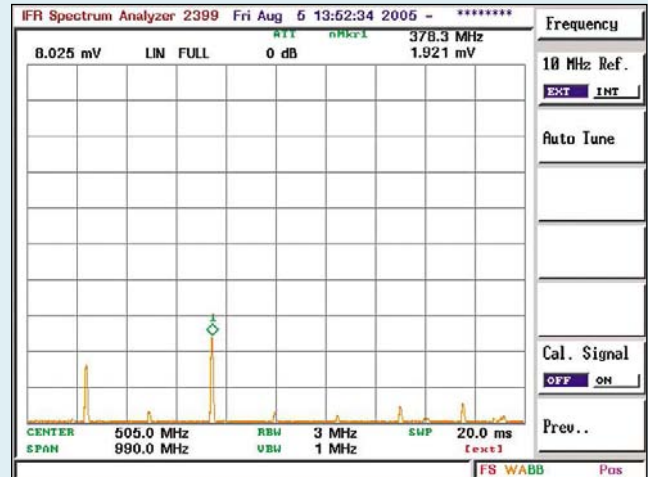


Bild 2:
H-Feld-Sondenmessung von DQ26 am SDRAM-Eingangspin,
12-mA-Slow-Mode

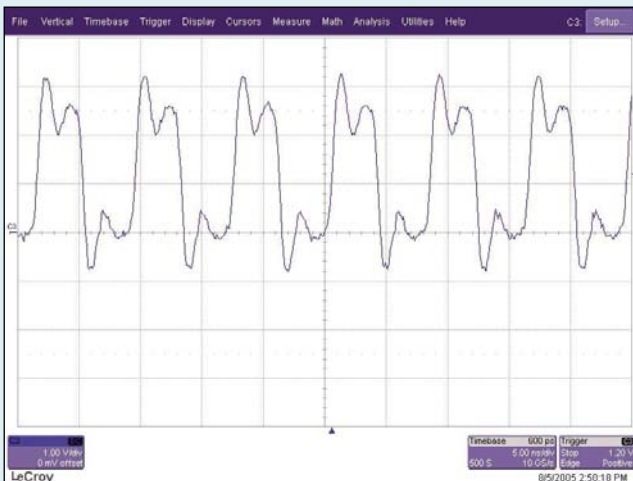


Bild 3:
Die FPGA-Datenleitung DQ26 im 24-mA-Fast-Mode, Signalqualität im
kritischen Bereich

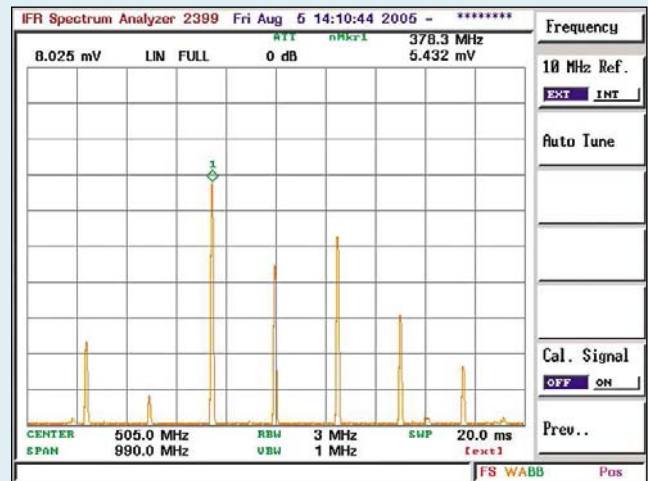


Bild 4:
H-Feld-Sondenmessung von DQ26 am SDRAM-Eingangspin; 24-mA-
Fast-Mode

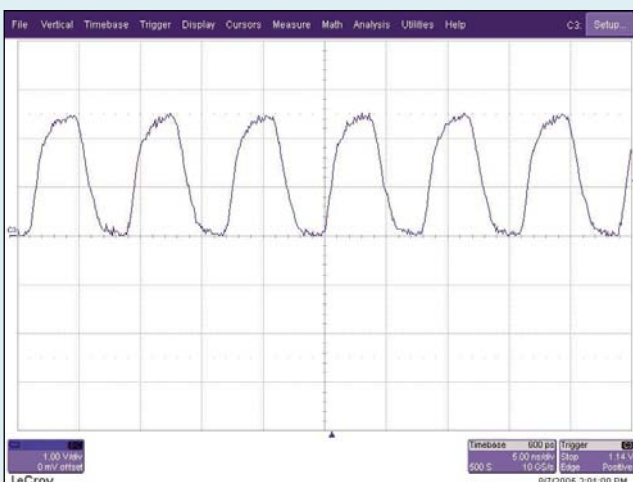


Bild 5:
Die FPGA-Datenleitung DQ26 im DCI-(Automatik)Mode, 125 MHz,
gute Signalqualität

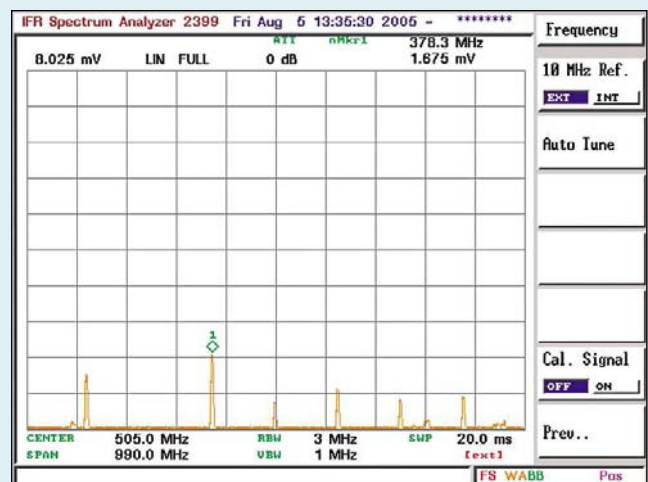
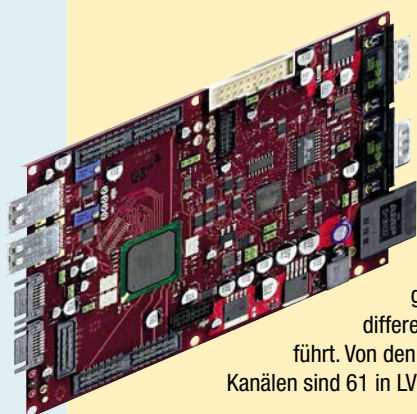


Bild 6:
H-Feld-Sondenmessung von DQ26 am SDRAM-Eingangspin,
DCI-Mode

Die Hochgeschwindigkeitsplattform meltemi



Zentraler Dreh- und Angelpunkt des meltemi-Board ist ein FPGA mit integrierten seriellen Transceivern, umgeben von fest verdrahteter Unterstützungslogik und einem 32-Bit-Single-Chip-Mikrocontroller. Die mittels FPGA nach außen geführten Eingangs/Ausgangs-Ports sind in differenzieller Leitungstechnik ausgeführt. Von den insgesamt 77 differenziellen Kanälen sind 61 in LVDS-Technik mit einer Übertra-

gungsrate von 600 MBit/s/Kanal, also insgesamt mehr als 36 GBit/s brutto ausgestattet. Die restlichen 16 Kanäle werden von acht integrierten Transceivern mit 2,5 GBit/s/Kanal, insgesamt 40 GBit/s brutto, abgedeckt.

Vier Transceiver-Verbindungen laufen über jeweils zwei Infiniband- und zwei Serial-ATA-Stecker-Komponenten nach außen. Die restlichen vier Transceiver als auch die insgesamt 61 LVDS-Leitungspaare benutzen vier impedanzdefinierte High-Speed-Buchsenleisten zwecks Erweiterung mit Aufsteckboards. Die zwei Infiniband-Steckverbinder sind nicht direkt an die Transceiver angebunden: Die sichere und problemlose Datenübertragung über längere Kabelverbindungen (bis 17 m) gewährleisten adaptive Kabel-Treiber und -Equalizer.

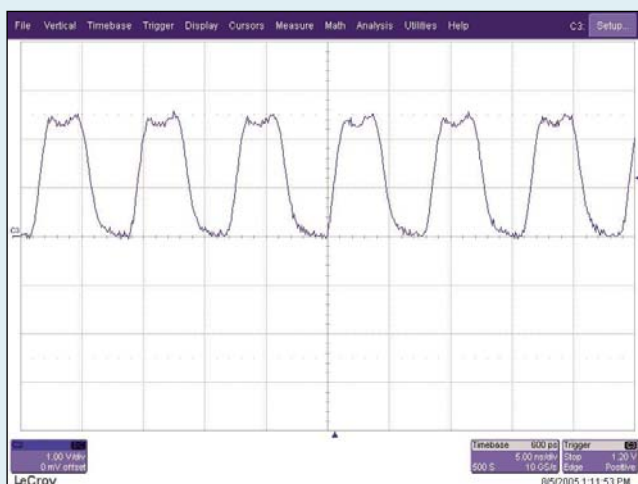


Bild 7: Die FPGA-Datenleitung DQ23 im DCI-Mode, 125 MHz, gute Signalqualität

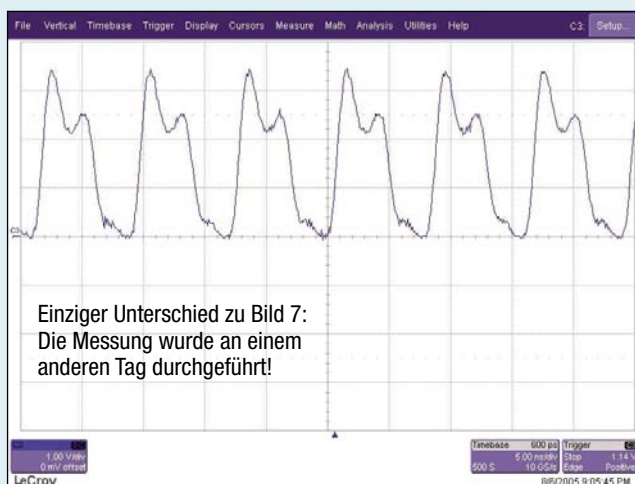


Bild-8: Die FPGA-Datenleitung DQ23 im DCI-Mode, 125 MHz, Signalqualität im kritischen Bereich

ten den ersten Eindruck. Man kann sich auch einer Automatik (DCI-Mode) bedienen, die über einen Referenzwiderstand (49,9 Ω) die Ausgangstreiberimpedanz hinsichtlich Temperatur- und Spannungsschwankungen laufend „nachzieht“ – siehe Bild 5 und Bild 6. Diese elegante Lösung fand für die nächsten Messungen auf der Datenleitung DQ23 großen Anklang (Bild 7). Die Wiederholung der Messungen unter gleichen Messbedingungen am nächsten Tag löste allerdings erhebliches Erstaunen aus – siehe Bild 8.

Tags darauf keimte bei der dritten Messserie mit wieder identischen Werten zu Bild 7 gewaltiges Misstrauen auf. Solche Differenzen sind selbst bei großzügigster Auslegung nicht mehr Messungenauigkeiten zuzuschreiben. Noch dazu tagesabhängig! Ein Zustand, der keinesfalls hingenommen werden konnte. Des Rätsels Lösung, mit schwerwiegenden künftigen Folgen aus Sicht der EMV und damit verbundener funktionaler Instabilitäten, steht im nächsten Kapitel. (cm)



HEGER GMBH Leiterplatten-Schnellservice

Leiterplatte in 4 Stunden · Multilayer in 24 Stunden · Garantierte Termintreue
Entwicklung und Layout · Sonderleiterplatten · Bestückung und Test
Mikroviertechnik · Mikrofeinstleiter · Mikro-BGA-LP's

www.hegergmbh.com



Oststraße 83 · 22844 Norderstedt · Tel. 0 40/522 50 22 · Fax 0 40/526 45 54 · E-Mail: Leiterplatte@hegergmbh.com

Einfluss von FPGAs auf das Abstrahlverhalten der Baugruppe

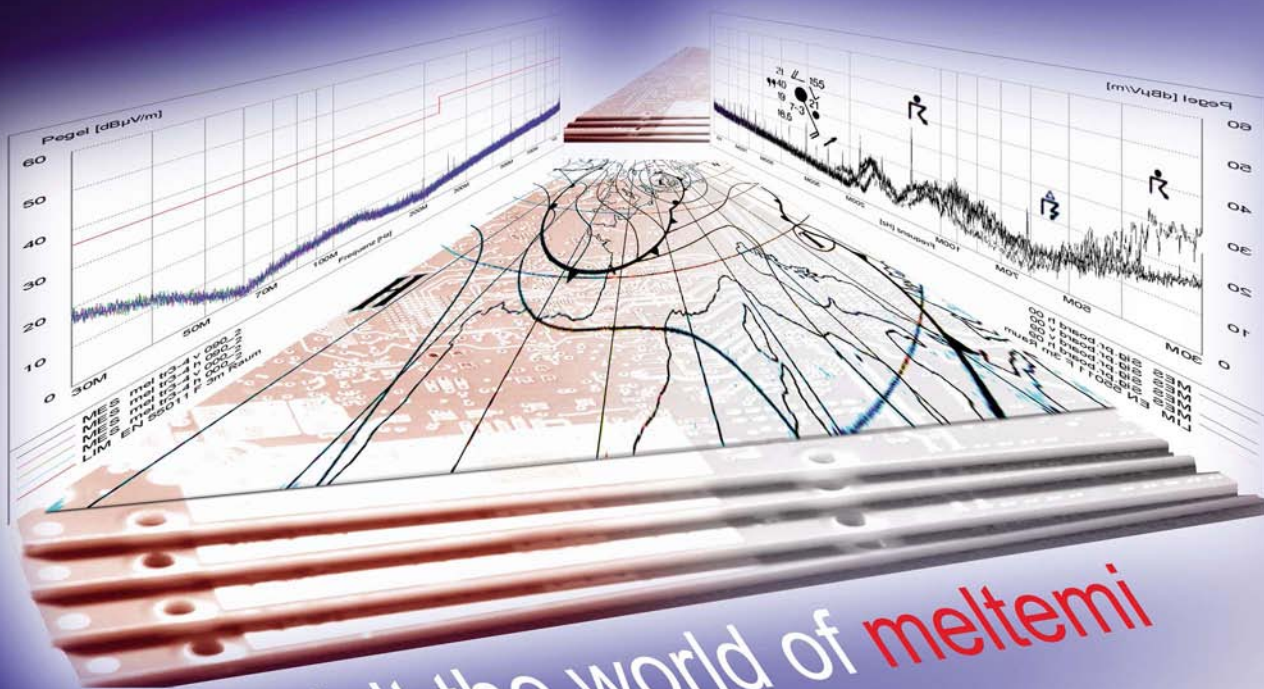
In der EMV-Prüfhalle II

Die in Kapitel 6 beschriebenen tagesabhängigen Ergebnisse der Signalintegritätsmessungen trotz identischen Messaufbaus und identischer IOB-Einstellungen im FPGA haben bei den Entwicklern der Hochgeschwindigkeitsplattform meltemi intensive Nachforschungen ausgelöst. Schließlich kristallisierte sich in der Fehleranalyse der feine, aber entscheidende Unterschied heraus: Die aufgespielte FPGA-Software war für das Bestehen bzw. Nichtbestehen der EMV-Prüfung der Baugruppe verantwortlich.

Gerhard Eigelsreiter

Einer Legende nach entstand der Terminus „Bug“ in der Anfangszeit elektronischer Rechenanlagen, als Insekten die Funktionsweise von Relais in großen Maschinen beeinträchtigten und sogar Kurzschlüsse verursachten. Auch für das Rauschen und Knistern in Telefonleitungen seien kleine Tiere verantwortlich, die ständig an den Leitungen knabbern. Eine Fehlfunktion wegen einer Motte im Relais des Computers Mark II Aiken Relay Calculator soll im Jahre 1945 die Computerpionierin Grace Hopper zu folgendem Eintrag veranlasst haben: First actual case of bug being found. Motte und Logbuchseite befinden sich derzeit am Smithsonian Institut. Wie es sich für Insekten gehört, haben sich diese Bugs inzwischen rasend ver-

unit^{el} IT Innovationen
Die Physik als Partner



visit the world of meltemi

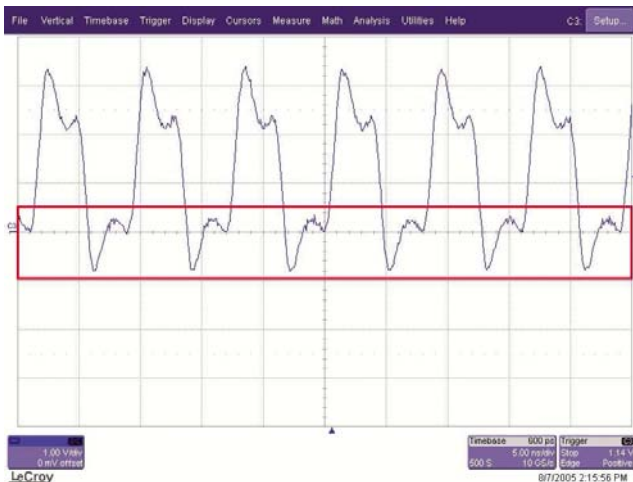


Bild 1:
Die FPGA-Datenleitung DQ23 im 24-mA-Fast-Mode 125 MHz;
untere Signalhälfte (hervorgehoben im roten Kasten) – Signalqualität
im kritischen Bereich

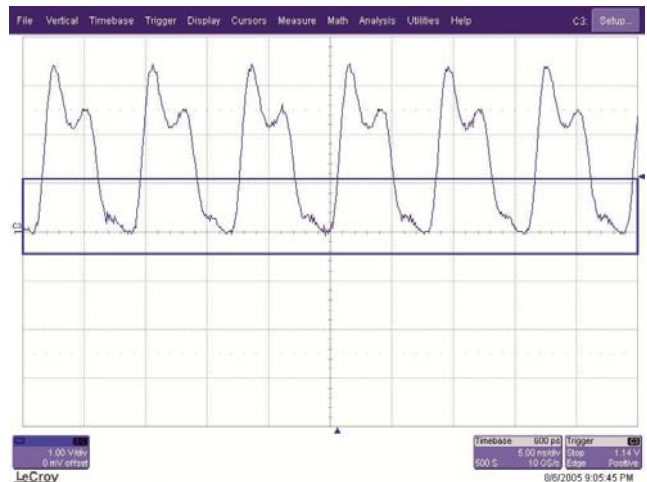


Bild 2:
Die FPGA-Datenleitung DQ23 im DCI-(Automatik-)Mode 125 MHz;
obere Signalhälfte (roter Kasten) Signalqualität im kritischen Bereich;
untere Signalhälfte (blauer Kasten) gute Signalqualität

mehrt und treten vorzugsweise in großen Schwärmen auf. Die Bekämpfung derselben erfolgt deswegen flächendeckend mit so genannten „Service-Paks“. Inzwischen breiten sich die Bugs weiter in Richtung Signalintegrität und EMV aus, vornehmlich mittels reprogrammierbarer Logik.

Ursache für „tagesabhängige“ Messergebnisse im EMV-Labor

Tagesabhängige Ergebnisse, wie im Kapitel 6 beschrieben, lösen bei Signalintegritätsmessungen nahezu automatisch intensive Nachforschungen aus. Der direkte Vergleich der Messungen an der Datenleitung DQ23 (Eingangspin SDRAM) im 24-mA-Fast-Mode (Bild 1) zum DCI-Automatik-Mode (Bild 2) zeigte in den oberen Bildhälften (blauer und roter Kasten) verblüffende Übereinstimmungen. Eine höhere Auflösung der

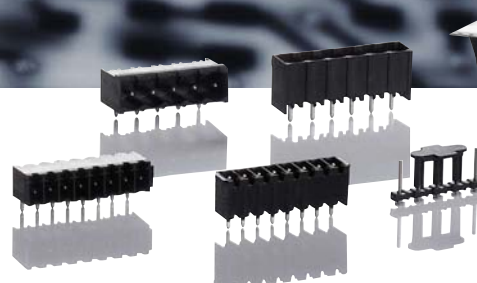
Messung im Zeitbereich verdeutlicht die Problematik. Vergleicht man die Anstiegswinkel der Kurven beider Messungen beim Wechsel von Low auf High (Bild 3 und Bild 4), so erkennt man kaum einen Unterschied in der Anstiegszeit (blauer Kasten).

Dies ist umso bemerkenswerter, als es der per Software indirekt über den Treiberstrom einstellbaren, kürzest möglichen Flankenanstiegszeit entspricht. Hingegen weisen die fallenden Flanken, also der Wechsel von High auf Low, hinsichtlich der Abfallzeiten (roter Kasten) erhebliche Unterschiede auf. Die Anstiegszeit (blauer Kasten) des Signals im DCI-Automatik-Mode von Bild 4 entspricht also ziemlich exakt dem 24-mA-Fast-Mode, während die Abfallzeit (roter Kasten) dem gewünschten DCI-Automatik-Mode bei korrektem Betrieb gleicht. Wie ist so etwas möglich? Kann man Anstiegs- und Abfallzeiten getrennt programmieren? Ist derartiges überhaupt sinnvoll? ▶



RIA stellt die neuen THR & SMT Produktlinien vor:

- ▶ für vollautomatisierte Fertigung geeignet
- ▶ automatengerechte Verpackung: Tape on Reel
- ▶ Löttemperatur zwischen 240 & 290°C für maximal 90 Sekunden
- ▶ Optimierung der Fertigungskosten von elektronischen Baugruppen
- ▶ SMT und THR Komponenten standardmäßig zur Verfügung



Kapitel 7

► Natürlich nicht! Das gilt gleich als Antwort auf die letzten beiden Fragen.
 Die Erklärung, wie so etwas überhaupt möglich ist, lässt sich nur mutmaßen. Trotz identischen Messaufbaus und identischer IOB-Einstellungen im FPGA kristallisierte sich doch ein feiner, aber letztendlich entscheidender Unterschied heraus. Der Schaltplan für diese Teststellung wurde mit Logiksymbolen erstellt, die aber bereits die grafische Darstellung hinterlegten VHDL-Codes repräsentieren.
 Die Übersetzung des VHDL-Codes bis zur Erstellung des gewünschten Lade-Bitstroms dauerte zuweilen bis zu 10 Minuten (ist natürlich stark von der Performance des benutzten PCs abhängig). Da hier Messreihen mit hunderten von Messungen auf ihre Abarbeitung warteten, wurde eine Softwareabkürzung in Form des FPGA-Editor-Moduls benutzt. Eine Verkürzung der Zeitdauer zur Erstellung des Bitstromes auf unter zwei Minuten war der Lohn der Bemühungen, aber gleichzeitig auch die Lösung dieses Phänomens. Mittels des FPGA-Editors ist man in der Lage, die Attribute in den IOBs direkt zu setzen, vergleichbar mit einem Hex-Editor in der Software.

Nach zwei Tagen Nachforschungen ließ sich der Unterschied in den Kurven reproduzierbar gezielt erzeugen. Jedes Mal wenn die Übersetzung per VHDL-Compiler sowie der entsprechenden Map-and-Place-Software den gewünschten Lade-Bitstrom erzeugte, trat die unerwünschte Differenz in den Anstiegs- und Abfallzeiten auf. Immer dann, wenn der FPGA-Editor zum Zuge kam, war das Ergebnis korrekt und die Anstiegs- und Abfallzeiten moderat, entsprechend den DCI-Mode-Vorgaben.

Unterschiedliche Ergebnisse durch Softwarebugs der FPGAs

Also vermutlich wieder einmal eine zusätzliche Gattung dieser praktisch unvermeidbaren Softwarebugs mehr, an die man sich leidlich gewöhnt hat. Ein Schulterzucken, was soll's, auf zum nächsten Service-Pak. Tatsächlich nur ein unbedeutendes Ärgernis? Ein Blick in die EMV-Prüfhalle belehrt eines Besseren.
 Zwecks übersichtlicherer Darstellung wurden gleich 16 Datenleitungen (DQ16 – DQ31) parallel mit 100 MHz betrieben und in



Bild 3: FPGA-Datenleitung DQ23 im 24-mA-Fast-Mode mit 1 ns/Teilung, also höher aufgelöst. Die Anstiegszeiten (blau) und die Abfallzeiten (rot) sind nahezu identisch.



Bild 4: Die FPGA-Datenleitung DQ23 im DCI-(Automatik-)Mode mit 1 ns/Teilung, ebenso höher aufgelöst. Die Anstiegszeiten (blau) und Abfallzeiten (rot) unterscheiden sich erheblich.

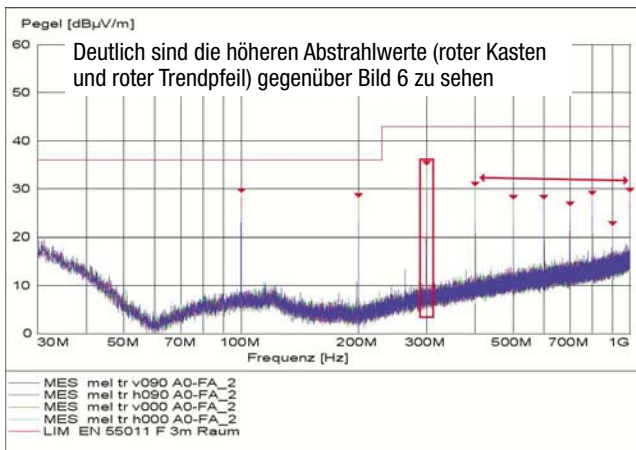


Bild 5: Störspektrum der meltemi-Baugruppe aus der EMV-Prüfhalle: 16 Datenleitungen (DQ16 bis DQ31) 24-mA-Fast-Mode

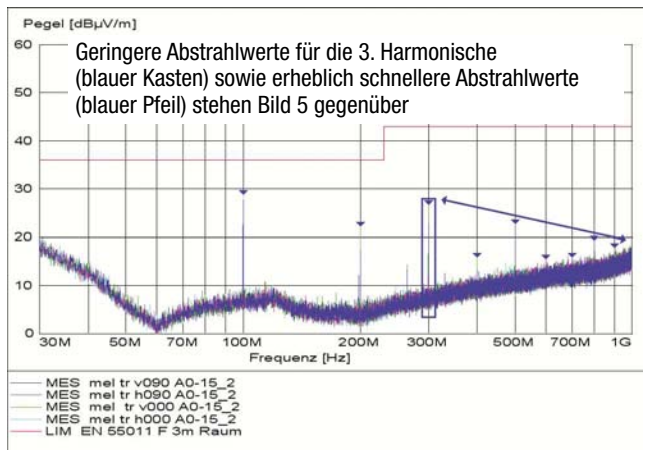


Bild 6: Störspektrum der meltemi-Baugruppe aus der EMV-Prüfhalle: 16 Datenleitungen (DQ16 bis DQ31), DCI-(Automatik-)Mode im korrekten Betrieb

Die Tücken der FPGAs

Die Messgerätehersteller können sich die Hände reiben. Der Verzicht auf entsprechende Signalqualitätsmessungen vor der EMV-Prüfung kann leicht zum Überschreiten der Grenzwerte führen. Und das in einem Ausmaß, das eine positive Beurteilung der EMV-Prüfergebnisse nicht mehr zulässt.

In Zukunft auf reprogrammierbare Logik zu verzichten kann sicher nicht der Weisheit letzter Schluss sein, denn eine wachsende Zahl von Halbleiterherstellern gedenkt in den nächsten Jahren Mikrocontroller mit integrierter reprogrammierbare Logik auszustatten. Da wäre bestenfalls eine kurze Schonfrist herauszuholen, mehr nicht. Andernfalls darauf zu hoffen, durch Software-Updates das Problem in den Griff zu kriegen ist, könnte sich als trügerisch erweisen.

Sicher kann man nur durch direkte Messungen sein.

Im Endeffekt wird die funktionale Stabilität der gesamten Baugruppe durch die Möglichkeit der dynamischen Nachladbarkeit (Hardware-Update) von beispielsweise FPGA-basierender Hardware über das Internet oder firmeninterner Kundennetzwerke in Mitleidenschaft gezogen – mit Folgen die möglicherweise nicht absehbar sind.

der EMV-Prüfhalle näher untersucht. Bild 6 bezieht sich auf die Einstellung der 16 Datenleitungen im DCI-Mode mit korrekter Arbeitsweise. Bild 5 stellt das Störpektrum im 24-mA-Fast-Mode dar. Deutlich sind die Unterschiede bei den höheren Harmonischen, wie der 3. – blauer Kasten (Bild 6) und roter Kasten (Bild 5), sowie der 5. und 7. – blauer Kasten (Bild 6) und roter Trendpfeil (Bild 5), zu sehen, die sich mit bis zu 7 dBµV/m höheren Abstrahlwerten manifestieren.

Während die Grundfrequenz von 100 MHz, also die 1. Harmonische, nahezu identische Werte aufweist und auch aufweisen muss. Das klingt nicht nach viel, es sind allerdings auch nur 16 Datenleitungen. In der Praxis muss man mit einer erheblich höheren Anzahl an Leitungen für Adress-, Daten- und Kontroll-Signale rechnen. Höhere Abstrahlwerte sind gewissermaßen also im wahrsten Sinne des Wortes vorprogrammiert.

Impedanz-Diskontinuitäten auf Signalleitungen so klein wie möglich halten

Bei vielen Mikroprozessoren und ASICs lässt sich die Bandbreite aus der Clockrate mit der Faustformel $BW(\text{Clock}) = 53F(\text{Clock})$ abschätzen. Einen noch signifikanten Anteil als Beitrag zur Flankensteilheit liefert also die 5. Harmonische. Bei 100 MHz Clockrate ist mit einer Bandbreite von 500 MHz zu rechnen. Allerdings gilt diese Faustformel nur bei guter Signalqualität. Treten Ringing und Reflexionen auf (Bild 1) so müssen zur Bestimmung der Bandbreite wesentlich höhere Frequenzanteile, also neben den ungeradzahigen auch alle geradzahigen Harmonischen mit berücksichtigt werden. Dies ist ein wesentlicher Grund, weshalb sich aus der Höhe der Taktfrequenz allein keine brauchbare Abschätzung der zu erwartenden Störabstrahlwerte in der EMV-Prüfhalle ableiten lässt. Darum ist es so wichtig, auf Signalleitungen Impedanz-Diskontinuitäten generell sowie ihre Anzahl möglichst klein zu halten. Flächige Stromversorgungssysteme (Vcc-GND-Lagen) sind in diese Überlegungen unbedingt mit einzuschließen (siehe Publikationen von Prof. Dirk, Seite 82ff).

PULSONIX

PCB-Design in Perfektion: Der richtige Weg!

- Innovative Lösungen für Ihre Design-konzepte
- Benutzerfreundliche, intuitive Menüführung
- Einfache Datenübernahme vieler EDA-Tools
- Ein Tool – vier Anwendungen: Schaltplan, PCB, Simulation und Autorouter
- Unschlagbar in Preis und Leistung

Pulsonix 1000 ab € 1.900.-
(zzgl. gesetzl. MwSt.)

tecnotron
elektronik gmbh
www.tecnotron.de

tech-akademie.de
Eagle · VHDL · C · Sensorik · SPC

Geschäftsverbindungen

www.pcb-bayern.de
Design • Leiterplatten • Baugruppen

Messer + Klingen

GRAFIX®-SET No. 412
die beste Standardausrüstung für feine Schneidarbeiten

MARTOR Solingen
D-42648 Solingen
Tel. (02 12) 2 58 05 0
Fax (02 12) 2 58 05 55
www.martor.de

LEITERPLATTEN
Prototyp, Klein & Großserien

HighTech LowCost!

SINGLE-POOL

LEITERPLATTEN Prototypen
Die günstige Lösung für 1 bis 4 Leiterplatten

6AT	2 Lagen	4 Lagen	8AT
z.B. 100mmx100mm		z.B. 160mmx100mm	
1 Stück:		1 Stück:	
€ 48,79		€ 149,94	
netto € 41,-		netto € 126,-	

OPTIONEN:

- Leiterbahn: 100 µm min.
- Bohrungen: 0.2 mm min.



INKLUSIVE:

- Umfangreiche technische Beratung
- E-Test (ab 2 Lagen)
- 2x Lötstop
- 1x Positionsdruck
- Import von Gerber, Eagle, Target
- Design Rule Check
- Einrichtung
- Leiterbahn: 150µm min.
- Bohrungen 0.3mm min.
- Bohranzahl - No Limit
- Kontur gefräst
- Oberfläche HAL
- Material FR4 1.55 mm
- 35µm Cu
- MULTILAYER ergänzend mit:
- A. O. I. Automatic Optical Inspection
- X-Ray Lagen-Versatzkontrolle

BLITZ-PREIS:

Online-Kalkulator **NEU!**

ECO-POOL 1 bis 28 Lagen

LEITERPLATTEN Serien 8AT
Alle technischen Möglichkeiten

z.B. 2 Lagen	25 Stück
Leiterplatte 100mmx100mm	
Erstbestellung	Nachbestellung
je € 11,71	je € 8,04
netto € 9,84	netto € 6,76

OPTIONEN:

- Filmfreie Laser-Direktbelichtung
- z.B. für 50µm ULTRA FEINSTLEITER, 25µm in Vorbereitung
- Blind Vias in Lasertechnik
- 100µm Buried Vias
- 100µm Microvias
- Chemisch Zinn, Silber
- Chemisch Gold, Bond Gold
- Materialien: Rogers / P96 / G200
- Impedanz-Kontrolle + Prüfprotokoll
- Für Hochstromleiterplatten: bis 400µm Cu
- Starrflex, Metallkern, HDI, ...



SPAR-PREISE:

Laser SMD-Schablonen

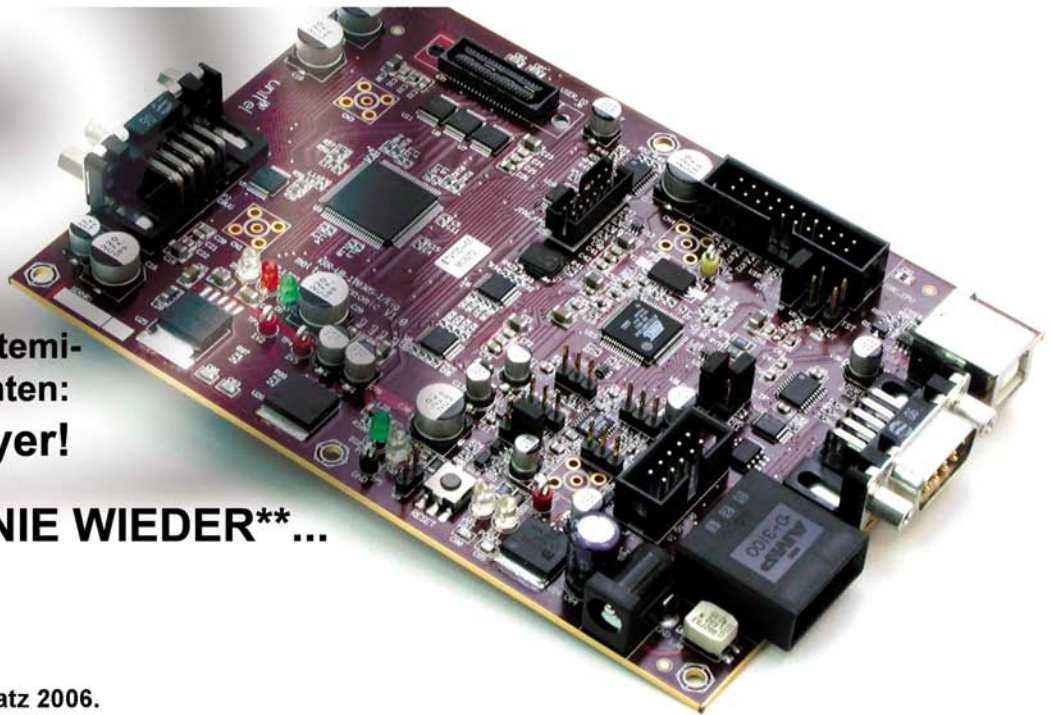
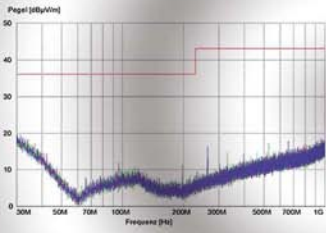
Irrtümer & Änderungen vorbehalten!

multipcb

Ltd. (GmbH)
Brunnthaler Straße 2
D - 85649 Hofolding
Tel: 0049 (0)8104 628-110
E-Mail: info@multipcb.de



www.multipcb.de



Progression der meltemi-Technologie nach unten:
6-Lagen-Multilayer!

Wir machen es NIE WIEDER ...**

** ... war unser Neujahrsvorsatz 2006.

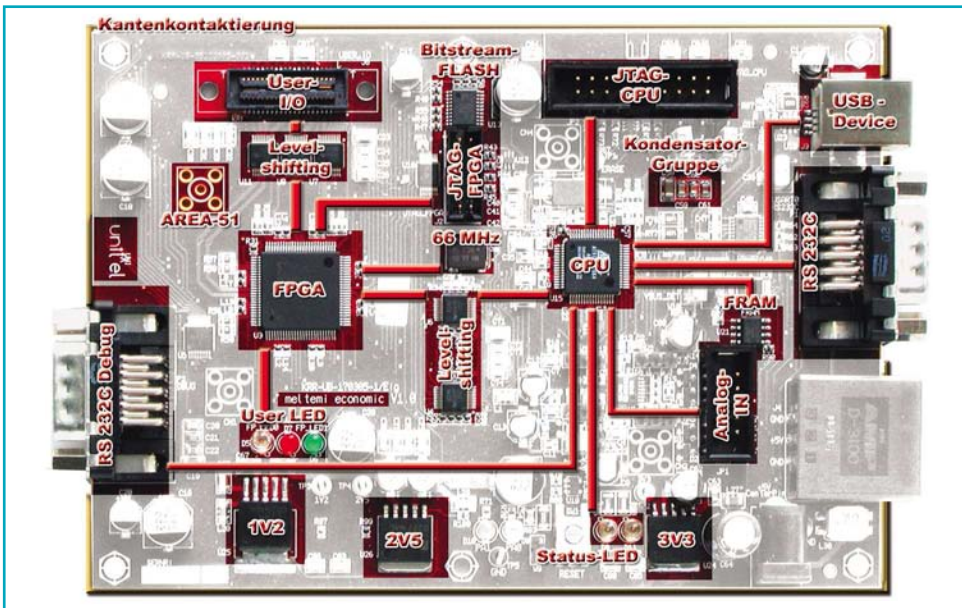
Gerhard Eigelsreiter

Die Quadratur des Kreises I

Stabile Hardware im 6-Lagen-Aufbau

Für Bildverarbeitung, HDTV oder digitales Fernsehen, wo es reichlich Daten bei hohen Geschwindigkeiten zu übertragen gilt, ist die meltemi-Plattform konzipiert. Übertragungsbandbreiten von bis zu 60 GBit/s, verbunden mit exzellentem EMV-Verhalten und maximaler funktionaler Stabilität und Betriebssicherheit ermöglichen ein 20-Lagen-Multilayer mit integriertem Stromversorgungsstapel, impedanzdefinierter Leitungsführung, X2Y-Kondensatoren und Kantenkontaktierung. In diesem und den nächsten Kapiteln erfahren Sie, ob und wie sich die Erfahrungen von 18- und 20-lagigen Multilayer-Boards hinsichtlich EMV und stabiler Funktionalitäten annähernd verlustfrei in ein 6-Lagen-Multilayer-Design mit einseitiger Bestückung komprimieren lassen.

Das englische Wort „economic“ lässt sich mit Begriffen wie wirtschaftlich und sparsam umschreiben oder großzügiger mit „ökonomisches Prinzip“ und „Effizienzpostulat“, um nur einige zu nennen, übersetzen. Das Verhältnis eines Nutzens, der natürlich in definierter Qualität vorgegeben sein muss, zu einem bestimmten Aufwand, um eben genau diesen Nutzen zu erreichen, wird üblicherweise durch das Wort Effizienz umschrieben respektive abgekürzt. Gelingt es durch effizientes Verhalten den dazu nötigen Mitteleinsatz so gering wie möglich zu halten, hat man eine Ausprägung des ökonomischen Prinzips optimal erfüllt. Leider führt盲目的 oder übertriebenes Vertrauen in das Optimalprinzip, nämlich mit minimalen Mitteln ein maximales Ergebnis zu erzielen, zu ungeplantem Han-



■ Blockschaltbild meltemi-economic-Baugruppe: 32-Bit-Mikrocontroller und flexible I/O-Struktur; frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik runden das Einsatzgebiet nach oben ab und verlängern den Lebenszyklus der Hardware

deln, da üblicherweise keine klaren Vorgaben gemacht werden und natürlich auch kein klares Ziel verfolgt wird. Effektiv ist diese Handlungsweise auf keinen Fall. Das Vorgehen kann also nur schrittweise mit ständigen wechselseitigen Überprüfungen erfolgen, um das gesteckte Ziel nachhaltig zu erreichen.

Erfahrungen von 20 Lagen auf 6 Lagen übertragen

Theorie und schöne Worte, doch wie sieht die Praxis aus: Lassen sich die Erfahrungen von 18- und 20-lagigen Multilayer-Boards hinsichtlich EMV und stabiler Funktionalitäten annähernd verlustfrei in ein 6-Lagen-Multilayer-Design komprimieren? Unter Einbeziehung uneingeschränkter masochistischer Verhaltensweisen lautet die Antwort: ein klares Ja! Ein ungeübter Blick in den dazu notwendigen technischen Maßnahmenkatalog offenbart keine größeren Schwierigkeiten oder außerordentlichen Hindernisse. Solange der Blick angemessen kurz bleibt, stimmt das sogar. Doch der Teufel steckt im Detail. Anhand der Referenz-Hardware-Plattform „meltemi-economic“ lässt sich das sehr anschaulich erklären. Nach Erstellung des technischen Gesamtkonzeptes unter besonderer Berücksichtigung wirtschaftlicher Aspekte (die Hardware soll wenig bis „gar nichts“ kosten) steht vor der Schaltplanerstellung die Lagenanzahl sowie der Lagenaufbau untrennbar verbunden mit der obligaten Komponenten- und Bauelementauswahl. Dies ist deshalb so wichtig, weil die Halbleiterhersteller in ihrem unermüdlichen Bestreben die Innovation voranzutreiben, die

aktiven Bauteile mit zahlreichen zusätzlichen Betriebsspannungen versehen. Die im Gesamtkonzept vorgegebene 6-Lagen-Obergrenze für das Multilayer-Board unter besonderer Berücksichtigung breitbandiger Stromversorgungs-entkopplungen schränkt somit die Auswahl erheblich ein. Der zusätzliche enorme Kostendruck verleiht dieser Form des Schaltungsdesigns das besondere Prädikat „Spießbrutenlaufen mit interessanten, weil unbekanntem Nebenasspekten“.

Nun zu den Details: Eine zweckmäßige Referenz-Hardware sollte den Bereich Mikrocontroller mit einem modernen Single-Chip Konzept – 32 Bit intern wären optimal – sowie zusätzlich mit einer aus Signalintegritätsgründen sehr flexiblen I/O-Struktur abdecken. Frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik runden das Einsatzgebiet nach oben hin ab. Sie sollen besonders den Lebensdauerzyklus der Hardware erheblich verlängern und zur leichteren Erfüllung von wirtschaftlichen Aspekten beitragen.

Hardware mit einem langen Lebensdauerzyklus

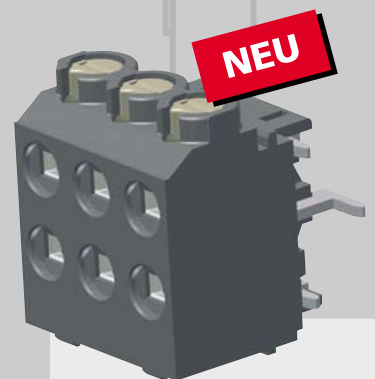
Die Wahl fiel aus Kosten- und Marktdurchdringungsgründen auf die 32-Bit-Embedded-Prozessoren der ARM7-Serie. Die lange Marktführerschaft im 32-Bit-Mikrocontrollerbereich und der umfangreiche Softwarepool trugen maßgeblich zu dieser Entscheidung bei. Die Auswahl von Atmel mit der AT91SAM7S-Familie gründet sich auf die umfangreiche Roadmap sowie die technisch sehr flexiblen, pinkompatiblen Mitglieder der Mikrocontrol-



AK 1350

- Steckverbinder für Rastermaß 3,5 mm
- Bewährte Schraubklemm-/ Drahtschutzkombination
- Solide Blockbauweise
- Passende Stiftleisten (auch) in reflowfähiger Variante lieferbar

OPTIMALE ANSCHLUSS TECHNIK



AKZ 4841

- Ideal für den Einsatz in Hutschienengehäusen
- Schraubloses Steckklemmprinzip
- 2 Anschlüsse pro Pol
- Auch vertikal lieferbar
- Reflowfähig

PTR Messtechnik GmbH & Co. KG

Gewerbehof 38 • 59368 Werne
 Telefon: + 49 (0) 23 89/79 88-0
 Telefax: + 49 (0) 23 89/79 88 88
 e-mail: info@ptr-messtechnik.de
 http://www.ptr.eu

Leiterplatten aus China DRAGONBRIGHTHK.COM

GUT · GÜNSTIG · ZUVERLÄSSIG
Seit mehr als 20 Jahren.

Die Alternative für mittlere und hohe Auflagen. Bleifrei/RoHS. Microvias, Impedanzkontrolle.

Deutscher Servicepartner für Lieferabwicklung und Beratung.



The PCB-Company

hivolt.de

HOCHSPANNUNGS VERSORGUNGEN

- » Hochspannungs-Labornetzgeräte bis 120 kV / 1200 W
- » Hochspannungsmodule bis 40 kV geregelt oder I/O-proportional von 50 mW bis 350 W
- » Hochspannungs-Verstärker bis ±10 kV bis 360 V/μs
- » X-Ray-Versorgungen
- » Hochspannungskabel/-stecker

WWW.HIVOLT.DE

hivolt.de GmbH & Co. KG
Tarpfen 40, Geb. 2, D-22419 Hamburg
Tel.: 040-53 71 22-80, Fax: 040-53 71 22-99

[Fachwissen griffbereit]

Elektronik



Vogl, Günter

Umweltsimulation für Produkte

Zuverlässigkeit steigern,
Qualität sichern

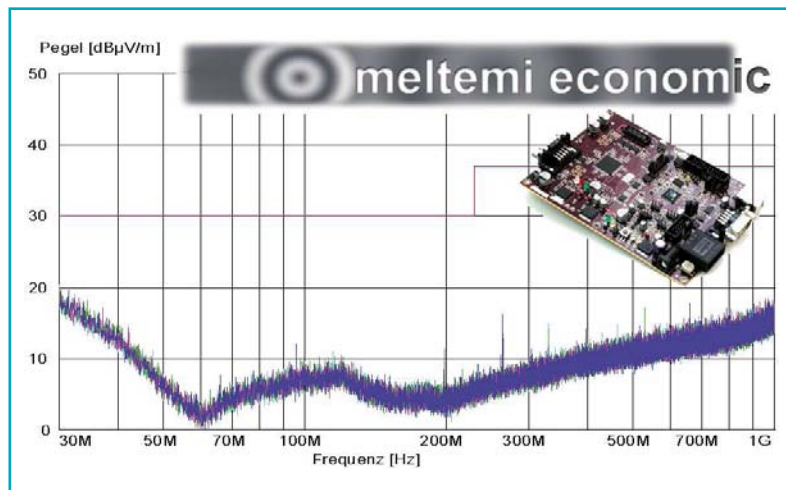
1. Aufl. 1999, 328 Seiten
zahlr. Bilder, ISBN 3-8023-1782-3
42,80 €

- Streßfaktoren für Produkte
- Schutzart-, Sonder- und Umweltprüfungen
- Beurteilung der Prüfergebnisse
- Beschleunigung von Tests
- Environmental Stress Screening "EES"
- Akkreditierung von Prüflaboratorien

22_1782_SW_1_8_ISP_024931_094

VOGEL Vogel Buchverlag
97064 Würzburg

Kapitel 8



Erstes EMV-Prüfergebnis aus der Absorberhalle: unerlässliche Maßnahmen, um die EMV zu gewährleisten, sind GND-Stifte, Kantenkondensatoren, Kantenkontaktierung und Kondensatorgruppen

lerfamilie. Weit über zwanzig Jahre Erfahrung mit reprogrammierbarer Logik von Xilinx führte nahezu zwangsbedingt zur Auswahl und zum Einsatz der Spartan-3-Familie, um ein Maximum an I/O-Flexibilität zu gewährleisten. Breitbandige Stromversorgungsentkopplung: Die erste harte Nuss galt es zu knacken. Der 32-Bit-Mikrocontroller benötigt zwei Spannungsebenen, die I/O-Spannung mit 3,3 V und die Kernspannung mit 1,8 V (Linearregler integriert auf dem Chip!). FPGAs aus der Spartan-3-Serie begnügen sich mit einer Kernspannung von 1,2 V und unterschiedlichen I/O-Spannungen von 2,5 oder 3,3 V – die aber nur mit Einschränkungen. Die Bedingung auch vier LVDS-Kanäle zur Verfügung zu stellen fixierte diese I/O-Spannung auf 2,5 V.

Vier verschiedene Versorgungsspannungen breitbandig entkoppeln

Also 4, in Worten vier, verschiedene Versorgungsspannungen sind breitbandig zu entkoppeln. Daran führt kein Weg vorbei, außer man liebt das Risiko oder den Adrenalin-Kick in der EMV-Prüfhalle. Vier Lagen (einschließlich GND) von maximal sechs waren sozusagen „verbraucht“. Mickrige zwei Lagen blieben für die Verlegung der eigentlichen Signalleitungen übrig. So nebenbei mussten alle Signalleitungen auch noch impedanzdefiniert geroutet werden.

Da kam Freude bei der Entflechtung des Leiterplattenlayouts auf. Die Forderung nach 5 V Eingangsspannungsfestigkeit aller Signale am USER-IO-Stecker führte zum massiven Einsatz passiver Analogschalter mit Spannungspegelkonversion von eben genannten 5 auf 3,3 V (ARM7 CPU) und 2,5 V (Spartan-3 FPGA). Auch die 8-Bit-Busverbindung zwischen CPU (3,3 V) und FPGA (2,5 V) kam nicht ohne Pegelkonverter aus.

Der Einsatz von analogen Bus-Schaltern bringt erhebliche Vorteile. Die Durchlaufzeit beträgt

maximal 200 ps. Es gibt keinen aktiven Störereigniseintrag in das Vcc-GND-System und die Verbindungen sind implizit bidirektional. Steuerleitungen zur Richtungsumschaltung sind ebenfalls nicht mehr erforderlich.

Maximale Flexibilität für die Software eingeräumt

Vier Analogeingänge der integrierten 10-Bit-A/D-Wandler wurden mit externen Operationsverstärkern für unterschiedliche Sensorelemente fit gemacht. Die Regelung der benötigten Betriebsspannungen übernehmen drei externe Linearregler (3,3; 2,5; 1,2 V) in SMD-Ausführung mit Kühlung über die zwei GND-Planes (Thermal-Vias) und die Kantenkontaktierung. Die vierte Spannung (1,8 V) bedient der im Mikrocontroller integrierte Linearregler. Die Reprogrammierung des Spartan-3-FPGAs übernimmt wahlweise das serielle Bitstrom-Flash oder über die JTAG-Signale der ARM7-Mikroprozessor.

Der Software wurde dadurch ein Maximum an Flexibilität und Eingriffsmöglichkeiten eingeräumt. Ebenso lässt sich ein Reload des FPGAs aus dem Bitstrom-Flash über die Software erzwingen. Sämtliche digitalen Eingänge des Spartan-3-Bausteins sind dank Analog-Pegelkonverter 5 V eingangsspannungsfest. Zusätzliche für die funktionale Stabilität und EMV unerlässliche Maßnahmen wie GND-Stifte, Kantenkondensatoren, Kantenkontaktierung, Kondensatorgruppen verbunden mit der aus wirtschaftlichen Gründen aufgestellten Forderung nur einseitige Bestückung mit Komponenten zuzulassen, ließen den Zeitaufwand bis an die Grenze des Zumutbaren steigen. Deswegen wird im Folgeteil der Neujahrs-Voratz für das Jahr 2006 und darüber hinaus „Wir haben es versucht, es ist gelungen, aber wir machen es so nie wieder oder nur in außergewöhnlichen Ausnahmefällen“ mehr als verständlich. (cm) ■

Die Quadratur des Kreises II

Stabile Hardware im schlanken 6-Lagen-Aufbau

Mit verschiedenen Maßnahmen haben die Entwickler des 18-Lagen-CERO-CPU-Moduls und der 20-Lagen-Multilayer-Lösung meltemi in den vergangenen 8 Jahren erfolgreich stabile Hardware-Funktionalität in einer Hochgeschwindigkeitsplattform realisiert. Die jüngste Herausforderung bestand darin, die Erfahrungen von 18- und 20-lagigen Multilayer-Boards annähernd verlustfrei in einem 6-Lagen-Multilayer-Design mit einseitiger Bestückung zu integrieren.

Gerhard Eigelsreiter

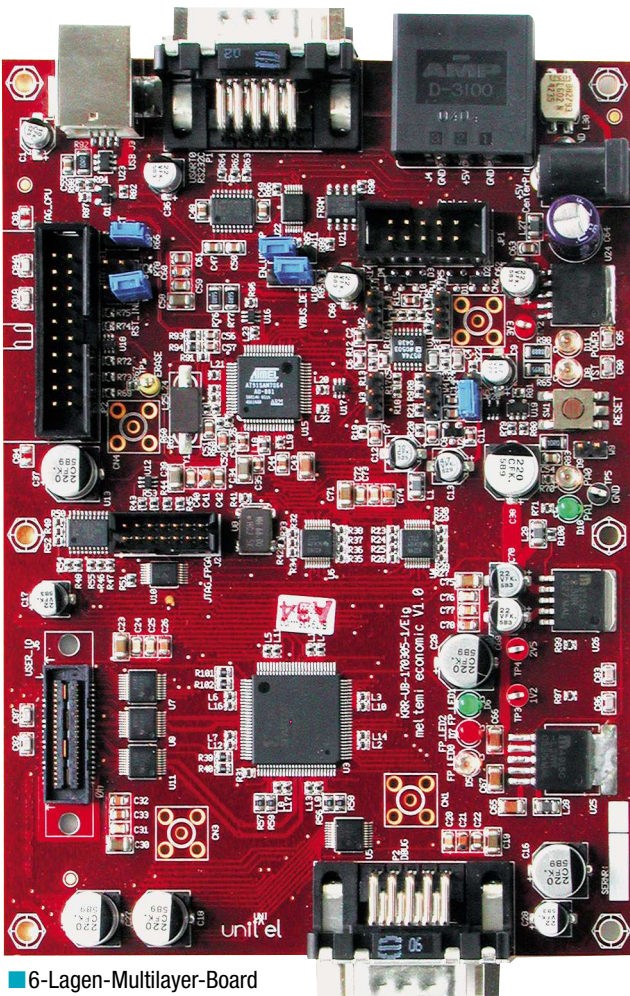
„Jede Lösung eines Problems ist ein neues Problem“,
(Johann Wolfgang von Goethe zugeschrieben).

Angesichts des vorhandenen Aufgabenkatalogs erschien diese Aussage reichlich optimistisch, jedoch als Zwischenlösung sogar sehr erstrebenswert. Denn dieser Katalog umfasst schlichtweg die Umsetzung nahezu aller EMV-gerechten Maßnahmen in ein schlankes, kostengünstiges 6-Lagen-Multilayer-Board. Maßnahmen, die bei der Entwicklung des 18-Lagen-CERO-CPU-Moduls und der 20-Lagen-Multilayer-Lösung „meltemi“ in den letzten 8 Jahren zur Sicherung stabiler Hardware-Funktionalität getroffen und entsprechend erfolgreich umgesetzt wurden.

Ein schier unlösbares Problem: Von 20 Lagen runter auf 6 Lagen. Als Entwickler von Hochgeschwindigkeits-Hardware bedarf es keiner ausufernden Fantasie, sich sofort einer Phalanx an Widrigkeiten gegenüber zu sehen.

Die keineswegs vollständige Aufzählung dieser Herausforderungen bringt etwas Licht ins Dunkel:

- 4 Stromversorgungssysteme sind breitbandig zu entkoppeln. Das betrifft die ARM7-CPU mit 3,3-V-IO- und 1,8-V-Kern-Spannung, sowie das Spartan-3 FPGA mit 2,5-V-IO- und 1,2-V-Kern-Spannung.
- Es bleiben somit nur 2 Lagen für die Entflechtung der Signalleitungen übrig.
- Einseitige Bestückung ist aus Kostengründen unvermeidlich.
- Die unerlässliche Aufteilung in 2 symmetrische, innen liegende Stromversorgungslagen mit den beiden Signalleitungslagen jeweils außen, verlangt den Einsatz von GND-Stiften bzw. GND-Vias bei nahezu jedem Signallagenwechsel.
- Sämtliche Spannungspins der ARM7-CPU, als auch des Spartan-3 FPGAs sind einzeln durch Drosseln mit entsprechenden ohmschen Anteilen entkoppelt (insgesamt 24 Stück).
- Nahezu alle Signalleitungen sind impedanzdefiniert (50 V) geführt.
- Des Weiteren erhöhen vier LVDS-Leitungspaare (100 V differenziell) die Flexibilität dieser Baugruppe UND die Widrigkeiten bei der Leitungsverlegung (konstante Abstände innerhalb des Paares, Längenausgleich, Abstandsregeln zu „Single-Ended“-TTL-Leitungen usw.).
- Kondensatorgruppen, Kantenkontaktierung und Kantenkondensatoren müssen ebenso ihre Berücksichtigung finden. Die daraus abzuleitenden Konsequenzen disqualifizierten leider so ganz nebenbei Autoplacer und Autorouter! Ausufernde Forschungsarbeiten, durchsetzt von Nachtübungen, standen auf der Tagesordnung. Begriffe wie Liefertermine und Kostendruck wurden zu treuen, ausbaufähigen Weg-Begleitern. Eine in Form von Beispielen angepasste Betrachtungsweise verdeutlicht im Folgenden die gefundenen und in das Layout umgesetzten Lösungen:



■ 6-Lagen-Multilayer-Board „meltemi economic“

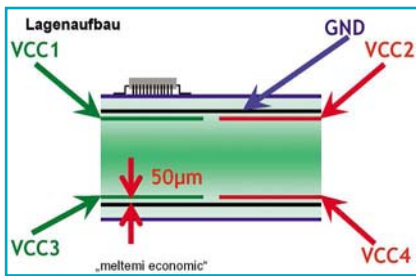


Bild 1: Lagenaufbau der 6-Lagen-Multilayer-Referenz-Hardware-Plattform „meltemi economic“

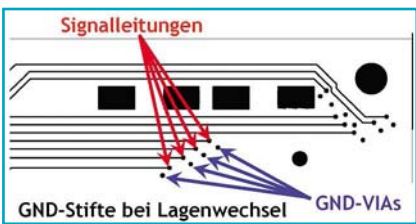


Bild 2: Bei jedem Lagenwechsel von Signalleitungen sind GND-Vias möglichst nahe an den Signalleitungs-Vias zu setzen

Lagenaufbau: Noch vor der Fertigstellung des Schaltplans ist der Lagenaufbau der Leiterplatte sehr genau zu überlegen und zu definieren. Halbherzige Bauelemente-Auswahl und Fahrlässigkeiten im Lagenaufbau führen spätestens in der EMV-Halle zu hervorragend dokumentierten „strahlenden“ Ergebnissen, die durch Sekundär-Maßnahmen praktisch nicht mehr in den Griff zu bekommen sind. Kostenintensive Redesigns sind vorprogrammiert. In Bild 1 ist der Lagenaufbau dieser 6-lagigen Referenz-Hardware-Plattform schematisch dargestellt. Die 2 Stromversorgungssysteme sind symmetrisch als Innenlagen angeordnet. Wegen der Entkopplung von 4 Spannungen sind die Stromversorgungslagen gesplittet (Vcc1, Vcc2 sowie Vcc3 und Vcc4). Sonst wären 4 weitere Lagen erforderlich. Der Abstand zwischen den Vcc- und GND-Lagen beträgt 50 µm, das derzeitig auch kostenmäßig vertretbare Optimum. Für brauchbar breitbandig entkoppelte Stromversorgungssysteme sollte dieser

Abstand keinesfalls 120 µm überschreiten.

GND-Stifte: 4 Lagen sind also bereits für die Stromversorgung reserviert. Bei nur 2 Signallagen, zwangsweise als Außenlagen geführt, ergibt sich ein weiterer interessanter Aspekt. Jeder Lagenwechsel von Signalen (Vias) führt bei dieser Anordnung zweier räumlich voneinander getrennten GND-Lagen zu einer Referenzierung des Signal-Rückstroms auf die „falsche“ GND-Lage, wenn in der Nähe (kleiner 1 cm) keine durchgehende Verbindung zu den relevanten GND-Lagen existiert. Abhilfe schaffen hier GND-Stifte die alle GND-Lagen miteinander als Vias verbinden.

Wie in Bild 2 deutlich zu erkennen ist, sollten die Abstände zu den Signal-Vias möglichst klein sein, um die Signalarückströme nahe an den Signalleitungen zu führen.

Als routinierter Layouter erwartet man bereits auf den ersten Blick weitere Kalamitäten. Der zusätzliche Platzbedarf dieser GND-Vias erschwert erheblich das Routen auf nur zwei Lagen, denn aus Kostengründen darf nur einseitig platziert werden.

USB-Anschluss: Das Routing von differenziellen Leitungspaaren (Bild 3) wird bei Mikrocontrollern mit integrierter USB-Peripherie meist durch zusätzliche passive Komponenten behindert. Diese Komponenten sollen ebenso wie das PLL-Filternetzwerk (Bild 4) natürlich tunlichst nahe an den CPU-Pins platziert werden. Im Gegensatz zu LVDS-Leitungspaaren beträgt die differenzielle Impedanz hier 90 Ω und **nicht** wie üblich 100 Ω.

Oszillator: Besonders sorgsam ist mit der Leitungsführung der Quartz-Oszillator-Komponenten (Bild 5) umzugehen. Sehr kurze Leitungsführungen sind obligat. Übersprechen von digitalen Signalleitungen ist strikt zu vermeiden, respektive auf ein Minimum zu reduzieren (beispielsweise eine Umfassung durch zusätzliche GND-Leitung).

Filterdrosseln: Alle CPU-Vcc-Pins und ebenso jeder FPGA-Vcc-Anschluss sind jeweils über Drosseln (Bild 6) mit niedriger Impedanz (ca. 10 Ω) an die Stromversorgungslagen angebunden. Diese Bauelemente sind natürlich, wen wundert es noch, wiederum möglichst nahe an den entsprechenden Pins zu positionieren.

Kondensatorgruppen (Bild 7): Die dürfen dank ihrer Wirkradien angenehmerweise dort positioniert werden, wo noch ausreichend Platz vorhanden ist, jedoch empfehlenswerterweise nicht unmittel-

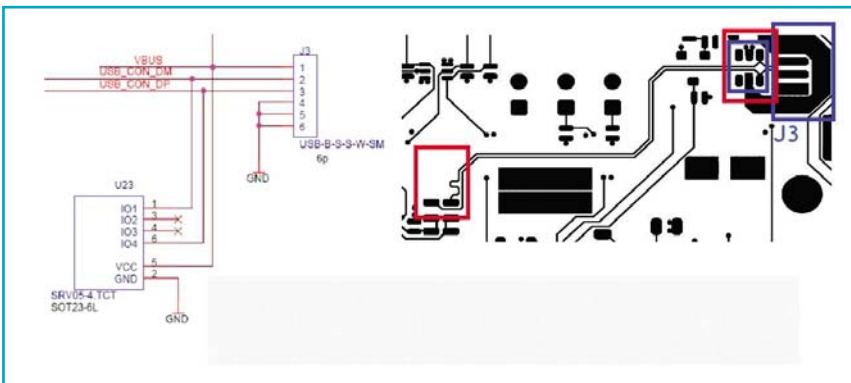


Bild 3: Der Längenausgleich ist generell an der Stelle durchzuführen, an der das Problem auftritt (siehe rote Umrandung links). Auch die Anbindungen an das Überspannungsschutz-Array sind der differenziellen Leitungsführung konform anzubinden (siehe rote und blaue Umrandung rechts oben).

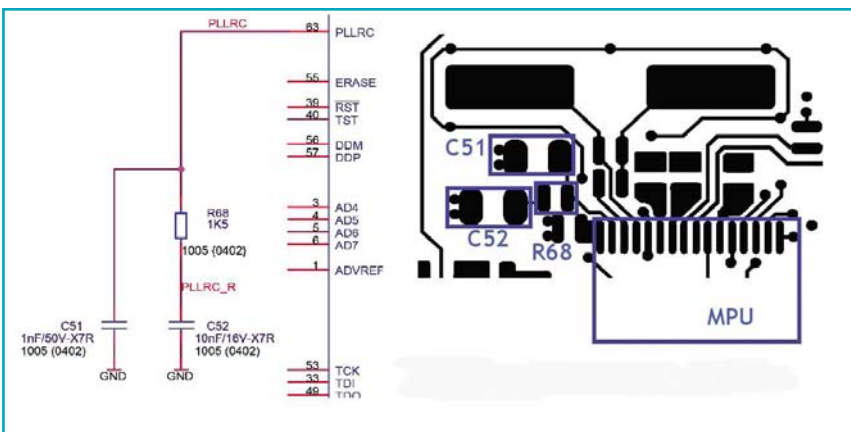


Bild 4: PLL-Filternetzwerk der AT91SAM7S64 ARM7-CPU. Auf der rechten Seite sind die Komponenten im Layout blau umrandet.

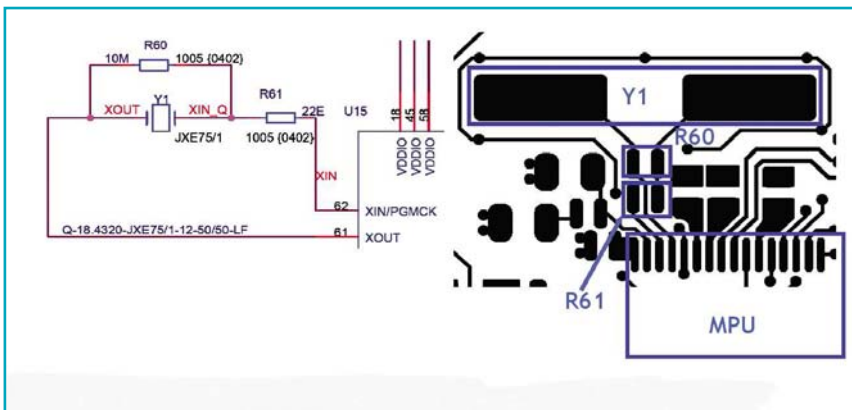


Bild 5: Quartz-Oszillator-Außenbeschaltung der ARM7-CPU. Die normalerweise üblichen 2 Kondensatoren (meist 15 pF) gegen GND können eingespart werden, wenn ein Oszillator-Quartz mit 12 pF Ladekapazität verwendet wird

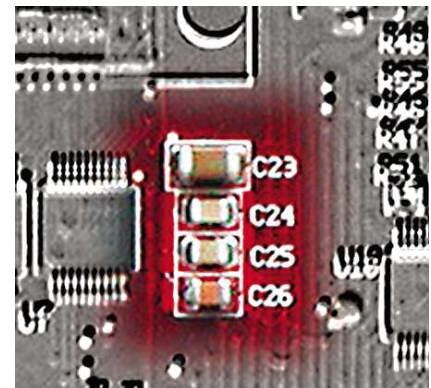


Bild 7: Kondensatorgruppen dürfen als Lichtblick dort platziert werden, wo noch sinnvollerweise Platz vorhanden ist. Sofern ihre Wirkungsradien entsprechend groß sind.

bar in den Randbereichen der Leiterplatte. Allerdings müssen die Werte mit geeigneten Programmen ermittelt werden. Die Werte für die Referenz-Plattform stammen von Ergebnissen, die mit der Software Silent (siehe Seite 82) berechnet wurden.

Lösungswege für viele andere Applikationen aufzeigen

Starke 2 Signallagen standen zur Realisierung von Signalintegrität und EMV-förderlichen Maßnahmen beim meltemi-economic-Board zur Verfügung. Die EMV-Prüfergebnisse (Bild 8) haben dennoch alle Mühen mehr als wettgemacht. Der geplante Zeithorizont wurde jedoch drastisch überschritten. Die Gründe dafür sind, wie kurz angerissen, sehr vielfältig. Eine beidseitige Bestückung verbunden mit 2 weiteren Signallagen würde bereits eine eklatante Verkürzung des Zeitaufwands für die Layouterstellung bringen. Aus rein kaufmännischer Sicht ist dieses 6-Lagen-Design nur bei hohen Stückzahlen kostenmäßig vertretbar. Es darf aber dabei nicht vergessen werden, dass es sich um eine Hardware-Referenzplattform handelt. Mit dem Ziel geeignete Lösungswege für eine Vielzahl von Applikationsanforderungen zu bieten oder Denkanstöße für komplexere Konstruktionen zu geben. Wer sich diesen zusätzlichen Zeitaufwand sparen oder selbst experimentieren möchte, hat die Möglichkeit, mittels Erwerb der Plattform über die mitgelieferte Dokumentation auch den Schaltplan und das Leiterplattenlayout näher in Augenschein zu nehmen. Detaillierte Informationen zum meltemi-economic-Board erhalten Sie auf Seite 82. (cm)

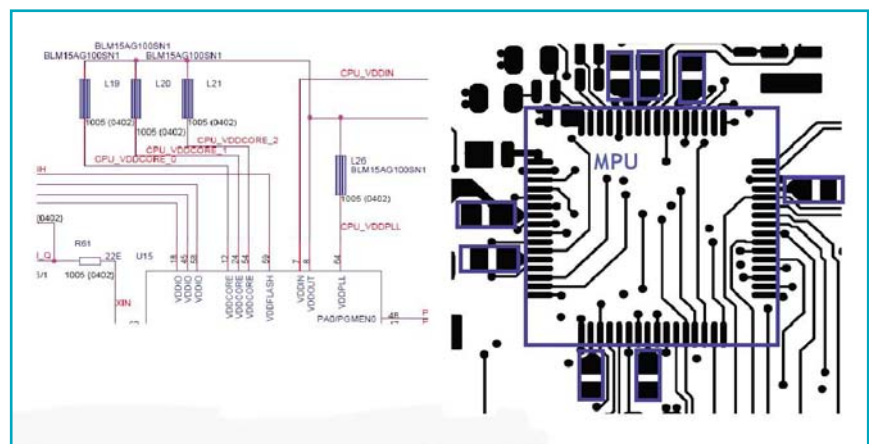


Bild 6: Hier sind im Schaltplan nur Teile der rechts abgebildeten Drosseln (blau umrandet) zu sehen. Alle 8 Stromversorgungspins der ARM7-CPU sind getrennt zu entkoppeln.

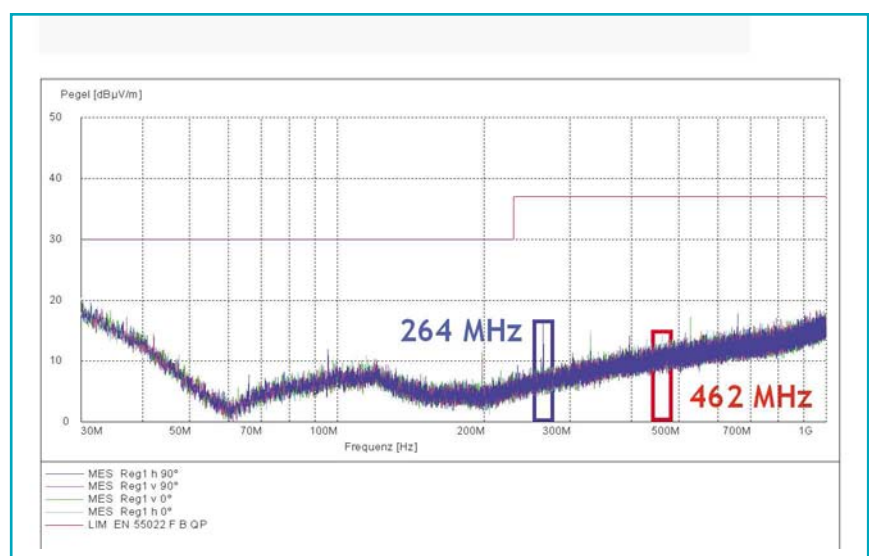


Bild 8: Störpektrum-Messung „meltemi economic“. Die 4. Harmonische (blaue Umrandung) und die 7. Harmonische (rote Umrandung) sind farblich eingefasst. Die Ergebnisse sind ausgezeichnet und entsprechen den Erwartungen.

Der optimale Lagenaufbau

Philosophische Spannungen I

In Kapitel 8 und 9 wurde die meltemi-economic-Baugruppe vorgestellt: 32-Bit-Mikrocontroller, flexible I/O-Struktur und frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik, die das Einsatzgebiet nach oben abrunden und die Lebensdauer der Hardware verlängern. Während die Entwickler beim meltemi-Board 20 Multilayer-Lagen zur Verfügung hatten, mussten für meltemi economic 6 Lagen ausreichen, ohne Einschränkungen der funktionalen Sicherheit und Stabilität der Hardware. Aus dieser Vorgehensweise lassen sich Konstruktionsregeln und Strategien für künftige Schaltungen ableiten.

Arnold Wiemers

■ Es ist ein Prinzip und gilt als erstrebenswerte Ingenieurs-Tugend, für ein Industrieprodukt das Notwendige und Hinreichende zu tun. Einstein wird die Aussage zugeordnet, dass „Everything should be made as simple as possible, but not simpler“. Ein Stein im Konzept von Gerhard Eigelreiter ist, eine optimale Lösung für ein komplexes Problem zu finden. In seinen Vorträgen zu „CERO“ und „meltemi“ findet sich der Satz „Einfachere Einfachheit erfordert komplexere Komplexität“. Bei dieser Aussage stellt sich spontan das intuitive Gefühl ein, einer der elementaren Erkenntnisse der Gegenwartsphilosophie zu begegnen.

Kann eine solche Betrachtung auch ein so simples Produkt berühren wie die Leiterplatte? Unterliegt das Konzept für einen Lagenaufbau eventuell sogar erkenntnistheoretischen Gesichtspunkten? In der Tat, ja, es ist so. Es lässt sich zeigen, dass ein einfacher, aber optimierter Lagenaufbau ein komplexes theoretisches und praktisches Umfeld erfordert.

Das strategische Konzept für die High-Speed-CPU „meltemi“

Das „meltemi“-Board gibt es in zwei Versionen. Die höherlagige erste Version mit 20 Layern ist für eine High-Speed-Anforderung ausgelegt mit einem Datendurchsatz im GBit-Bereich. Der Aufgabe

entsprechend scheint die Lagenanzahl angemessen zu sein.

Ist das nach dem Konzept: „Viel hilft viel“ ausgelegt gewesen? Die 20-Lagen-Baugruppe „meltemi“ hat sich in der Praxis bewiesen. Quod erat expectandum. Hinter dem Konzept von „meltemi“ stehen vier konkrete Behauptungen, die als Bedingungen für einen effektiven Lagenaufbau und für eine sichere Funktion der Baugruppe angesehen werden:

■ 1. Entkopplung

Die Standard-Entkopplung einer elektronischen Schaltung kann breitbandig über kapazitive Powerplanes mit einem Lagenabstand von 50 µm erfolgen. Ergänzend ist nur noch eine lokale Kondensatorgruppe erforderlich.

■ 2. EMV-Immission/-Emission

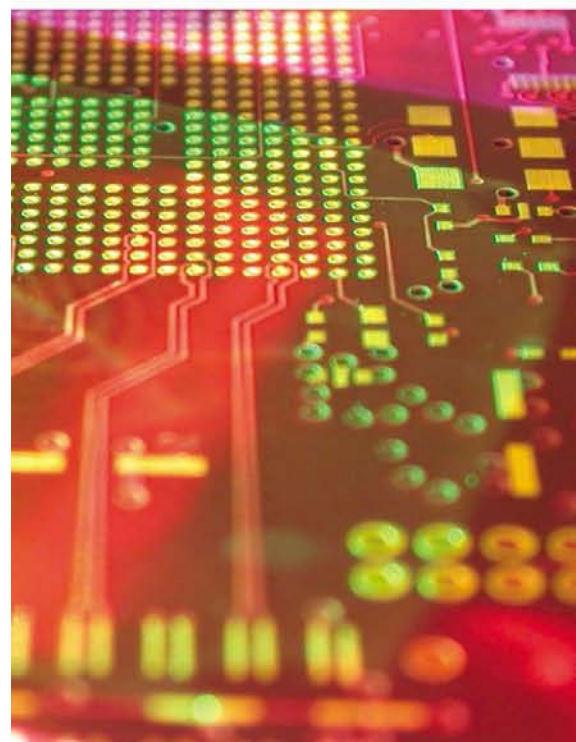
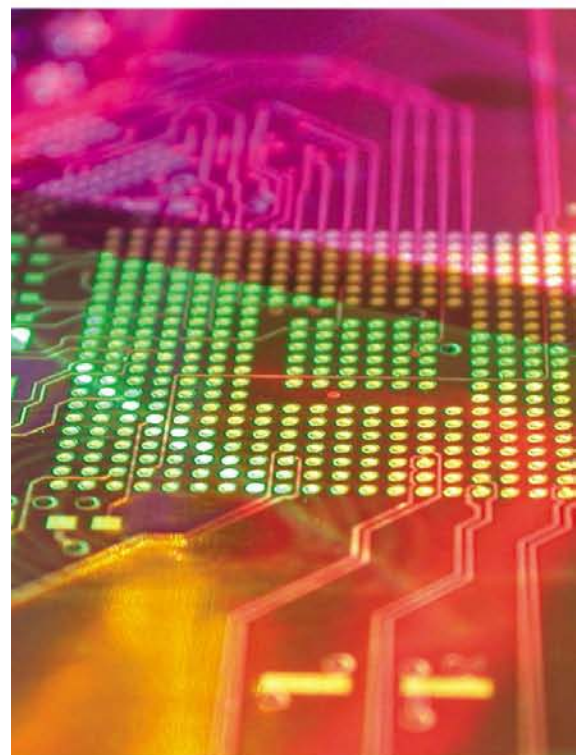
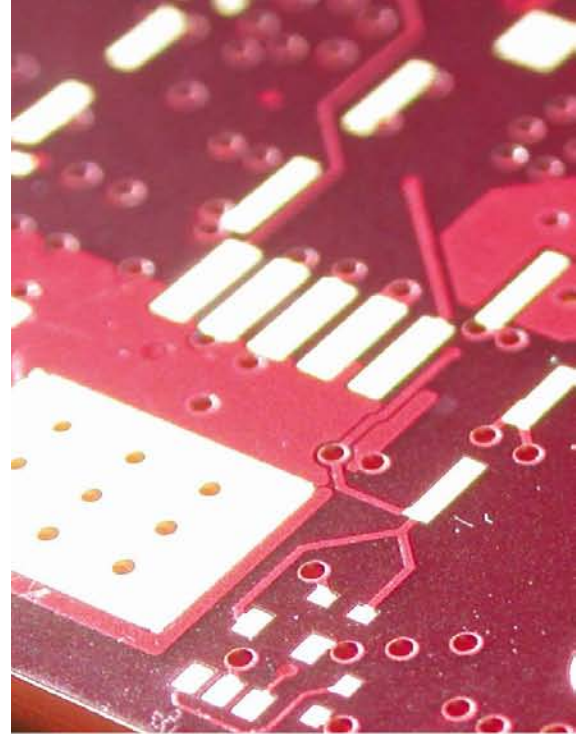
Die Störabstrahlung einer Baugruppe und/oder die Störanfälligkeit einer Baugruppe wird durch die Kontaktierung der Kanten der Leiterplatte drastisch reduziert.

■ 3. Signalintegrität

Die Signalintegrität einer Baugruppe wird durch eindeutige GND-Bezüge der Rückstromwege optimiert. Bei mehreren Signallagen dürfen sich die GND-Bezüge nicht überlagern.

■ 4. Eigenstörung

Die Störung („Innere EMV“) der Signallayer einer Baugruppe durch die eigenen



	Variante 1	Variante 2	Variante 3	Variante 4
Layer 1	SIGNAL	SIGNAL	SIG	GND
Layer 2	SIGNAL	GND	GND	SIG
Layer 3	VCC	VCC	SIG	VCC
Layer 4	GND	SIGNAL	VCC	SIG
Entkopplung	gut	gut	schlecht	schlecht
EMV	schlecht	schlecht	schlecht	schlecht
Signalintegrität	schlecht	schlecht	gut	schlecht
Eigenstörung	mittel	mittel	mittel	hoch

Tabelle 1: 4-Lagen-Aufbauten sind nicht effektiv. Für einen 4-Lagen-Multilayer werden exemplarisch 4 Aufbauvarianten betrachtet und vor dem Hintergrund der 4 Behauptungen (Entkopplung, EMV, Signalintegrität und Eigenstörung) analysiert.

	Variante 1	Variante 2	Variante 3	Variante 4	Variante 5	Variante 6
Layer 1	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL	SIGNAL
Layer 2	SIGNAL	GND	VCC	GND	GND	GND
Layer 3	VCC	VCC	SIGNAL	VCC	VCC	VCC
Layer 4	GND	VCC	SIGNAL	SIGNAL	GND	GND
Layer 5	SIGNAL	GND	VCC	GND	nicht belegt	SIGNAL
Layer 6	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL	SIGNAL
Entkopplung	gut	gut	gut	gut	gut	gut
EMV	schlecht	gut	mittel	mittel	gut	gut
Signalintegrität	schlecht	gut	schlecht	gut	gut	schlecht
Eigenstörung	mittel	niedrig	hoch	mittel	Niedrig	niedrig

Tabelle 2: 6-Lagen-Aufbauten bieten eine minimale Lösung. Für einen 6-Lagen-Multilayer werden exemplarisch 6 Aufbauvarianten betrachtet und vor dem Hintergrund der 4 Behauptungen analysiert.

Vcc-Planes wird auf ein Minimum reduziert, wenn die Vcc-Planes von GND-Planes gegen die Signallagen abgeschirmt werden.

Minimalismus pur: meltemi economic 20 Lagen kann jeder! Um zu klären, ob die vorausgesagten physikalischen Eigenschaften möglicherweise allgemeine Gültigkeit haben könnten, ist die zweite Version von meltemi projektiert worden, die Baugruppe meltemi economic.

Als ob die technischen Anforderungen nicht ausgereicht hätten, nahm man mit meltemi economic eine zusätzliche Komplikation in Angriff. Es galt, die Minimalbedingung zu suchen, bei der die obigen vier Behauptungen zutreffen.

Dahinter wiederum steckt natürlich die Annahme, dass es eine solche Minimalbedingung überhaupt gibt. Diese Annahme ist elementar.

Wenn bewiesen werden könnte, dass es eine Minimalbedingung gibt, dann erfüllen alle Multilayer-Aufbauvarianten außerhalb dieser Minimalbedingung die vorausgesagten physikalischen Eigenschaften nicht. Diese Varianten wären nicht optimal oder, im Extremfall, je nach Anforderung, nachweislich grundsätzlich nicht brauchbar.

Für den Alltag der Leiterplatte eröffnet diese Betrachtung eine neue Dimension.

Die 4 Bedingungen für eine sichere Gerätefunktion

Hinter dem Konzept von „meltemi“ stehen vier konkrete Behauptungen, die als Bedingungen für einen effektiven Lagenaufbau und für eine sichere Funktion der Baugruppe angesehen werden:

- **1. Entkopplung:** Die Standard-Entkopplung einer elektronischen Schaltung kann breitbandig über kapazitive Powerplanes mit einem Lagenabstand von 50 µm erfolgen. Ergänzend ist nur noch eine lokale Kondensatorgruppe erforderlich.
- **2. EMV-Immission/-Emission:** Die Störabstrahlung einer Baugruppe und/oder die Störanfälligkeit einer Baugruppe wird durch die Kontaktierung der Kanten der Leiterplatte drastisch reduziert.
- **3. Signalintegrität:** Die Signalintegrität einer Baugruppe wird durch eindeutige GND-Bezüge der Rückstromwege optimiert. Bei mehreren Signallagen dürfen sich die GND-Bezüge nicht überlagern.
- **4. Eigenstörung:** Die Störung („Innere EMV“) der Signallayer einer Baugruppe durch die eigenen Vcc-Planes reduziert sich auf ein Minimum, wenn die Vcc-Planes von GND-Planes gegen die Signallagen abgeschirmt werden.

Die bewerteten Aufbauvarianten

Der Begriff „Aufbauvariante“ bezieht sich hier nicht auf den körperlichen Lagenaufbau eines Multilayers, sondern ausschließlich darauf, wie die Signale und Stromversorgungen auf die zur Verfügung stehenden Layer verteilt werden könnten. Im Wesentlichen werden also unkomplizierte kombinatorische Aspekte betrachtet. Es wird

nur vorausgesetzt, dass es die drei Qualitäten SIGNAL, GND und Vcc gibt und dass jede Qualität die ganze Lage beansprucht und mindestens einmal im Aufbau vorkommen muss.

Anschließend werden die exemplarischen Aufbauvarianten, die sich durch mögliche Kombinationen ergeben, mit Blick auf die oben angegebenen vier Behauptungen bewertet.

Die **Entkopplung** wird als „gut“ bewertet, wenn Vcc und GND benachbart sind, weil dann ein Flächenkondensator durch minimale Lagenabstände ausgeprägt werden könnte. Die Bewertung ist „schlecht“, wenn Vcc und GND nicht benachbart sind, weil kapazitive Effekte dann von vornherein nicht möglich sind.

Die **EMV** wird als „gut“ bewertet, wenn alle inneren SIGNAL-Lagen von GND-Planes abgedeckt werden und wenn die Vcc-Planes innen liegen und durch eine Kantenkontaktierung abgeschirmt werden könnten. Die Bewertung ist „mittel“, wenn ein SIGNAL in der Nachbarlage ein Vcc hat. Die Bewertung ist „schlecht“, wenn Vcc nicht beidseitig durch GND abgedeckt wird und wenn Vcc nicht durch eine Kantenkontaktierung abgeschirmt werden könnte.

Die **Signalintegrität** wird als „gut“ eingestuft, wenn jedes SIGNAL ein GND als direkte Nachbarlage hat. Die Bewertung ist „schlecht“, wenn es ein SIGNAL gibt, das zwischen sich und GND ein zweites SIGNAL sieht oder ein Vcc.

Die **Eigenstörung** ist „niedrig“, wenn alle SIGNALE durch GND von Vcc abgeschirmt sind. Sie ist „mittel“, wenn nur ein SIGNAL betroffen ist, und sie ist „hoch“, wenn mehr als ein SIGNAL betroffen ist.

► In der realen Welt der Leiterplattenproduktion müssen die Materiallogistik, die Maschineninvestitionen und die Ausbildungskonzepte für die Mitarbeiter langfristig geplant werden können. Die verbindliche Aussage vor einem belegbaren Hintergrund, welches Leiterplattenprodukt kommen muss und welches nicht brauchbar sein wird, ist jetzt und künftig von großem strategischem Vorteil.

Die bewerteten Aufbauvarianten

Der Begriff „Aufbauvariante“ bezieht sich hier nicht auf den körperlichen Lagenaufbau eines Multilayers, sondern ausschließlich darauf, wie die Signale und Stromversorgungen auf die zur Verfügung stehenden Layer verteilt werden könnten.

Im Wesentlichen werden also unkomplizierte kombinatorische Aspekte betrach-

tet. Es wird nur vorausgesetzt, dass es die drei Qualitäten SIGNAL, GND und Vcc gibt und dass jede Qualität die ganze Lage beansprucht und mindestens einmal im Aufbau vorkommen muss. Anschließend werden die exemplarischen Aufbauvarianten eines Multilayers, die sich durch mögliche Kombinationen ergeben, mit Blick auf die oben angegebenen vier Behauptungen bewertet.

Die **Entkopplung** wird als „gut“ bewertet, wenn Vcc und GND benachbart sind, weil dann ein Flächenkondensator durch minimale Lagenabstände ausgeprägt werden könnte. Die Bewertung ist „schlecht“, wenn Vcc und GND nicht benachbart sind, weil kapazitive Effekte dann von vornherein nicht möglich sind.

Die **EMV** wird als „gut“ bewertet, wenn alle inneren SIGNAL-Lagen von GND-Planes abgedeckt werden und wenn die Vcc-Planes innen liegen und durch eine Kantenkontaktierung abgeschirmt werden könnten. Die Bewertung ist „mittel“, wenn ein SIGNAL in der Nachbarlage ein Vcc hat. Die Bewertung ist „schlecht“, wenn Vcc nicht beidseitig durch GND abgedeckt wird und wenn Vcc nicht durch eine Kantenkontaktierung abgeschirmt werden könnte.

Die **Signalintegrität** wird als „gut“ eingestuft, wenn jedes SIGNAL ein GND

als direkte Nachbarlage hat. Die Bewertung ist „schlecht“, wenn es ein SIGNAL gibt, das zwischen sich und GND ein zweites SIGNAL sieht oder ein Vcc.

Die **Eigenstörung** ist „niedrig“, wenn alle SIGNALE durch GND von Vcc abgeschirmt sind. Sie ist „mittel“, wenn nur ein SIGNAL betroffen ist, und sie ist „hoch“, wenn mehr als ein SIGNAL betroffen ist.

4-Lagen-Aufbauten sind hinsichtlich der technischen Anforderungen nicht effektiv

Für einen 4-Lagen-Multilayer werden exemplarisch 4 Aufbauvarianten betrachtet. Die Einschätzung dieser Aufbauvarianten vor dem Hintergrund der oben genannten vier Behauptungen ergibt Tabelle 1. Die Nachteile sind deutlich zu erkennen. Vor dem Hintergrund der anstehenden technischen Anforderungen ist ein komfortabler Schaltungsaufbau mit 4 Lagen nicht umsetzbar. Daraus ergibt sich die grundlegende Erkenntnis, dass 4-Lagen-Multilayer für zukünftige Anwendungen nicht brauchbar sind.

6-Lagen-Aufbauten bieten eine minimale Lösung

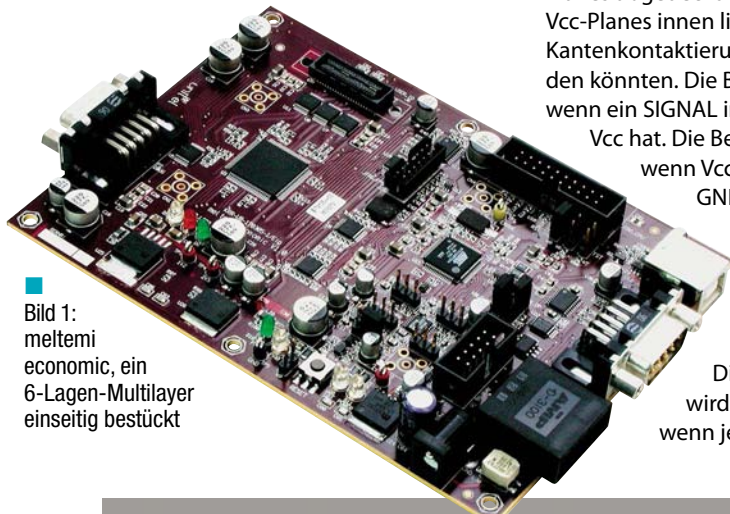
Für einen 6-Lagen-Multilayer werden exemplarisch 6 Aufbauvarianten betrachtet. Die Einschätzung dieser Aufbauvarianten vor dem Hintergrund der oben genannten vier Behauptungen ergibt Tabelle 2.

Die Variante 2 entspricht dem strategischen Optimum für einen 6-Lagen-Multilayer für alle vier Behauptungen. Das wird mit der Beschränkung auf 2 Signallagen allerdings teuer erkaufte. Dies ist der Aufbau für „meltemi economic“ (Bild 1 und 2). Die anderen Aufbauten haben Nachteile. Beispielsweise gibt es bei den Varianten 1, 3 und 4 stets Signallebenen, die durch benachbarte Vcc-Planes beeinträchtigt werden.

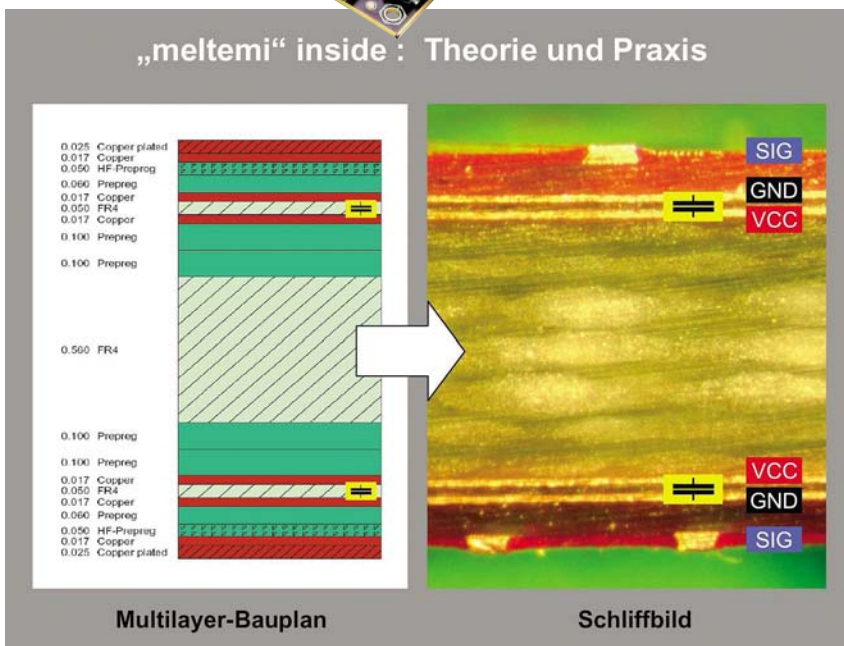
Eine Ausnahme ist die Variante 5. Durch Nichtbelegung von Layer 5 sind die Eigenschaften in der Summe besser, als bei dem ansonsten identischen Aufbau in Variante 6. Natürlich auch hier zu Lasten einer (möglichen) Signallage.

Es geht aber um etwas anderes: Es war nie eine Vorgabe, dass alle Lagen eines n-Lagen-Multilayers belegt sein müssen, respektive, dass die Lagenanzahl eines Multilayers immer eine gerade Zahl sein muss. Fazit: Die bisherigen Annahmen sind einfacher Natur. Weitere, in der Praxis übliche Vorgaben an das Material oder die Kontaktierungsstrategie sind nicht berücksichtigt. Es entsteht aber bereits die Ahnung, dass es den typischen 4-, 6- oder 8-Lagen-Multilayer vielleicht gar nicht gibt!

(cm) ■



■ Bild 1: meltemi economic, ein 6-Lagen-Multilayer einseitig bestückt



■ Bild 2: Der Lagenaufbau für meltemi economic besteht innen aus zwei 50-µm-Laminaten mit 17 µm Kupfereauflage. Um den Abstand zwischen den beiden Vcc-Lagen zu überbrücken, wurde ein geätztes 560 µm dickes Laminat eingebaut. Alle Signale sind auf beiden Außenlagen geführt.

Im ersten Kapitel der „Philosophischen Spannungen“ (Ausgabe 11/2006) wurde Gerhard Eigelsreiter mit Referenz zum „meltemi“-Projekt mit der Aussage zitiert, dass „eine einfache Lösung ein komplexes Umfeld erfordert“. Vor dem Hintergrund der Eigenschaften von „meltemi economic“ wurden grundsätzliche strategische Aspekte für die Konstruktion von Multilayersystemen erläutert.

Als Kriterium für die Funktion von Multilayersystemen wurden 4 Behauptungen definiert, mit denen die Entkopplung, die EMV-Immission/-Emission, die Signalintegrität und die Eigenstörung bewertet werden können. Die Definition dieser 4 Behauptungen aus Kapitel 10 sind auf Seite 43 zusammengefasst. Das zweite Kapitel der „Philosophischen Spannungen“ beschäftigt sich mit 8- und 10-Lagen-Multilayern. Als Referenz für die Leistung von Multilayersystemen werden die GND-Stifte von „meltemi economic“ beschrieben und die Abschirmung der Stromversorgung durch die Kantenkontaktierung.

8-Lagen-Aufbauten sind selten optimal
Für einen 8-Lagen-Multilayer werden exemplarisch 6 Aufbauvarianten betrachtet. Die Bewertung dieser Aufbauvarianten vor dem Hintergrund der 4 Behauptungen ergibt Tabelle 1.

Die formell beste Lösung findet sich für Variante 2. Interessant ist, dass die kapazitiven Eigenschaften der Variante 2 für einen möglichen 8-Lagen-Multilayer um 25% unter den kapazitiven Eigenschaften des optimalen 6-Lagen-Multilayers liegen, der für das meltemi-economic-Board konstruiert wurde (siehe Kapitel 10). Strategisch ist die Variante 2 die beste Lösung. Es ergeben sich 4 Signallagen plus 4 Powerplanes. Unter der Voraussetzung, dass die Lagenabstände zwischen den Powerplanes der Lagen 2, 3 und 4 minimal 50 µm betragen, darf ein unsymmetrischer Lagenaufbau angenommen werden. Das führt oft zu Einschränkungen in der Leiterplattenproduktion, da viele Leiterplattenhersteller unsymmetrische Lagenaufbauten nicht akzeptieren. Akzeptabel ist auch die Variante 5, mit der Einschränkung, dass die Signallage 4 durch die Vcc-Lage auf Layer 3 beeinträchtigt wird. Überraschenderweise sind also 8-Lagen-Multilayer mit Einschränkungen belegt.

Es hätte die Vermutung nahe gelegen, dass mehr Lagen pauschal auch mehr leistungsfähige Kombinationen ermöglichen. In der Praxis sind die gleichen Kombinationen jedoch nicht optimal. ▶

Der optimale Lagenaufbau

Philosophische Spannungen II

Das erste Kapitel von „Philosophische Spannungen“ hat bereits die Ahnung aufkommen lassen, dass es den typischen 4-, 6- oder 8-Lagen-Multilayer vielleicht gar nicht gibt. Dieses Kapitel, in dem der 8- und 10-Lagen-Multilayer beschrieben werden, bestätigt diese Schlussfolgerung: Ein optimaler Lagenaufbau lässt sich mit den klassischen Konstruktionsprinzipien nicht mehr erzielen.

Der Erfolg des meltemi-Projektes ist jedoch nicht allein auf den Aufbau des Multilayersystems zurückzuführen. Während das bewusste Setzen von GND-Stiften die Signalintegrität verbessert, trägt die Kontaktierung der Leiterplattenkanten maßgeblich zur EMV-Stabilität bei.

Arnold Wiemers

10-Lagen-Aufbauten bieten viele Lösungen

Auch für einen 10-Lagen-Multilayer werden exemplarisch 6 Aufbauvarianten betrachtet. Die Einschätzung dieser Aufbauvarianten vor dem Hintergrund der 4 Behauptungen ergibt Tabelle 2.

Erst ab 10 Lagen ergeben sich durch die möglichen Kombinationen von Powerplanes und Signallagen wieder Lösungen, die gute Ergebnisse erwarten lassen.

Vorbehaltlich der Konstruktion eines Multilayersystems im Detail (i.e. Lagenabstände, Basismaterialien) können durch die Kombination von 4 bis 5 Signallagen mit den erforderlichen Powerplanes funktionell erfolgreiche Lösungen gestaltet werden (siehe Variante 1 und 2). Bedingt durch die Anforderungen an Multilayersysteme, auch ergänzende Anforderungen erfüllen zu müssen (Entwärmung, mechanische Stabilität, Strombelastbarkeit,...), wird verständlich, warum „der Trend“ zu höherlagigen Multilayern geht.

Zur Zeit bestätigt sich somit die Voraussage, dass Multilayersysteme mit einer Anzahl von 8 bis 10 Lagen die Leiterplattentechnologie der nächsten Jahre bestimmen werden.

GND-Stifte und Faraday'sche Käfige

Der grundsätzliche Aufbau von „meltemi economic“ wurde bereits erläutert. Zwei kleine Nachträge sind noch erforderlich. Der minimalistische Lagenaufbau allein hätte für den Erfolg von „meltemi“ nicht ausgereicht. Das bewusste Setzen von GND-Stiften (Bild 1) verbessert die Signalintegrität. Durch diese ergänzende und individuelle Beeinflussung der Rückströme über die Gestaltung des CAD-Layouts wird die Schaltung gebändigt und kontrolliert.

Die EMV-Stabilität ist zu einem großen Teil auf die Kontaktierung der Leiterplattenkanten zurückzuführen (Bild 2). Das setzt selbstverständlich voraus, dass die technischen Eigenschaften der Leiterplatte durch eine entsprechende Layoutgestaltung unterstützt werden. Damit eine Abschirmung wirksam werden kann, müssen die GND-Lagen, das sind bei „meltemi“ die Lagen 2 und 5, an die Kante herangeführt werden. Durch den elektrischen Kontakt der GND-Flächen über die Leiterplattenkante ergibt sich ein (unter Faraday'schen Aspekten) hermetisch geschlossener Raum. Deutlich ist zu erkennen, dass die inneren Vcc-Planes auf

	Variante 1	Variante 2	Variante 3	Variante 4	Variante 5	Variante 6
Layer 1	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Layer 2	GND	GND	SIGNAL	VCC	GND	GND
Layer 3	VCC	VCC	GND	SIGNAL	VCC	SIGNAL
Layer 4	SIGNAL	GND	VCC	SIGNAL	SIGNAL	VCC
Layer 5	SIGNAL	SIGNAL	VCC	SIGNAL	GND	SIGNAL
Layer 6	VCC	SIGNAL	GND	SIGNAL	SIGNAL	SIGNAL
Layer 7	GND	GND	SIGNAL	VCC	GND	GND
Layer 8	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Entkopplung	gut	gut	gut	gut	gut	schlecht
EMV	mittel	gut	mittel	mittel	mittel	schlecht
Signalintegrität	schlecht	gut	schlecht	schlecht	gut	schlecht
Eigenstörung	hoch	niedrig	niedrig	hoch	mittel	mittel

Tabelle 1: 8-Lagen-Multilayer mit Einschränkungen belegt. Die möglichen Kombinationen sind in der Praxis nicht optimal.

	Variante 1	Variante 2	Variante 3	Variante 4	Variante 5	Variante 6
Layer 1	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Layer 2	GND	GND	SIGNAL	VCC	GND	SIGNAL
Layer 3	VCC	VCC	GND	GND	VCC	GND
Layer 4	GND	GND	SIGNAL	SIGNAL	SIGNAL	SIGNAL
Layer 5	VCC	SIGNAL	GND	SIGNAL	GND	VCC
Layer 6	GND	GND	VCC	GND	SIGNAL	SIGNAL
Layer 7	SIGNAL	SIGNAL	GND	VCC	SIGNAL	SIGNAL
Layer 8	SIGNAL	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL
Layer 9	GND	GND	SIGNAL	SIGNAL	SIGNAL	SIGNAL
Layer 10	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Entkopplung	gut	gut	gut	gut	gut	schlecht
EMV	gut	gut	gut	mittel	mittel	schlecht
Signalintegrität	gut	gut	schlecht	schlecht	schlecht	schlecht
Eigenstörung	niedrig	niedrig	niedrig	mittel	mittel	hoch

Tabelle 2: Erst ab 10 Lagen ergeben sich durch die möglichen Kombinationen von Powerplanes und Signallagen wieder Lösungen, die gute Ergebnisse erwarten lassen

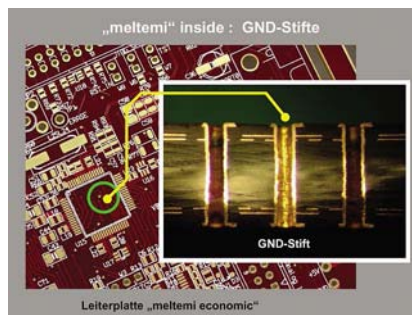


Bild 1: An diskreten Stellen sind im Layout GND-Stifte gesetzt (hier erkennbar an der fehlenden Lötstopplack-Abdeckung). Der Schnitt wurde durch die drei Vias an der gekennzeichneten Stelle (grüner Kreis) gemacht.



Bild 2: Links ist im Anschnitt die Kante der Leiterplatte zu sehen (chemisch Gold auf Kupfer). Die GND-Lagen 2 und 5 gehen bis an den Rand der Leiterplatte und werden über die Leiterplattenkante elektrisch miteinander verbunden.

den Lagen 3 und 4 mit ausreichend Abstand layoutet worden sind.

Im Ergebnis sind die Vcc-Planes durch die GND-Planes plus die Leiterplattenkante komplett eingebettet und abgeschirmt. Fazit:

Die Leistung beim Entwurf von „meltemi economic“ bestand unter anderen darin, auch mit einer reduzierten Lagenanzahl einen technisch hochleistungsfähigen Multilayer zu konstruieren.

Eine solche Lösung ist immer hart erkämpft. Die Reduktion von 20 Lagen auf (vielleicht) 10 und dann auf 6 Lagen scheint wirtschaftlich plausibel. Technisch stellt sie eine außerordentliche Höchstleistung dar. Für eine solche Lösung entscheidet man sich nicht nur. Das muss man können.

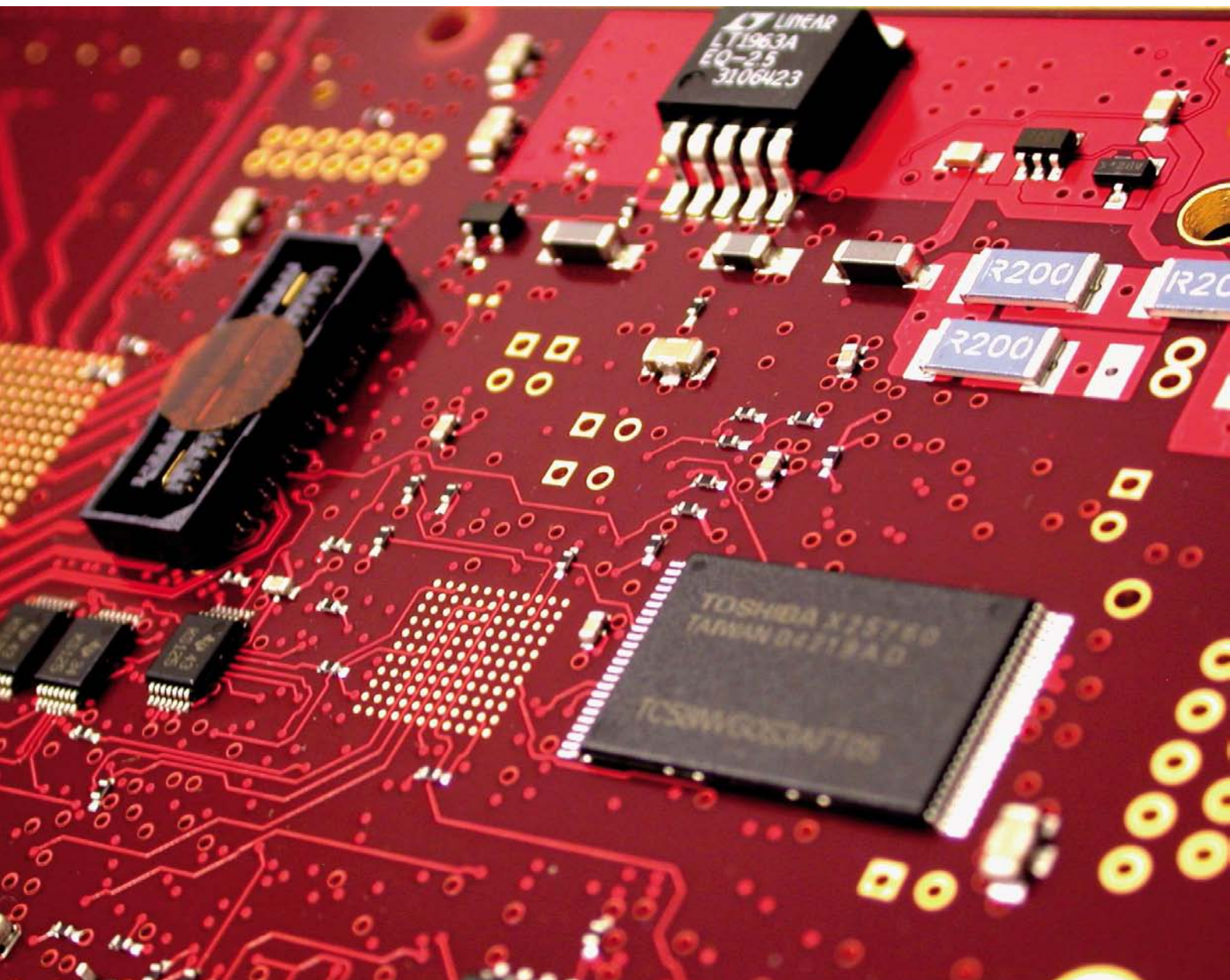
Chapeau, also: Das Kompliment geht an den CAD-Designer und an den Konstrukteur. Es ist also so: Für „einfache“ Baugruppen muss das Umfeld komplexer werden. „meltemi“ belegt das drastisch. Es ist offensichtlich, dass erst die Verknüpfung der Disziplinen „Schaltungs-konzept“ plus „CAD-Konstruktion“ plus „Leiterplattentechnologie“ plus „Baugruppenproduktion“ erfolgreich ist. Das hat Auswirkungen. Computer werden diese Aufgabe nicht lösen. Wir müssen wieder mehr miteinander reden und von Beginn an zusammenarbeiten. (cm) ■

EMV-günstige Powerplane-Systeme designen

Der Kantenkondensator

Beim Design von flächigen Stromversorgungssystemen (sog. Powerplanes) kämpft der Entwickler heutzutage an mehreren Fronten gleichzeitig. Eine leistungsfähige Stützung zu gewährleisten und eine effiziente Entkopplung zu realisieren sind zwei der wichtigsten Aufgaben. Die Stützung muss eine ausreichende Versorgung der ICs sicherstellen, während die (vorzugsweise breitbandige) Entkopplung ein unkontrolliertes Anwachsen des Störpegels verhindern soll. Mit letzterem Aspekt beschäftigt sich Kapitel 12.

Nils Dirks



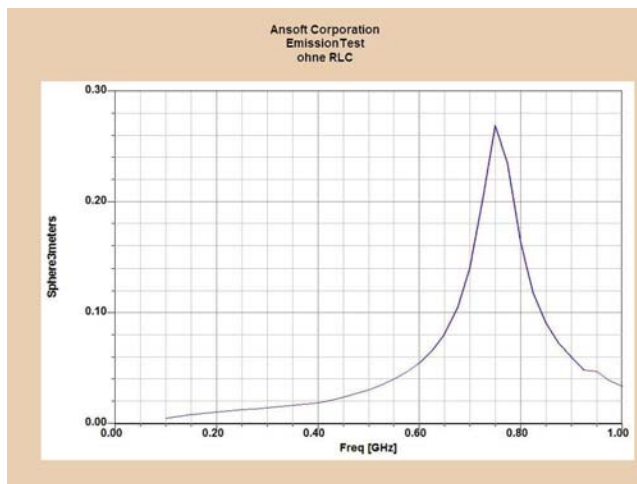


Bild 1: Emission-Test: Maximale E-Feldstärke ($V/m \cdot 3 m$) der $10\text{ cm} \times 8\text{ cm}$ – Powerplane. Auffällig ist das Maximum bei der Lambda-Halbe-Resonanz.

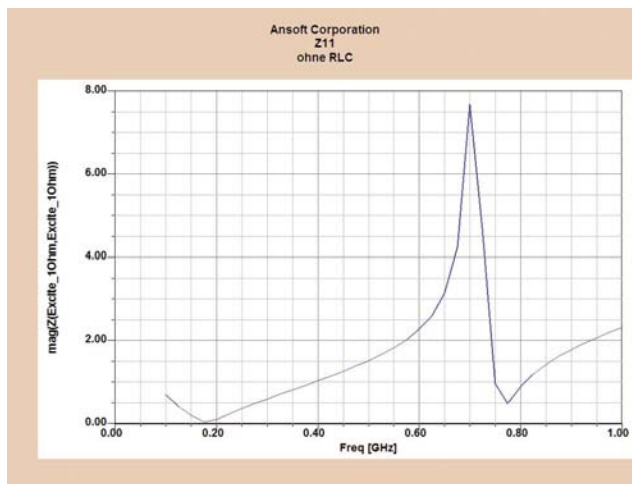


Bild 2: IZI mittig der 8-cm-Kante: Impedanzüberhöhung durch Lambda-Halbe-Resonanz

- Ein möglichst geringes Maß an Störpegel im Stromversorgungssystem ist aus zwei Gründen wichtig. Erstens tolerieren die angeschlossenen Verbraucher (z.B. ICs) nur ein bestimmtes Maß an Spannungsschwankungen bevor sie in ihrer Funktion unzuverlässig werden. Zweitens ist das Stromversorgungssystem aufgrund seiner typischerweise großen räumlichen Ausdehnung sehr gut in der Lage, diese Störungen abstrahlen – ein höchst unerwünschter Effekt!

Terminieren heißt, die Leitung mit ihrem Wellenwiderstand abschließen

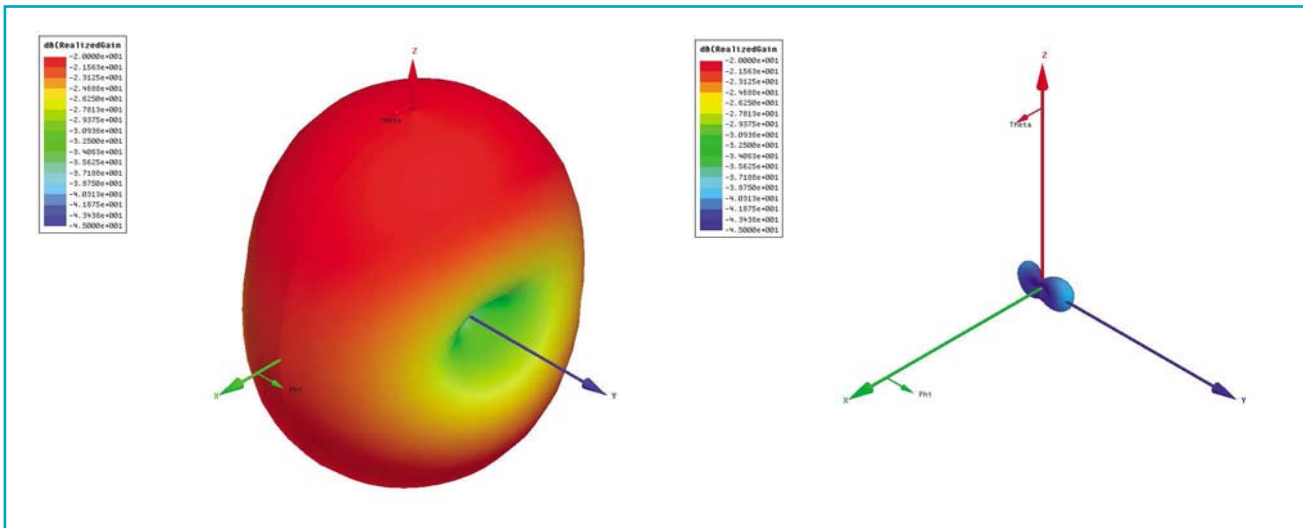
Es lässt sich zeigen, dass problematische Störpegel besonders dann auftreten, wenn versehentlich resonanzfähige Gebilde im Stromversorgungssystem entstanden sind. Diese können dann auf Ihrer Resonanzfrequenz angeregt werden und vermögen, dank ihrer Güte, wesentlich höhere Störpegel zu entwickeln, als es ohne Resonanzen möglich gewesen wäre. Solche Gebilde können z.B. unbedacht parallel geschaltete Kondensatoren sein, Kondensatoren, die mit allfälligen induktiven Komponenten in Resonanz gehen oder auch Leitungsresonanzen in dem zweidimensionalen Flächensystem. Bei der Frage nach der Anregung mag der erste Gedanke vielleicht dem Clock-Generator gelten, der oftmals überall in der Schaltung seine Spuren in Form von Grundfrequenz und Oberwellen hinterlässt. Und tatsächlich kann man durch Vermeiden ungünstiger Clock-Frequenzen besonders starke Anregungen von vornherein vermeiden. In modernen Digitalsystemen kommen allerdings sowohl auf der Signal- als auch auf der Versorgungsseite sehr breitbandige Störpegel vor, die ihren Ursprung in den Oberwellenanteilen der Nutzsignale bzw. den Versorgungs-Strompulsen der ICs haben. Dabei kommt über Frequenzbereiche von mehreren 100 MHz so gut wie jede Frequenz vor, womit folglich auch so ziemlich jeder Resonator „angestoßen“ werden kann. Eine ganz wesentliche Maßgabe für das Design EMV-günstiger Powerplane-Systeme muss daher die wirksame Vermeidung unerwünschter Resonatoren in einem breiten Frequenzbereich sein! Resonatoren, die mithilfe einer Leitungsresonanz schwingen, lassen sich in flächigen Stromversorgungssystemen jedoch grundsätzlich ebenso wenig vermeiden, wie in leiterbahngeführten Systemen. Es ist die räumliche Ausdehnung der Struk-

turen, die das Auftreten von stehenden Wellen, und damit Resonanzen ermöglicht. Da eine weitere Voraussetzung für die Entstehung von Resonanzen die Reflexion ist, wurde bereits vorgeschlagen, das aus Power- und GND-Plane bestehende Leitungssystem am Ende mit seinem Wellenwiderstand abzuschließen, also die Leitung zu terminieren. Bei eindimensionalen Leitungen ist dies relativ einfach und anschaulich möglich: Ein $50\text{-}\Omega$ -Koaxkabel wird an seinem Ausgang mit einem $50\text{-}\Omega$ -Widerstand abgeschlossen, und ist damit reflexionsfrei; am Eingang lassen sich keine Resonanzen mehr beobachten. Wo ist jedoch bei einer Power-/GND-Plane-Konstruktion der Eingang bzw. der Ausgang? Und mit welchem Widerstandswert ist diese Leitung abzuschließen? Der Sinn einer Terminierung ist es, die Stoßstelle im Wellenwiderstand zu entfernen, da bei jeder Änderung der Leitungsimpedanz eine Reflexion hervorgerufen wird. Bei einer flächigen Leitung gibt es solche Stoßstellen rund herum an allen Kanten der Konstruktion, weshalb eine wirksame Terminierung auch an allen Kanten des Flächensystems angebracht werden muss.

RC-Terminierung bietet Vorteile, wenn die Randbedingungen stimmen

Um einen perfekten Abschluss der Leitung zu gewährleisten, muss sie an „ihren offenen Enden“ mit einem ohmschen Widerstand abgeschlossen werden, der genau dem Wellenwiderstand der Leitung entspricht. Für den Fall eines gut ausgelegten Powerplane-Systems würden diese Forderungen bedeuten, dass an allen Kanten des Systems Widerstände in der Größenordnung von $0,25\ \Omega$ zwischen Vcc und GND zu schalten wären. Wenn auch in der Praxis wenig tauglich (Leistungsaufnahme), würde diese korrekte Terminierung tatsächlich weitestgehende Resonanzfreiheit bedeuten.

Um nun den Zusammenbruch der Betriebsspannung zu vermeiden wurde auch schon der Einsatz einer RC-Terminierung vorgeschlagen: Dabei wird dem Widerstand ($R = Z_0$) ein Kondensator in Reihe geschaltet um eine DC-Trennung zu erzielen. Eine breitbandige Terminierung lässt sich hiermit jedoch bekanntermaßen nicht schaffen, da der Kondensator aufgrund seiner parasitären Induktivität ein schmalbandiges Bauelement ist. Mit dieser Erkenntnis müsste man sich eigentlich wirklich breitban-



■ Bild 3: Fernfeldabstrahlung der Leiterplatte mit bzw. ohne RC-Terminierung: die Verbesserung liegt in der Größenordnung von 20 dB

digen Lösungen zuwenden und die RC-Terminierung begraben. Das folgende Beispiel soll jedoch verdeutlichen, dass der clevere Einsatz einer RC-Terminierung durchaus zu Verbesserungen der EMV führen kann und zeigen welche Randbedingungen dabei zu beachten sind.

Für die Untersuchung der Eigenschaften einer solchen Terminierung wurde zunächst mithilfe des Simulations-Tools HFSS V. 10.1 ein Vier-Lagen-Multilayer angelegt und analysiert: Kantentlängen 10 und 8 cm, Lagen eins und vier ungenutzt, Lage zwei: Vcc und Lage drei: GND. Als Substrat wurde 200 µm dickes FR4 gewählt. An der Position (10 und 4 cm) wurde ein Generator eingefügt, der das System anregt und damit die Einprägung eines hochfrequenten Störpegels simuliert. In einer praktischen Leiterplatte könnte dies ein IC sein, der durch seine pulsformige Stromaufnahme sehr breitbandige Oberwellenanteile in das Stromversorgungssystem einspeist.

Die Abstrahlung dieses Störpegels aus der Leiterplatte wurde untersucht um zu ermitteln, ob möglicherweise Problemfrequenzen auftauchen. Bild 1 zeigt den so genannten „Emission-Test“, worin die maximale E-Feldstärke in 3-m-Entfernung zu sehen ist. Sehr auffällig ist das ausgeprägte Maximum bei gut 700 MHz, welches durch überschlägiges Nachrechnen sehr leicht als Lambda-Halbe-Resonanz zu identifizieren ist. Entlang der 10-cm-Ausdehnung der Powerplane bildet sich eine stehende Welle, der „Leitungsresonator“ schwingt.

Beobachtet man am Ort des Generators die Impedanz, lässt sich der zu erwartende Transformationseffekt eindeutig nachweisen: Das „leerlaufende Ende der Leitung“ (gegenüber vom Generator) wird über Lambda-Halbe wiederum in einen Leerlauf transformiert. Dieser (verlustbehaftete) Leerlauf lässt sich in Bild 2 als ausgeprägtes Maximum im Betrag der Impedanz wieder finden. Damit bestätigt sich einmal mehr der bereits eingangs erwähnte Zusammenhang zwischen Abstrahlungsmaximum und Resonanz.

In unserem Fall ergibt sich hieraus aber auch das „Comeback“ der RC-Terminierung: Zwar leidet diese nach wie vor unter ihrer Schmalbandigkeit, da das Abstrahlungsmaximum aber ebenfalls vergleichsweise schmalbandig ist, darf man bei richtiger Dimensionierung nun zu Recht auf eine Verbesserung hoffen. Deshalb wird nun eine RC-Reihenschaltung an der Position (0 und 4 cm) zwischen Power- und GND-Plane geschaltet, also an

das „offene Ende“ der Leitung. Die RC-Terminierung ist dabei so auszulegen, dass sie genau auf der Resonanzfrequenz rein ohmsch ist, also keine Reaktanzen aufweist und damit eine echte Terminierung darstellt. Diese Bedingung ist bei genau einer Frequenz erfüllt – nämlich der Serienresonanzfrequenz der RC-Reihenschaltung. In Kenntnis der parasitären induktiven Anteile lässt sich die Kapazität mithilfe der thomsonschen Schwingungsformel

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

so festlegen, dass die Serienresonanz genau bei gut 700 MHz liegt. Wird nun der Gesamtwiderstand R der RC-Reihenschaltung so gewählt, dass er dem Wellenwiderstand (Z_0) der flächigen Leitung entspricht, ist die Leitung zumindest auf dieser Frequenz „korrekt terminiert“. Auch wenn der hier gewählte Wert von $0,1 \Sigma$ etwas unter dem Wellenwiderstand der Leitung liegen dürfte, die Terminierung also nicht optimal ist, lässt sich doch eine beachtliche Veränderung beobachten: Der Vergleich der Fernfeldabstrahlung für diese Frequenz mit bzw. ohne RC-Terminierung ist in Bild 3 zu sehen; die Verbesserung liegt in der Größenordnung von 20 dB!

Aufgrund des Serienresonanzverhaltens der RC-Terminierung verhält sich diese unterhalb ihrer Serienresonanzfrequenz kapazitiv und oberhalb induktiv; bei der Leitungsresonanz verhält es sich genau umgekehrt. Dies bedeutet aber, dass durch das Hinzuschalten der RC-Kombination sowohl unterhalb als auch oberhalb der Leitungsresonanzfrequenz ein neuer Resonator entstanden sein muss, und damit zwei neue Resonanzfrequenzen. Der Emission-Test in Bild 4 zeigt sehr deutlich den Rückgang der Abstrahlung auf der ursprünglichen Resonanzfrequenz, ebenso wie die beiden neu hinzugewonnenen Abstrahlungsmaxima bei 670 und 825 MHz. Leider ist das Abstrahlungsmaximum auf diesen beiden Frequenzen nun nahezu genauso ausgeprägt, wie vorher auf der einzelnen Resonanz!

Die Ursache dafür liegt in der relativ hohen Güte des RC-Serienresonators und lässt sich folglich durch eine Erhöhung des ohmschen Anteils bekämpfen. Dabei gilt es, einen guten Kompromiss zwischen einer noch brauchbaren (und damit wirksamen) Terminierung auf der einen Seite, und ausreichend hohen Verlusten auf der anderen

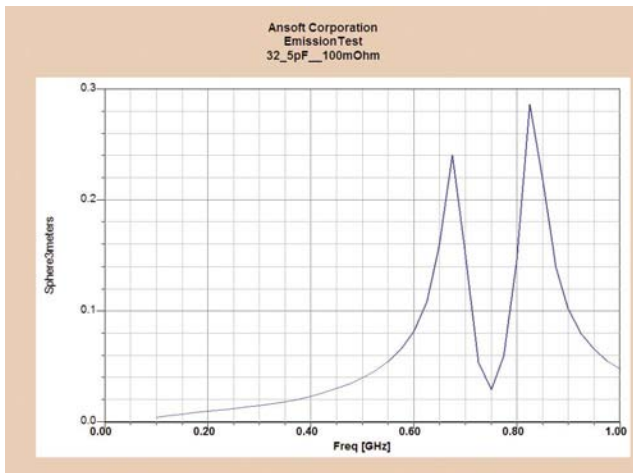


Bild 4: Neue Resonanzen mit RC-Terminierung ($R = 0,1 \Omega$), Abstrahlung geht auf ursprüngliche Resonanzfrequenz zurück

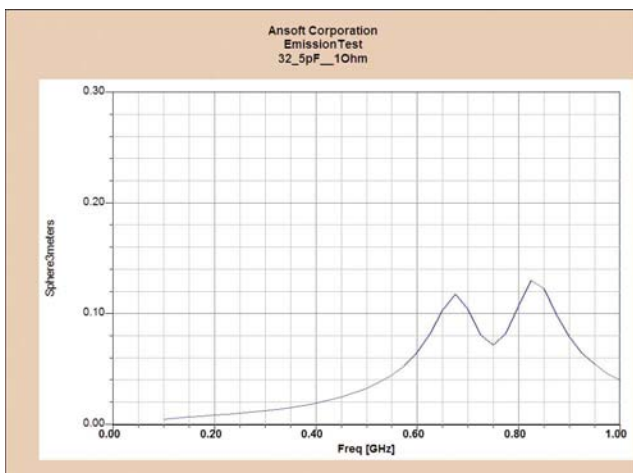


Bild 5: Resonanzen durch höhere Verluste (1Ω) gedämpft

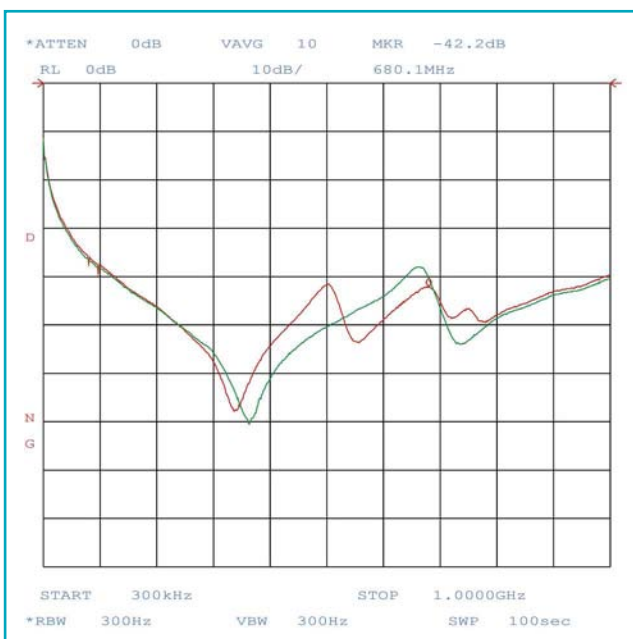


Bild 6: Indirekte Messung der Impedanz im meltemi-economic-Board. Die Lambda-Halbe-Resonanz wurde um gut 40% reduziert.

Seite zu finden. Bild 5 zeigt die Auswirkungen der Erhöhung des ohmschen Anteils von $0,1$ auf 1Ω : Die Abstrahlung hat auf der ursprünglichen Frequenz wieder um ca. 10 dB zugelegt, auf den beiden Nebenresonanzen dafür aber um 5 dB abgenommen. Es bleibt also eine Verbesserung von ca. 6 dB gegenüber der unterminierten Konstruktion. Durch den Einsatz mehrerer RC-Terminierungen pro Kante, bzw. die „Terminierung“ aller Kanten lassen sich weitere Verbesserungen erwirken. Bei dünnen Substraten, wie sie beispielsweise bei den meltemi-Boards zum Einsatz kommen, kann dann im Einzelfall – bei geschickter Wahl der verwendeten Kondensatoren – der Widerstand gänzlich entfallen. In diesem Fall bleibt nur der „Kantenkondensator“ übrig, der mithilfe seiner dielektrischen Verluste eine brauchbare Terminierung auf den gewünschten Frequenzen bildet. Dabei kann es durchaus sinnvoll sein, anstelle eines einzelnen Kantenkondensators eine (z.B. mit der Software SILENT optimierte) Kondensatorgruppe einzusetzen.

Die Messung in Bild 6 zeigt eine dem Betrag der Impedanz proportionale Größe, die an der Position CN1 in der 1,2-V-FPGA-Core-Powerplane des meltemi-economic-Boards gemessen wurde. Die grüne Kurve zeigt dabei das unbestückte Board, die rote Kurve gibt Auskunft über die Impedanzverhältnisse nach Bestückung einer kleinen Kondensatorgruppe (82 und 120 pF) auf Position C87. Aus den gemessenen dB-Werten lässt sich die Resonanzüberhöhung bestimmen und zeigen, dass die Lambda-Halbe-Resonanz bei ca. 675 MHz um gut 40% reduziert wurde. Allerdings bringt jeder zusätzlich eingefügte Schwingkreis (also auch jede RC-Terminierung und jeder Kondensator) neue potenzielle Resonanzfrequenzen mit sich: je nachdem, wo er in der Powerplane eingebaut wird und was sonst noch an RC-Kombinationen oder Kondensatoren bestückt ist. Dadurch können Impedanzüberhöhungen innerhalb der Powerplane entstehen, die aus Power-Integrity- und/oder EMV-Rücksichten inakzeptabel sind.

Stützungs- und EMV-Eigenschaften von flächigen Stromversorgungssystemen

Dass sich flächige Stromversorgungssysteme nur über ihren Leitungscharakter breitbandig richtig beschreiben lassen wurde bereits ausführlich erläutert (siehe Beitrag „Die Mär vom Plattenkondensator“). Daraus ergibt sich das Verständnis vieler Vorzüge bezüglich der Stützungs- und EMV-Eigenschaften solcher Systeme; aber auch der Handlungsbedarf im Hinblick auf ungewollte Resonanzen. Dass das richtige Verständnis flächiger Stromversorgungssysteme völlig neue Möglichkeiten zur Verbesserung der EMV erschließt, lässt sich am relativ einfachen Beispiel des Kantenkondensators verdeutlichen. Allerdings ist die korrekte Auslegung dieser Systeme im Hinblick auf Stützeigenschaften und EMV alles andere als trivial. Daher wird in der Regel ein geeignetes Simulations-Tool zum Einsatz kommen, mit dem sich das gesamte Powerplane-System analysieren und optimieren lässt – siehe Kapitel 13.

Literatur:

Die Mär vom Plattenkondensator, Nils Dirks, ELEKTRONIKPRAXIS-Sonderheft 2/2005, S.42ff

Die optimale Prozessor Stromversorgung, Prof. Chr. Dirks, Elektronik 23/96, S.134ff

Reducing Simultaneous Switching Noise and EMI on Ground/Power Planes by Dissipative Edge Termination, Istvan Novak, 7th Topical Meeting on PEP 10/98

Kantenabsorber aus Karbon (patentiert, kantenabsorber@emv.biz)

Die Auswirkungen von Powerplanes

Quite, please!

Ruhe bitte! So dürfte wohl der Wunsch eines jeden Entwicklers in Bezug auf die Störpegel innerhalb der Powersysteme seiner Leiterplatte lauten. Der bewährte Ansatz breitbandiger Kondensatorgruppen – erweitert um die präzise Berücksichtigung der Flächeneigenschaften – führt zu optimalen EMV-Ergebnissen bei hoher Systemstabilität. Am Beispiel des 1V2-FPGA-Core-Powersystems im meltemi-economic-Board verdeutlicht EMV-Experte Nils Dirks die Eigenschaften korrekt ausgelegter flächiger Stromversorgungssysteme und wie diese durch geeignete Beschaltung zu ergänzen sind.

Nils Dirks

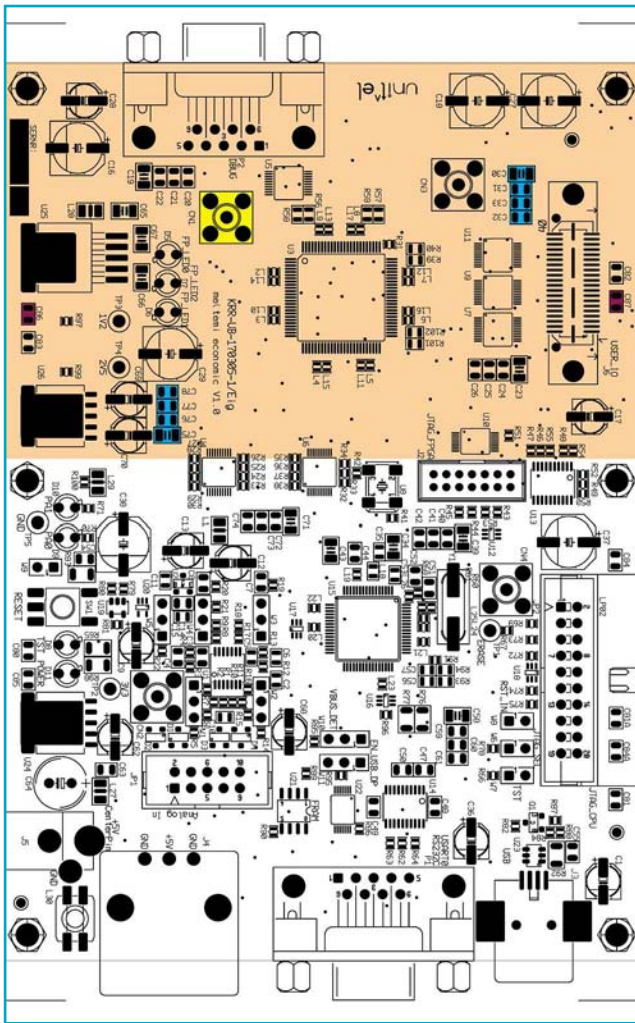
Die Vorteile der korrekten Staffelung verschiedener Kapazitätswerte zu einer sog. „breitbandigen Kondensatorgruppe“ haben EMV-Experten bereits Anfang der 90er-Jahre erläutert. Die Notwendigkeit, Powersysteme zu konstruieren, die breitbandig äußerst niederohmig und damit sowohl in puncto EMV als auch in puncto Stützung besonders leistungsfähig sind, stand seinerzeit jedoch noch kaum im Fokus der Entwicklung. In der jüngeren Vergangenheit hingegen sieht sich der Entwickler immer öfter mit zwei typischen Problemen konfrontiert:

1. Die zulässigen Einbrüche der Versorgungsspannungen an den zu verwendenden ICs (RAM, CPU, ASIC, FPGA etc.) sind äußerst gering spezifiziert und verlangen zum Teil Powersysteme, die Impedanzwerte im m Ω -Bereich haben müssten. Wie soll das gehen?
2. Moderne Digitalsysteme konsumieren heutzutage bereits Betriebsströme im zweistelligen Ampere-Bereich, die innerhalb der Powersysteme als Strompulse wiederzufinden sind; dabei können die Spitzenwerte deutlich über der durchschnittlichen Stromaufnahme liegen und für erhebliche EMV-Probleme sorgen.

Die Vorteile korrekt ausgelegter flächiger Stromversorgungssysteme umfassen die Lösung der beiden vorgenannten Probleme, bieten aber darüber hinaus noch eine Vielzahl weiterer Vorzüge. Um den Rahmen dieses Artikels nicht zu sprengen, beschränken wir uns auf die Betrachtung dieser beiden Aspekte, die als Motivation für die korrekte Auslegung der Powersysteme bereits mehr als ausreichend sein sollten.

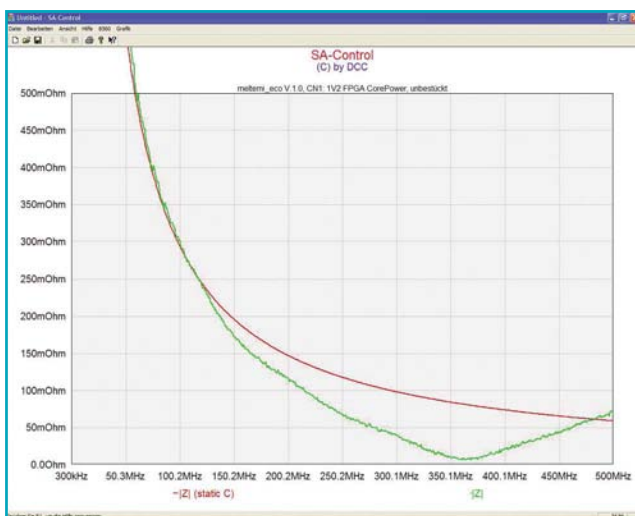
Nachfolgend wird am Beispiel des 1V2-FPGA-Core-Powersystems im meltemi-economic-Board gezeigt, welche Auswirkungen die Eigenschaften solcher Powerplanes haben, und wie diese durch geeignete Beschaltung zu ergänzen sind. Zunächst soll daher geklärt werden, wie sich ein Powersystem, das aus einer Power- und einer GND-Ebene besteht, tatsächlich verhält. ▶





■ Messbuchse ■ Kondensatorgruppe ■ Kantenkondensator ■ Powerplane

■ Bild 1:
1V2-FPGA-Core-Powersystem: Messbuchse und Kondensatorbestückung, rechteckige, homogene Vcc- und GND-Plane



■ Bild 2:
Impedanzverlauf des unbestückten 1V2-Powerplane-Systems im Vergleich zu einer idealen Kapazität

Das schematische Layout der Power- bzw. GND-Plane ist in Bild 1 dargestellt.

In Bild 2 ist der Impedanzverlauf des völlig unbestückten 1V2-FPGA-Core-Powersystems in einem meltemi-economic-Board V.1.0 zu sehen (grüne Kurve); gemessen wurde an der Position CN1 (35 mm, 24 mm). Hierzu wurde eine SMA-Buchse vorgesehen, an der im einfachsten Falle mithilfe eines Netzwerk-analyzers die Impedanz gemessen werden kann. Auch die Details eines geeigneten Messaufbaus bzw. Messverfahrens würden hier den Rahmen sprengen.

Trotz des kapazitiven Charakters verhält sich eine Powerplane nicht wie ein Kondensator

Die Messung zeigt im unteren Frequenzbereich sehr deutlich den kapazitiven Charakter der Struktur bestehend aus Power- und GND-Plane und einem 50 µm dicken FR4-Substrat dazwischen. Zum Vergleich zeigt die rote Kurve den Impedanzverlauf einer idealen Kapazität von 5,5 nF, was genau der bei NF gemessenen Kapazität des unbestückten Powersystems entspricht. Bis zu einer Frequenz von ca. 130 MHz verlaufen die beiden Kurven praktisch deckungsgleich. Unser Powersystem verhält sich bei Frequenzen unterhalb von 130 MHz scheinbar wie eine ideale Kapazität, d.h. keine parasitären Komponenten, keine räumliche Ausdehnung etc.

Oberhalb dieser Frequenz nähert sich die ideale Kapazität asymptotisch der 0-Ω-Linie an, während das Powersystem bei ca. 360 MHz ein extrem niederohmiges Minimum zeigt, um dann eine steigende(!) Impedanz aufzuweisen. Die Ursachen hierfür wurden im Beitrag „Die Mär vom Plattenkondensator“ bereits ausführlich erklärt. In einem ersten Ansatz könnte man den Standpunkt vertreten, das Modell der idealen Kapazität sei auch bis 500 MHz verwendbar, da ja die tatsächlich gemessenen Werte noch besser (kleiner) als die der idealen Kapazität sind.

In flächigen Stromversorgungssystemen ist Impedanz Funktion der Frequenz und des Ortes

Es sei an dieser Stelle daran erinnert, dass der Betrag der Impedanz in flächigen Powersystemen nicht nur eine Funktion der Frequenz, sondern auch des Ortes ist. Betrachtet man die Impedanz bei 360 MHz, behauptet das Modell der idealen Kapazität eine Impedanz von ca. 80 mΩ, die Messung ergibt weniger als 10 mΩ, jeweils am Ort des Messports CN1 betrachtet.

Mittels Simulation lässt sich die Impedanz an allen Orten des Systems bei der Frequenz 360 MHz sichtbar machen (Bild 3). Wie schon die Messung, ergibt auch die Simulation am Ort des Ports CN1 eine Impedanz von knapp unter 10 mΩ.

Viel augenfälliger ist jedoch die Tatsache, dass an anderen Orten – beispielsweise den Ecken – des Powersystems ganz andere Verhältnisse herrschen: Hier werden rund 30-mal höhere Werte erreicht!

In diesem speziellen Fall wären die Werte möglicherweise dennoch brauchbar, da für die Powersysteme des meltemi-Boards durchgängig homogene Flächen, d.h. keine großen Aussparungen, keine „Flaschenhälse“ etc. und sehr dünne Substrate verwendet wurden. Bei anderen Geometrien und/oder Substratdicken werden aber sehr leicht Werte von mehreren 10 Ω erreicht, die völlig inakzeptabel sind und später zu schwer durchschaubaren Problemen führen können.

Gegenüber den 80 mΩ, die unsere ideale Kapazität anbietet, sind die realen 300 mΩ in den Ecken des Systems bereits rund

viermal mehr als vorhergesagt und bestätigen die Untauglichkeit dieses Modells in Frequenzbereichen, wo Laufzeiteffekte bereits eine Rolle spielen; in unserem Beispiel also bereits ab etwa 100 MHz. Dies ist einer der Gründe, warum sich geeignete Simulations-Tools heute deutlich komplexerer Modelle für die Beschreibung von Powerplanes bedienen, der „klassische“ Field-Solver sei nur als Beispiel genannt. Kommt ein geeignetes Modell zum Einsatz, lässt sich mithilfe von Simulationen sehr genau vorhersagen, welche Eigenschaften von einem bestimmten Powersystem zu erwarten sind. Dies wiederum ermöglicht, die korrekte Beschaltung im Voraus festzulegen und mögliche Probleme frühzeitig auszuschalten.

Spannungsregler und Elkos schaffen im kHz-Bereich niederohmige Impedanzwerte

Mit dem Wissen um die realen Eigenschaften der Flächenstrukturen wird nun das Verfahren zur Entwicklung einer breitbandigen Kondensatorgruppe angewandt, um im unteren Frequenzbereich niederohmige Verhältnisse zu schaffen. Das Ergebnis der Simulation/Optimierung ist in Bild 4 zu sehen: Im kHz-Bereich sorgen Spannungsregler und Elkos für niedrige Impedanzwerte, weshalb dieser Bereich hier nicht detaillierter betrachtet wird.

Im darüberliegenden Frequenzbereich bis ca. 300 MHz sorgt die optimierte Kondensatorgruppe (100 nF, 1206, 10 nF, 0805, 2,2 nF, 0805) für niederohmige Verhältnisse, um zu noch höheren Frequenzen an das niederohmige Flächensystem „zu übergeben“. Dieses zeigt um 700 MHz eine erste Strukturresonanz, die von stehenden Wellen innerhalb der Fläche hervorgerufen wird. Dank des guten Lagenaufbaus und der günstigen Geometrien bleibt aber auch diese Resonanz mit ca. 300 mΩ in einem gut zu verschmerzenden Bereich und macht zusätzliche Beschaltungen nicht zwingend erforderlich.

Die Übereinstimmung von Messung (Bild 5) und Simulation ist verblüffend: Nicht nur das „Resonanzgebaren“ der Kondensatorgruppe lässt sich präzise vorhersagen, sondern auch die Struktureigenschaften werden korrekt abgebildet. Ein leichter Versatz bei den Frequenzen der Strukturresonanzen deutet auf ein nicht ganz exakt bekanntes ϵ_r des Substratmaterials hin; hier wirkt sich bereits die zweite Stelle hinter dem Komma der Dielektrizitätszahl aus.

Bis 1000 MHz unter 500 mΩ: Ein sehr gutes Ergebnis! Heile Welt! An der Position CN1! Und der Rest des Systems?

„Maximum-Darstellung“ vereinfacht Simulation der Impedanzverteilung für jede Frequenz

Die Messung macht naturgemäß nur eine Aussage über die Verhältnisse an der Position der Messbuchse, nicht aber über den Rest des Powersystems. Da Simulation und Messung an dieser Stelle eine nahezu perfekte Übereinstimmung zeigen, liegt es nahe, den Rest des Systems nur per Simulation zu überprüfen. Selbst die Überprüfung mittels Simulation könnte durchaus etwas aufwändiger sein, denn um sich ein umfassendes Bild zu verschaffen, müsste die Impedanzverteilung für jede einzelne Frequenz (vgl. auch Bild 3) betrachtet werden. Eine Erleichterung ist hier die so genannte „Maximum-Darstellung“, worin an jeder Position des Systems der im betrachteten Frequenzbereich maximal auftretende Betrag von Z dargestellt wird. Vereinfacht ausgedrückt ist dies der „Worst-Case“ zu sehen in Bild 6.

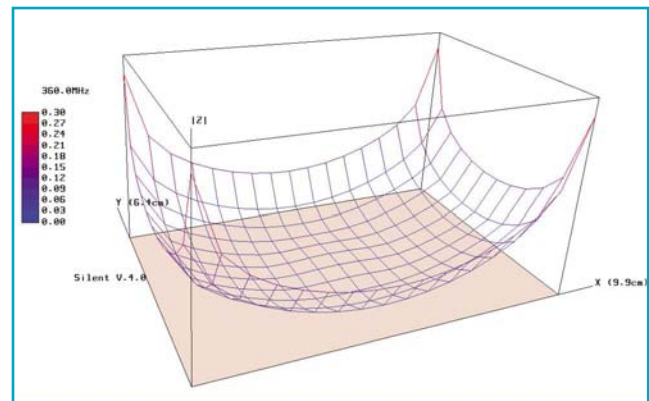


Bild 3: Betrag der Impedanz an den verschiedenen Positionen des 1V2-Systems bei 360 MHz

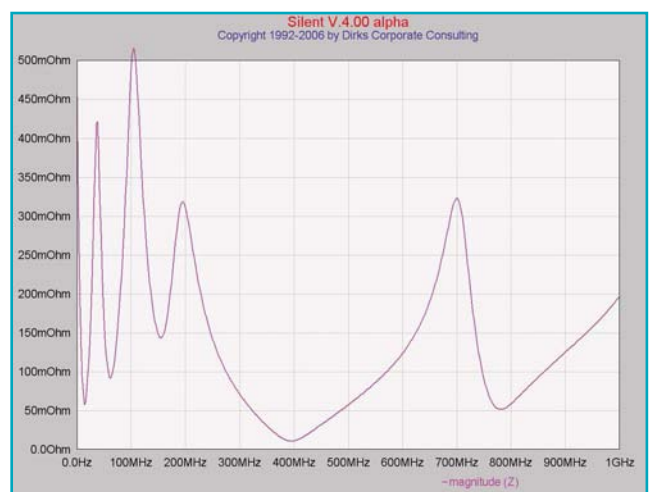


Bild 4: Simulierter Impedanzverlauf von Flächensystem und Kondensatorgruppe an Position CN1

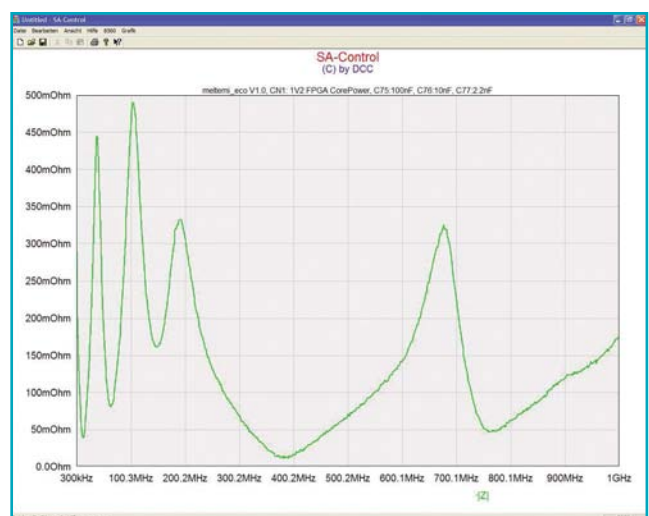


Bild 5: Gemessener Impedanzverlauf von Flächensystem und Kondensatorgruppe an Position CN1

Kapitel 13

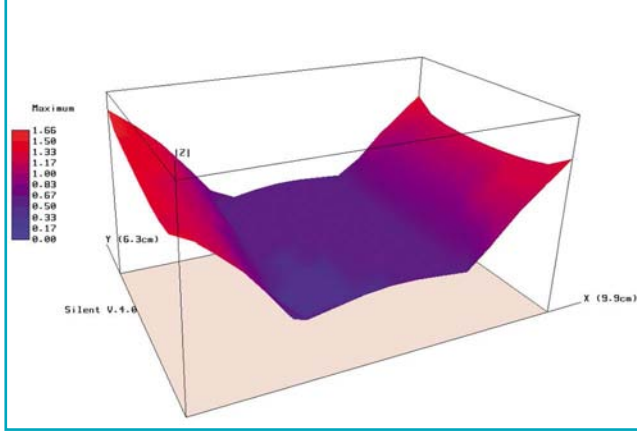


Bild 6:
Maximaler Betrag der Impedanz
bis 1000 MHz an allen Positionen des Systems

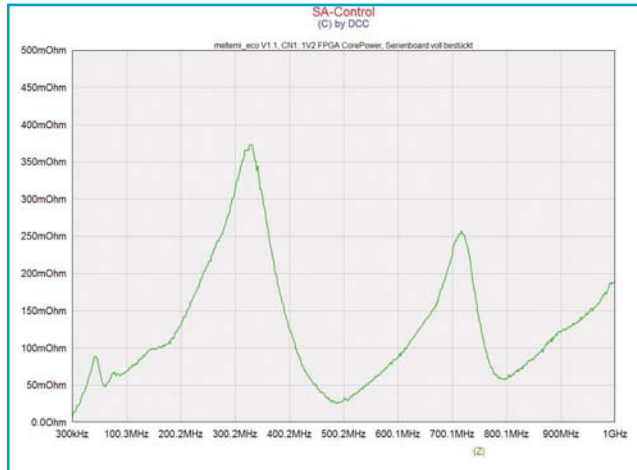


Bild 7:
Messung der Impedanz an CN1: Bestücktes Serien-Board

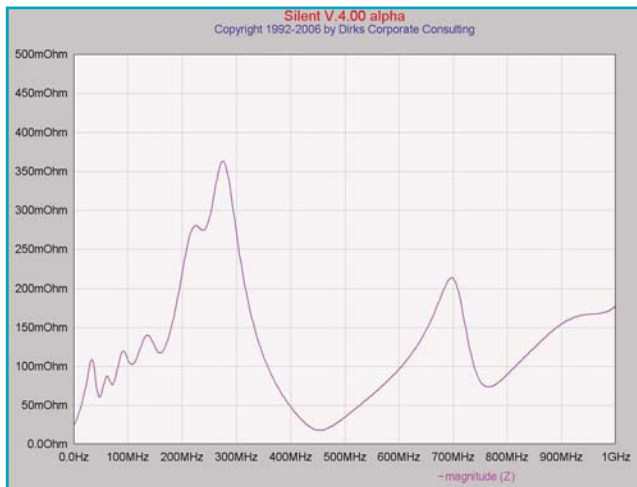
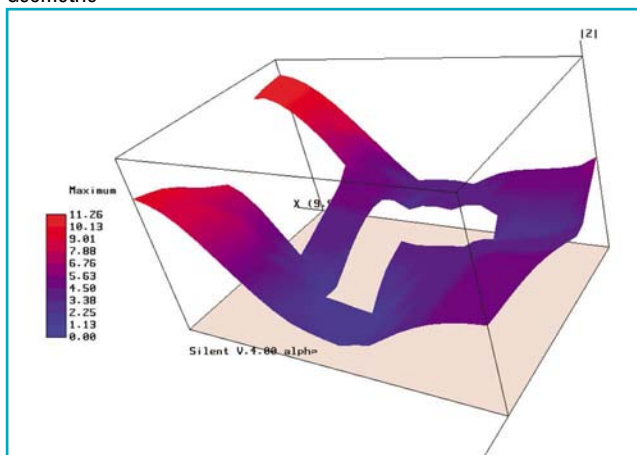


Bild 8:
Simulation der Impedanz an CN1: Bestücktes Serien-Board

Bild 9:
Maximaler Betrag der Impedanz bis 1000 MHz bei ungünstiger
Geometrie



Sofort zu erkennen ist der maximal erreichte Wert von 1,66 Ω in der oberen linken Ecke. Er lässt sich beim „Durchblättern“ der einzelnen Frequenzen eindeutig der Strukturresonanz bei 700 MHz zuordnen. Hier wird besonders deutlich, wie wichtig es ist, das gesamte Powersystem zu bewerten: Dieselbe Resonanz zeigte sich an der Messbuchse lediglich mit einer Amplitude von gut 300 m Ω (vgl. Bild 5). Im mittleren Bereich des Powersystems liegen die Maximalwerte relativ gleichmäßig um 0,5 Ω , während in der Nähe der kurzen Kanten ansteigende Werte bis rund 1,6 Ω anzutreffen sind.

Um das System weiter zu verbessern wurde eine weitere (versetzte) Kondensatorgruppe an der Position (81 mm, 21 mm) sowie Kantenkondensatoren (vgl. Kapitel 12, „Der Kantenkondensator“) im Bereich der kurzen Kanten des Systems eingefügt. Dadurch wird der sehr niederohmige Bereich des Powersystems (etwa die blauen Bereiche in Bild 6) größer und erreicht noch kleinere Impedanzwerte (<300 m Ω), die Maximalwerte in den Ecken sinken auf ca. 1,2 Ω .

In einem Serienstück wurde an Port CN1 die Impedanz gemessen (Bild 7) und mit der Simulation (Bild 8) verglichen. Qualitativ ist eine sehr gute Übereinstimmung zu sehen, auch wenn in manchen Bereichen quantitative Abweichungen vorliegen: Im Frequenzbereich bis ca. 200 MHz ist die Simulation offenbar von etwas zu geringen Verlusten innerhalb der verwendeten Kondensatoren ausgegangen, weshalb die Realität etwa 40 m Ω besser als die Simulation ist. Das erste Maximum, das aus dem Zusammenspiel der bereits induktiv gewordenen Kondensatoren mit dem Flächensystem resultiert, wird amplitudenmäßig präzise simuliert, während die Resonanzfrequenz in der Simulation etwas zu niedrig ausfällt. Diese Abweichung ist auf die verwendeten Modelle zurückzuführen und stellt in der praktischen Anwendung kein Problem dar.

Geeignete Simulations-Tools helfen EMV-günstige Spannungsebenen zu designen

Insgesamt kann gesagt werden, dass sich das reale Verhalten flächiger Powersysteme in Leiterplatten inklusive ihrer Kondensatorbestückung mithilfe geeigneter Simulations-Tools sehr gut vorhersagen und optimieren lässt. Dies ermöglicht dem Entwickler das Design sehr zuverlässiger und EMV-günstiger Spannungsebenen in Leiterplatten.

Bei einer weniger günstigen Auslegung des gesamten Boards können übrigens die gezeigten Effekte dramatische Ausmaße annehmen und ihre Vernachlässigung zu sehr lästigen Symptomen führen: frequenzselektiv sehr hohe Störpegel, verstärkte Abstrahlung, unzuverlässige Funktion etc. In Bild 9 ist die „Maximum-Impedanz“ bis 1 GHz eines mit einer C-Gruppe bestückten Powersystems (120 μ m Substratdicke) gezeigt, das z.B. aufgrund von konstruktiven Anforderungen verschiedene Aussparungen aufweist. Ohne eine gezielte Kondensatorbeschaltung ist hier Ärger vorprogrammiert. (cm)

Die gezeigten Simulationen wurden durchgeführt auf Silent V.4.0.

Literatur:

„Breitbandentkopplung von Versorgungsspannungen auf Leiterplatten“, Prof. Chr. Dirks, Dipl.-Ing. U. Margieh, *Elektronik* 20/1992, S.97ff
„Die Mär vom Plattenkondensator“, Nils Dirks, *ELEKTRONIKPRAXIS Sonderheft 2/2005*, S.42ff

„Die optimale Prozessor-Stromversorgung“, Prof. Chr. Dirks, *Elektronik* 23/1996, S.134ff

„Der Kantenkondensator“, Nils Dirks, *ELEKTRONIKPRAXIS Sonderausgabe „Die Leiterplatte 2010“ April 2007*

Applikationsbeispiel Echtzeitbildverarbeitung

Bewegtbilder mit hoher Ortsauflösung

In den vergangenen Kapiteln stand die Hardwareentwicklung der meltemi-Plattform im Mittelpunkt. Ein mögliches Einsatzgebiet für das meltemi-Board ist die Echtzeitbildverarbeitung. Dieser Beitrag erläutert neben einem grundlegenden Bildverarbeitungsmodell Aspekte der Übertragungsbandbreite und hier besonders Problemstellungen des primären Datentransports zwischen Bildquelle (z.B. Scanner oder Kamera) und einem Bewegtbild-Verarbeitungssystem bei Bildformaten mit hoher örtlicher Auflösung und gibt einen Ausblick auf Operatoren in einem Bildverarbeitungssystem.

Helmut Keller



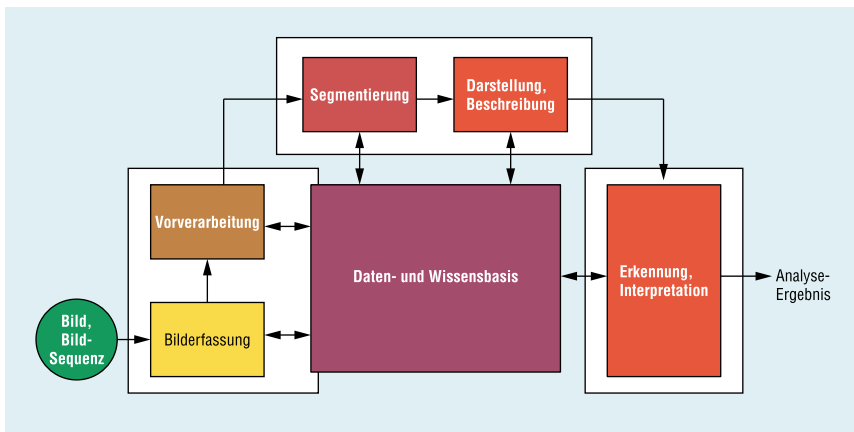


Bild 1: Modell der wesentlichen möglichen Bereiche von Signalverarbeitungsprozessen eines automatisierbaren Bildverarbeitungs- und Analysesystems

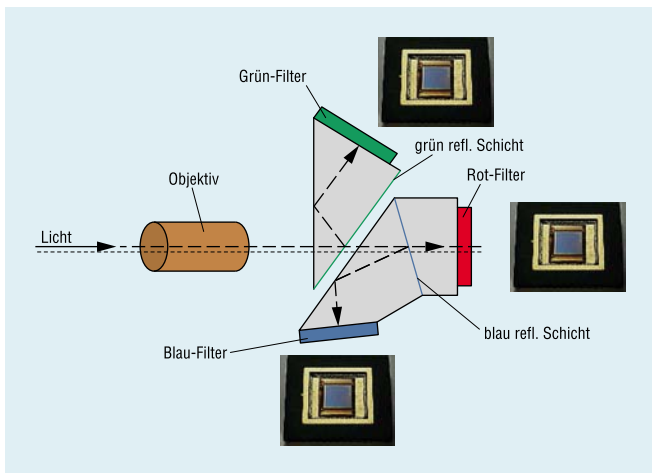


Bild 2: 3-Chip-RGB-Kamera-system mit Prismen-Beamsplitter als RGB-Bandpassfilter

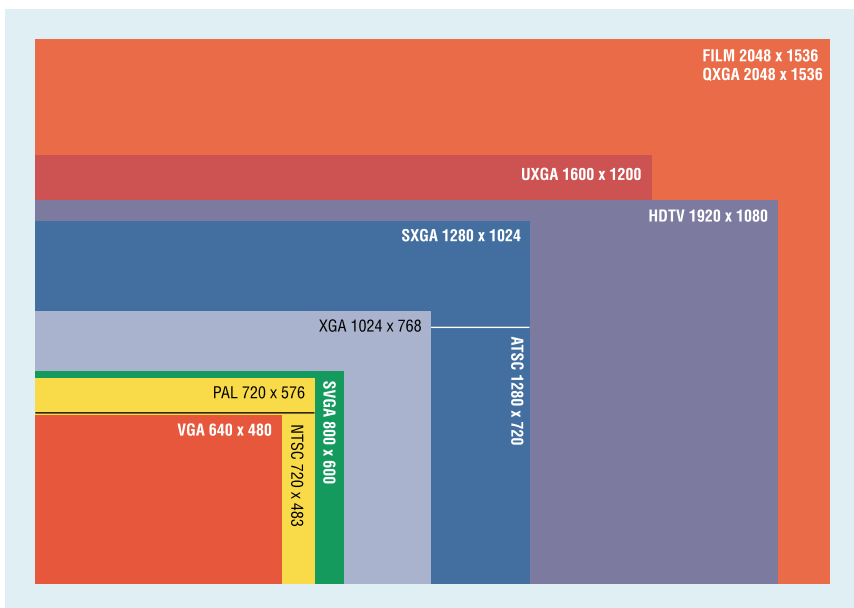


Bild 3: Die wichtigen Bildformate zwischen VGA, den SD-Videoformaten, PAL und NTSC, über HDTV bis zum QXGA-Format. Letzteres entspricht auch dem 2k-Dfilm-Format, benannt nach den 2k Pels/Zeile. Bei Formaten mit hoher Ortsauflösung gewinnt das 4k-Format als „Digital Intermediate“ im digitalen Kino an Bedeutung. Über ein 8k-Format wird diskutiert.

Aufgrund ihres Aufbaus eignen sich FPGAs hervorragend für die Signalverarbeitung z.B. bei der Bildverarbeitung. Damit wird die Echtzeitverarbeitung von großen Bildformaten wie sie HDTV oder Digital Cinema fordern ökonomisch möglich.

Signalverarbeitungsprozesse in der Bildverarbeitung umfassen Vorgänge wie die Bilderfassung über Bildaufnahmesysteme (Scanner, Kameras), die Bildformatumwandlung und die Vorverarbeitung; es können auch Prozesse wie Bildsegmentierung, Mischung, Überblendung, Filterung und Farbkorrektur involviert sein.

Bei „großen“ Bildformaten mit hoher Ortsauflösung sind beträchtliche Datenvolumina im Spiel und man muss oft auch auf Kompressionsverfahren zurückgreifen, bei welchen das Volumen der zu transportierenden Information bei möglichst unverfälschter Bildinformation reduziert wird.

Referenzmodelle für Bildverarbeitungsprozesse

Generell lassen sich Bildverarbeitungsprozesse, die bei praktischen Anwendungen oft in zusammengesetzter Form gebündelt zum Einsatz kommen, ganz gut über Referenzmodelle analysieren, getrennt betrachten und vergleichen. Anhand des Verarbeitungsmodells nach Gonzales/Woods [2] sollen hier einige der wichtigen Bildverarbeitungsprozesse erläutert werden, welche heute mit Embedded-Methoden in Signalprozessoren und FPGAs realisierbar sind.

Verarbeitungsmodell

Das in Bild 1 dargestellte Modell zeigt einige der wesentlichen möglichen Bereiche von Signalverarbeitungsprozessen, die zusammen zu einem automatisierbaren Bildverarbeitungs- und Analysesystem führen können.

Bilderfassung

Im Bereich „Bilderfassung“ werden Bildinformationen aus einer Bildquelle (z.B. Zeilenscanner, Kamera oder Bildspeicher) in einer Form eingelesen, dass sie für eine Weiterverarbeitung im Bildprozessor brauchbar sind. Bildspeicher und Bildtransmissionssysteme verwenden oft das 4:2:2 Komponentenformat, bei welchem für jedes Pixel ein Luminanzwert, aber alternierend jeweils nur ein Blau- oder Rot-Farbdifferenzsignal übermittelt wird.

Im Bildprozessor ist für die meisten Operationen jedoch eine vollständige Darstellung der Luminanz- und Chrominanz-

werte des Quellbildes (4:4:4) erforderlich. Diese Anpassung der Ortsauflösung an das gegebene Bildelement-(Pixel- oder PEL-)Raster lässt sich z.B. im Block „Bildfassung“ durch adäquate Interpolation bewerkstelligen.

Im Bereich „Vorverarbeitung“ erfolgt im Fall von Grauwertbildern die richtige Aufbereitung des Bildes durch Prozesse wie Grauwertstreckung und Transformation der Grauwertkennlinie [6].

Farbbilder

Im Fall der Verarbeitung von Farbbildern kann technisch davon ausgegangen werden, dass unsere vom Auge als „Farben“ erkennbaren Eindrücke einerseits nur einen kleinen Teil des physikalischen Farbspektrums zwischen Infrarot und Ultraviolett (etwa zwischen 800 und 400 nm) darstellen, andererseits diese optischen Farbeindrücke im Auge auch nur eine Art „Fehlfarbendarstellung“ repräsentieren. Aus technischen-ökonomischen und physiologischen Gründen hat sich eine Übertragung der sichtbaren Farbinformation über 3 technische Farbkanäle (RGB) als ausreichend erwiesen. Jeder dieser 3 Farbkanäle repräsentiert eine Bandbreite von etwa 150 nm des physikalischen Spektrums.

CCD- und CMOS-Bildsensoren

Bei Bildsensoren auf Halbleiterbasis unterscheidet man heute grundsätzlich zwischen Charge Coupled Devices (CCDs) und CMOS-Bildwandlern. Die Umwandlung des Lichtsignals in ein elektrisches Signal erfolgt in beiden Sensortypen ähnlich: bei gegebener Ortsauflösung im Sensor wird unter Anwendung des fotoelektrischen Effekts in den aktiven Sensorflächen an jedem Pixel-Ort des Sensors die dortige Lichtintensität in eine proportionale elektrische Ladung konvertiert. CCD- und CMOS-Sensortypen unterscheiden sich jedoch in der Art des Weitertransports des nunmehr elektrisch vorliegenden Bildes. CCDs arbeiten mit analogen Schieberegistern und Ladungstransport. Die A/D-Wandlung findet typischerweise an einer einzigen Stelle nach dem analogen Zeilenschiebemechanismus statt. Im Gegensatz dazu führen CMOS-Sensoren die A/D-Konversion ohne analogen Transport der Intensitätsinformation parallel und „vor Ort“ durch.

Daneben wäre auch feinere Auflösung des sichtbaren Spektralbereichs (z.B. über 7 Kanäle) denkbar. Diese gesteigerte Auflösung wird für spezielle Anwendungen auch technisch realisiert. Bei vielen Broadcast- und Consumer-Anwendungen (Standbild, Bewegtbild: TV, Video, Film) hat sich jedoch die RGB- bzw. die daraus ableitbare Komponentendarstellung (YUV bzw. YCrCb) etabliert. Bild 2 zeigt ein typisches heute verwendetes 3-Chip-RGB-Kamerasystem mit Prismen-Beamsplitter als RGB-Bandpassfilter.

Ortsauflösung bei Bildern und Bildformate

Wesentlich bei der Dimensionierung von Bildverarbeitungsoperatoren ist die zu Grunde liegende örtliche Auflösung der zu verarbeitenden Bilder. Im Zusammenhang mit Bildformaten erfolgen Angaben über die Bildauflösung oft über die

Anzahl horizontalen und vertikalen Pels. Bild 3 zeigt eine Zusammenstellung wichtiger Bildformate zwischen VGA, den SD-Videoformaten, PAL und NTSC, über HDTV bis zum QXGA-Format. Letzteres entspricht auch dem 2k-Dfilm-Format, benannt nach den 2k Pels/Zeile. Bei Formaten mit hoher Ortsauflösung beginnt darüber hinaus auch das 4k-Format als „Digital Intermediate“ im Bereich digitales Kino an Bedeutung zu gewinnen, über ein 8k-Format wird diskutiert. Als Beispiel für einen Bildwandler mit hoher Ortsauflösung soll die Blockschaltung des 4-MPixel-CMOS-Bildwandlers PB-MV40 [7] herangezogen werden (Bild 4). Für jede der 2352 Bildspalten ist ein eigener A/D-Wandler vorgesehen, der analoge Transport der Intensitätsinformation über die Bildzeilen erübrigt sich hier.

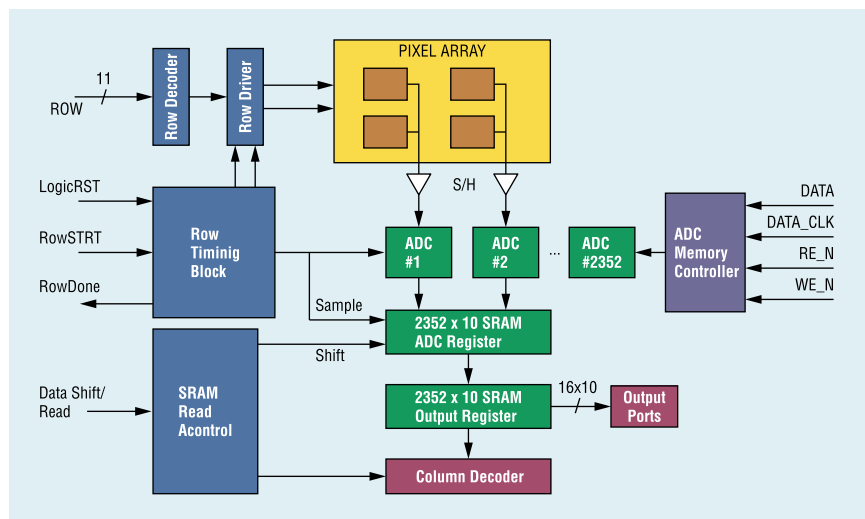


Bild 4: Blockschaltbild des 4-MPixel-CMOS-Sensor PB-MV40: ein Beispiel für einen Bildwandler mit hoher Ortsauflösung

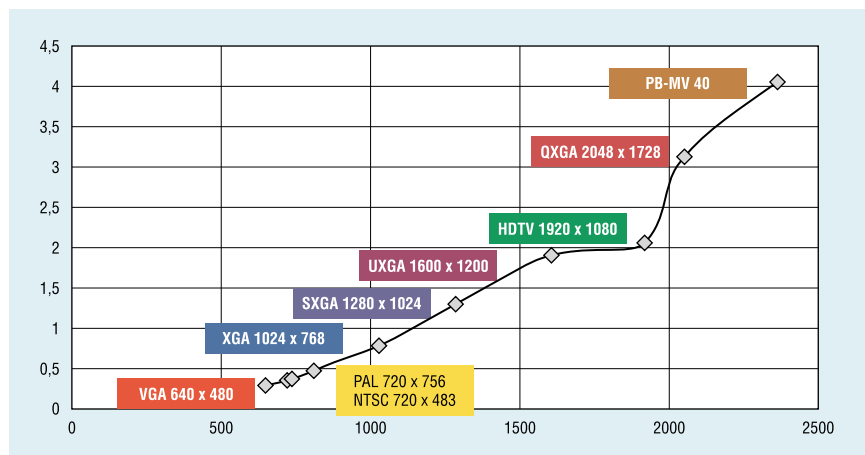


Bild 5: Gesamtpixel-Anzahl M in einem Bildwandler [Mpels] in Abhängigkeit von der Zeilen-Pel-Anzahl und vom Bildformat. Bei 4:3 Formaten: $M[\text{Mpels}] = (\text{Pels}/\text{Zeile})^2 \cdot 3/4$

► **Primäre Datenraten bei unterschiedlichen Bildformaten**
 Zuerst soll die gesamte Bildpunktanzahl eines Frames bei den in Bild 3 dargestellten Bildformaten betrachtet werden. In Bild 5 ist die Gesamtpixelanzahl der besprochenen Bildformate in Abhängigkeit von der jeweiligen Pixelanzahl pro Zeile dargestellt. Die Mehrzahl der betrachteten Formate (VGA, SVGA, XGA, UYGA und QXGA) entsprechen einem Zeilen-Pel/Spaltenverhältnis von 4:3, die 16:9-Formate (ATSC und HDTV) sind neben den SDTV-Formaten, SXGA und dem 4-Mpel-Bildwandler die Hauptgründe für die Abweichungen von einer 4:3-Geraden im Diagramm.
 Aus Bild 5 ist die beträchtliche Anzahl der diskreten Orte (Pels) bei großen Bildformaten ersichtlich. Bei 3-Chip-Kameras („echten“ RGB-Bildwandlern) multipliziert

sich die in Bild 5 gezeigte Anzahl der Bildsensorelemente mit 3, die 4-Mpel-Kamera in RGB-Ausführung weist 12M-Sensorelemente auf. Ab der 4-Mpel-Ebene beginnen Probleme bei der örtlichen Deckungsübereinstimmung (Registrierung) der 3 Farbebenen schlagend zu werden und es müssen ggf. gegenüber dem in Bild 2 gezeigten RGB-Kamerasystem mit Prismen-Strahlteiler und 3 Chips zur Bildwandlung des R-, G- bzw. B-Auszuges alternative Ansätze erwogen werden.

Primäre Datenraten
 Das zwischen RGB-Bildwandler und dem Bereich „Bilderfassung“ zu transportierende Datenvolumen bei den jeweiligen Bildformaten ist in Bild 6 zusammengefasst. Dabei wird eine 10-Bit-Auflösung für jeden Intensitätskanal angenommen (oft sind heute im D-Cinema- oder im

Broadcast-Bereich bereits Auflösungen von 12 oder 14 Bit möglich).
 Bei 24 Frames/s Progressive Scan (D-Kino, P24) ergibt sich für ein RGB-Sensorsystem mit PB-MV40-Sensoren bei 10 Bit Auflösung eine primäre Datenrate von nahezu 3 GBit/s. Der genannte Sensor kann jedoch bei voller Ortsauflösung Framerate bis 240 f/s realisieren. Bei einem solchen High-Speed-Kamerasystem (z.B. für Zeitlupenaufnahmen) produziert die Bildquelle ein Datenvolumen von nahezu 30 GBit/s, welches über die Aufnahmezeit zuverlässig von der Schnittstelle des Bildsensors (im Fall der PB-MV40-Sensoren $3 \cdot 16 = 48$ 10-Bit-Ports) zum Bereich „Bilderfassung“ bzw. von da zur „Vorverarbeitung“ zu transportieren ist. (cm)

Format	Bildgröße			Frames fs	Datenrate Mbit/s
	H-Pixel	V-Pixel	M-Pixel		
VGA	640	480	0,31	25	230
NTSC	720	483	0,35	30	313
PAL	720	576	0,41	25	311
SVGA	800	600	0,48	25	360
XGA	1024	768	0,79	25	590
SXGA	1280	1024	1,31	25	983
UXGA	1600	1200	1,92	25	1440
HDTV	1920	1080	2,07	25	1555
FILM	2048	1536	3,15	24	2265
PB-MV40	2352	1728	4,06	24	2926
PB-MV40	2352	1728	4,06	240	29263

Bild 6:
 Primäre RGB-Datenraten bei unterschiedlichen Bildformaten und Progressive-Scan-Bildwechselfrequenzen zwischen 24 und 30 Frames/s

Literatur:
 [1] *Digital Signal Processing*, A.V. Oppenheim, R.W. Schaffer
 [2] *Digital Image Processing*, R.C. Gonzales, R.E. Woods
 [3] *Fundamentals of Digital Image Processing*, A.K. Jain
 [4] *Operatoren für die Bildverarbeitung*, R. Klette, P. Zamperoni
 [5] *The Art of Digital Video*, John Watkinson
 [6] *Zweidimensionale Signalverarbeitung mit FPGAs*, H. Keller,
 [7] *PB-MV40 : 4-Megapixel-CMOS-Active-Pixel Digital Image Sensor ; Micron*

Operatoren in der „Bilderfassung“: die Ortsauflösung verändern

Der Bereich „Bilderfassung“ umfasst an sich die nötigen Arbeitsschritte und Konversionen vom optischen Bild über das analoge, elektrisch dargestellte und örtlich gemäß dem Sensor-Pixel-Raster aufgelöste (örtlich quantisierte) Bild bis zum „digitalen“ (örtlich und in der Amplitude quantisierten) Bild. In vielen Fällen realisieren CMOS- oder CCD-Bildsensor heute diese Arbeitsschritte. Die örtliche Quantisierung ergibt sich durch Positionierung der aktiven Bildwandlerelemente auf dem Sensorchip. Die A/D-Wandlung wird bei CCD-Sensoren häufig, bei CMOS-Sensoren immer bereits auf dem Chip realisiert und es verbleibt der Transport der primären Rohdaten mit der erforderlichen Transport-Bandbreite.
 Im Fall der Einspielung von analogen Videosignalen muss im Bereich „Bilderfassung“ die A/D-Wandlung realisiert werden. Schließlich ist die Darstellung der Primärinformation (des „digitalen“ Bildes) in einer für die Weiterverarbeitung kompatiblen Ortsauflösung erforderlich. Somit sind im Bereich „Bilderfassung“ auch Operatoren zu finden, welche die Ortsauflösung umwandeln, um Kompatibilität für die Weiterverarbeitung im Bildprozessor herzustellen. Einige dieser Operationen sind in [6] ansatzweise beschrieben. Es geht hier um die Anwendung des Abtasttheorems auf örtliche Signale (bei Scan-Zeilen $s(x)$, bei flächigen Quellbildern und Bildwandlern $s(x,y)$).

Grundsätzlich kann man durch Anwendung von Interpolation mit dem Interpolationsfaktor i Bilder in der Ortsauflösung steigern. Für praktische Anwendungen ist der Interpolationsfaktor i eine Integer-Zahl. Um aus einer VGA-Bildzeile (640 Pels) eine HDTV-Bildzeile (1920 Pels) zu generieren, muss der Interpolationsfaktor 3 angewendet werden, das Bild wird, simpel betrachtet, durch Einfügen von 2 interpolierten Füll-Pels zwischen 2 ursprünglich benachbarten VGA-Pels auf die 3-fache Zeilenlänge im HDTV-Horizontal-Raster ausgedehnt. Neben der einfach zu rechnenden linearen Interpolation, Spline-Techniken und der $\sin x/x$ -Interpolation kommen hier spezielle Interpolationsfilter zum Einsatz mit dem Zweck das in der Ortsauflösung vergrößerte Bild für den Betrachter ansehnlich zu machen.
 Die umgekehrte Operation – die Verkleinerung der Ortsauflösung – kann man durch die Dezimierung des Ortssignals mit dem Dezimierungsfaktor d (ebenfalls eine Integer-Zahl) realisieren, z.B. kann man bei der Konversion einer HDTV-Bildzeile in eine Zeile mit VGA-Auflösung den Dezimierungsfaktor $d = 3$ anwenden. Es werden im einfachsten Fall nach dem ersten HDTV-Zeilen-Pel 2 Pels weggeworfen, das 4. HDTV-Pel bleibt bestehen und wird zum 2. VGA-Pel usw. Bei Nicht-Integer-Interpolationen kann man eine Kombination von Interpolation und Dezimierung einsetzen.

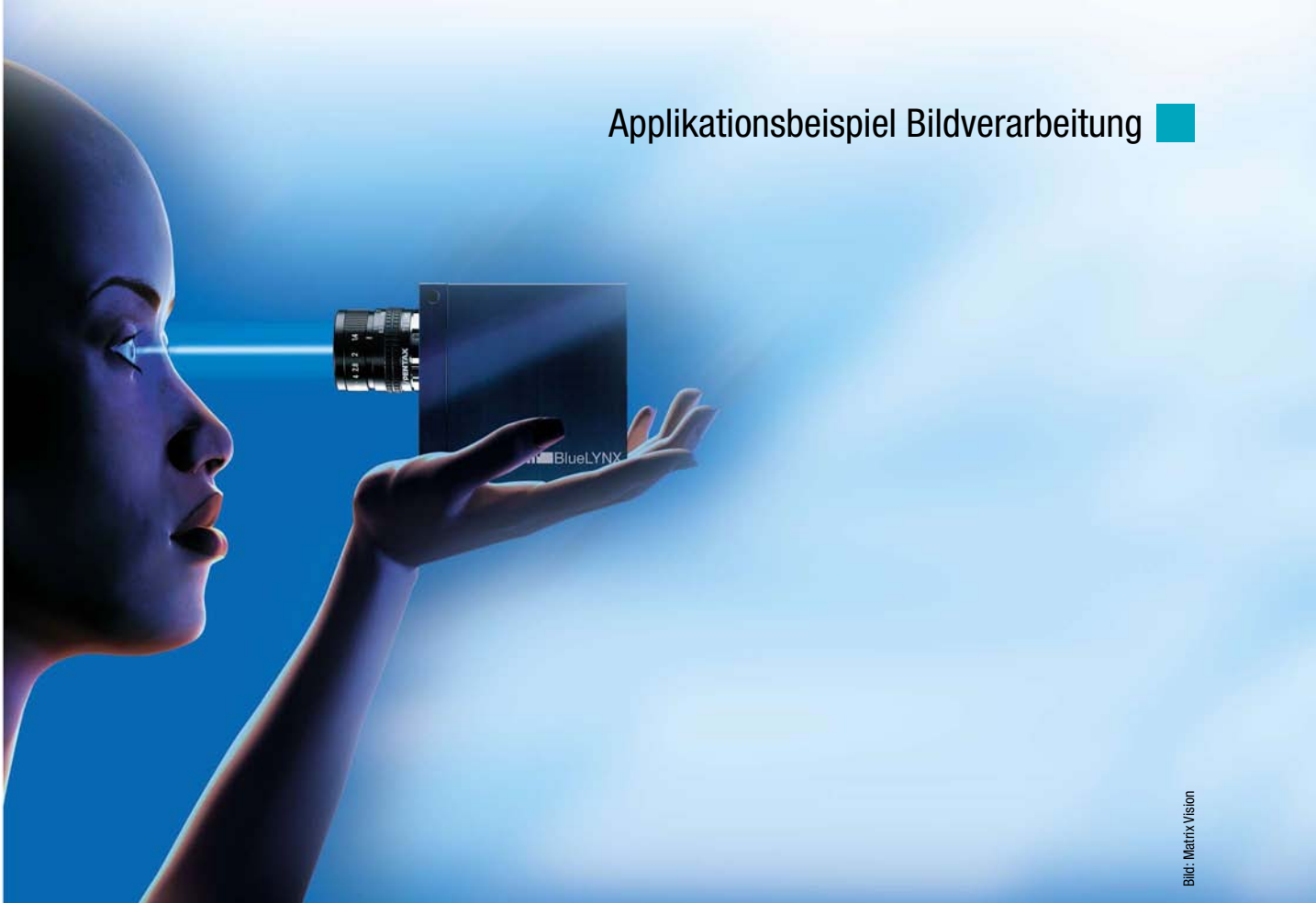


Bild: Matrix Vision

Große Bildformate in Echtzeit verarbeiten

Zweidimensionale Signalverarbeitung mit FPGAs

Aufgrund ihres Aufbaues sind FPGAs hervorragend zur Lösung zweidimensionaler Signalverarbeitungsaufgaben, z.B. in der Bildverarbeitung geeignet. In der Bildverarbeitung sind heute schnelle Implementationen von Prozessen wie Farbraumkorrektur, Konturerkennung und Bildkompression gefordert.

Dr. Helmut Keller

Durch die mittlerweile in FPGAs verfügbaren Ressourcen bietet sich die massiv parallelisierte Lösung vektorisierbarer Aufgabenstellungen an. Dieser Umstand kann in einer drastischen Beschleunigung vektorisierbarer Prozesse gegenüber der herkömmlichen Verarbeitung in Skalarprozessoren führen. Bei dementsprechenden I/O-Bandbreiten resultiert im Vergleich zu heutigen Workstation-Lösungen auch eine signifikante Steigerung im Datendurchsatz. Somit rückt auch die Echtzeit-Verarbeitung von größeren Bildformaten, wie sie

bei HDTV oder bei Digital Cinema gefordert sind, in ökonomisch gangbare und interessante Bereiche vor.

Anhand von drei einfachen Beispielen gilt es den Vorteil von FPGAs in der Bildverarbeitung unter Verwendung von Operatoren zu beleuchten: Beispiel 1 behandelt die elementare Interpolation bei Bildern, wie sie z.B. bei der Konversion von kleineren auf größere Displayformate benötigt wird. Im zweiten Beispiel wird ein einfacher Fall der Farbtransformation angesprochen. Beispiel 3 beleuchtet die in weitem Umfang bei der Bilddatenkompression eingesetzt

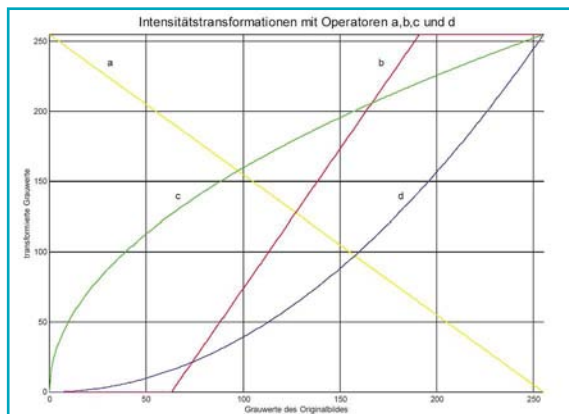
te Diskrete Cosinus Transformation (DCT).

In allen drei Fällen kommen Transformationen „in der Ebene“ unter Anwendung von 2-D-Transformationsoperatoren zum Einsatz. Da diese Operatoren auch parallel angelegt werden können (das Limit wird von den Ressourcen des eingesetzten FPGAs vorgegeben) und die Operatoren massiv parallel ausführbar sind, kann man hier von „Processing in Space“ (genauer: im 2-D-Raum oder in der Fläche des FPGA-Siliziums) sprechen. Gegenüber Skalarprozessen, deren Geschwindigkeit hauptsächlich von der

■ Bild 1



■ Bild 2



► Taktfrequenz abhängt, werden bei den hier betrachteten Vektorprozessen Beschleunigungsfaktoren proportional der Anzahl der im Silizium des FPGA definierten Operatoren sichtbar. Der Beschleunigungsfaktor steigt (theoretisch, und eine bestimmte FPGA-Technologie zu Grunde gelegt) mit dem Quadrat der Seitenlänge eines FPGA-Chips.

■ **Beispiel 1:**

Konversion von Displayformaten bei digitalen Bildern

Im Zusammenhang mit der Bildverarbeitung kann ein Bild als 2-dimensionale Verteilung von Helligkeitswerten betrachtet werden. Ein solches Bild wird üblicherweise durch ein Aufzeichnungsgerät wie z.B. eine CCD-Kamera aufgenommen, wobei sich der CCD-Wandler in der Bildebene einer optischen Kamera befindet, an einem Ort wo sich auch der fotografische Film befinden kann. Der Begriff „digitales Bild“ wird zur Beschreibung von Bildern verwendet, bei denen sowohl die örtliche Verteilung der Helligkeitswerte (z.B. vorgegeben durch die Positionierung und Verteilung der CCD-Bildsensorelemente, im vorliegenden Fall sollen 480 Sensorzeilen mit jeweils 640 Sensoren angenommen werden) als auch die Helligkeitswerte (z.B. gegeben durch Bit-Auflösung B des CCD-A/D-Wandlers) diskret sind. Im vorliegenden Fall soll $B = 8$ angenommen werden ($480 \times 640 \times 256$ Bild). Bei der Konversion eines digitalen Bildes in ein anderes Pixel-Format werden zwei grundsätzliche Aufgabenstellung bei der zweidimensionalen Signalverarbeitung sichtbar: Pixel-Dezimierung und Pixel-Interpolation. Während die Konversion eines 480-Zeilen-Bildes mit 640 Spalten in ein 240-Zeilen-Bild mit 320 Spalten im einfachsten Fall simpel durch Weglassen jeder 2. Zeile und jeder 2. Spalte erzeugt werden kann,

muss im Fall der Bildexpansion auf das Format $960 \times 1280 \times 256$ interpoliert werden. Dabei werden die Grauwerte für die einzufügenden Bildelemente aus benachbarten Bildpunkten errechnet. Hier kann entweder die lineare Interpolation (Mittelwertbildung) oder ein aufwändiger Interpolationsoperator zur Anwendung kommen.

Anhand des Interpolationsbeispiels wird bereits ein entscheidender Vorteil bei der Anwendung von Operatoren in FPGAs sichtbar: Über schnelle Eingangskanäle werden größere Bildteile (z.B. mehrere oder im Extremfall alle Bildzeilen) eines Frames des zu expandierenden Bildes eingelesen. Die an sich pixelbezogenen Interpolationsoperationen können nun unter Nutzung einer großen Anzahl von auf dem FPGA-Silizium angelegten Interpolator-Operatoren parallel, also über den betrachteten Bildteil „als Ganzes“ durchgeführt werden. Vorteil: Über schnelle Ausgangskanäle lassen sich die durch Interpolation gewonnenen neuen Bildteile mit erhöhter Pixel-Auflösung abtransportieren und beispielsweise auf geeignete Weise einem Projektionssystem zuführen.

■ **Beispiel 2:**

Farb- und Intensitätstransformationen

Farbe ist ein leistungsfähiges Beschreibungsmerkmal, das in vielfach die Objektidentifikation sowie die Extraktion aus einer Szene erleichtert. Führen Menschen die Bildverarbeitung durch, dann können sie Tausende von Farbtönen unterscheiden, im Vergleich zu nur etwa 24 Grautönen. Das Gebiet der Farbverarbeitung lässt sich grob in die Bereiche Fehl- oder Pseudo-Farben- und Vollfarben-Verarbeitung unterteilen, wobei letzterer ursprünglich der professionellen Studio-technik und Layoutern vorbehalten war. Durch den Einzug billiger CCDs und CMOS-Bildwandler sind diese Techniken

und assoziierte Farbmodelle wie RGB, CMY, YIQ, HSI oder HSV heute Allgegenwart.

Aus Platzgründen soll das große Feld der Farbtransformationen hier auf Grauwertbilder eingeschränkt werden, wie sie z.B. von S/W-Kameras oder als Einfarben-Auszug aus einem RGB-Signal zur Verfügung stehen.

Intensitätstransformationen stellen ein wesentliches Werkzeug im Rahmen der Bildverbesserung dar, sie zählen neben subtraktiven Verfahren, Methoden der Mittelung, der Histogrammverarbeitung und linearen oder nicht linearen Filtermethoden mit 2-D-Faltungsmasken zu den Methoden im Ortsbereich (unter „Ort“ (Fläche) wird eine Ansammlung von Bildelementen verstanden, welche ein Bild ausmachen).

Zu diesen Methoden gehören Operationen der Form $g(x,y) = T(f(x,y))$, wobei $f(x,y)$ das Ausgangsbild, $g(x,y)$ das verarbeitete Bild und T den Operator auf f darstellt, welcher über eine gewisse Nachbarschaft von (x,y) definiert ist.

Zu den Intensitätstransformationen sind Methoden wie die Grauwerttransformation und die Bit-Plane-Zerlegung zu zählen. Bei Grauwerttransformationen kann es sich z.B. um Punktoperationen mit Operatoren für die Amplitudenskalerung in einem Bildbereich, die Streckung der Grauwertskala, die Transformation der Grauwertkennlinie oder die Egalisierung des Grauwert-Histogramms handeln. Ausgangspunkt für einige Beispiele zu Intensitätstransformationen ist dieser Grauwert-Bildausschnitt eines 8-Bit-Bildes (siehe Bild 1).

Die Grafik zeigt einige Transformationskennlinien für die Operatoren (a) Inversion des Bildes, (b) Grauwertstreckung zwischen 25 und 75% des Gesamtgrauwertbereichs und die Grauwerttransformation nach der Potenzfunktion [5]

$$s_i(x, y) = s_{\max} \left(\frac{f(x, y)}{s_{\max}} \right)^{r_i};$$

mit den Exponenten

(c) $r = 0,5$ und (d) $r = 2$ (siehe Bild 2).

Die Anwendung der Operatoren (a) bis (d) liefert folgende Bilder:

(a) Inversion (siehe Bild 3)

(b) Grauwertstreckung 25–75 (siehe Bild 4)

(c) Grauwerttransformation, Exponent der Potenzfunktion $r_1 = 0,5$ (siehe Bild 5)

(d) Grauwerttransformation, Exponent der Potenzfunktion $r_1 = 2$ (siehe Bild 6)

Beispiel 3:

Diskrete Cosinus Transformation (DCT)

Das letzte Beispiel soll die im Bereich der (Bild)-Datenkompression heute in weitem Umfang verwendete DCT angesprochen werden. Bei der Transformation eindimensionaler Signale findet die DCT z.B. bei dem populären Audio-Kompressionsverfahren MP3 Verwendung. In ihrer 2-dimensionalen Form wird die Transformation bei Fest- und Bewegtbild-Kompressionsverfahren wie bei JPEG [4] und MPEG eingesetzt.

Bei JPEG bildet die DCT den ersten Schritt in der Kompressionskette. Üblicherweise wird dabei der Hin-Transformationskern auf 8×8 Bildelemente angewandt, das Bild wird durch sukzessive Behandlung von 8×8 Pixel-Blocks komprimiert. Der in einer Applikation real eingesetzte Transformationskern muss in den Ergebnissen der JPEG-Referenz

$$S(v, u) = \frac{C(v)}{2} \cdot \frac{C(u)}{2} \sum_{y=0}^7 \sum_{x=0}^7 s(y, x) \cdot \cos\left((2x+1)\frac{u\pi}{16}\right) \cdot \cos\left((2y+1)\frac{v\pi}{16}\right)$$

entsprechen. Ebenso gilt für die

$$s(y, x) = \sum_{v=0}^7 \frac{C(v)}{2} \sum_{u=0}^7 \frac{C(u)}{2} S(v, u) \cdot \cos\left((2x+1)\frac{u\pi}{16}\right) \cdot \cos\left((2y+1)\frac{v\pi}{16}\right)$$

$$C(u) = \frac{1}{\sqrt{2}} @ u = 0$$

$$C(u) = 1 @ u > 0$$

$$C(v) = \frac{1}{\sqrt{2}} @ v = 0$$

$$C(v) = 1 @ v > 0$$

$$s(y, x) = 2D_Sample$$

$$S(v, u) = 2D_DCT_Koeffizient$$

((Gleichung 4))

Für einen Skalar-Prozessor stellt die Anwendung des Hin- oder Rücktransformationskerns auf den 8×8 Pixel-Block oder auf den 8×8 -Datenblock mit DCT-Koeffizienten durch die Vielzahl an sequenziell abzuarbeitenden Additionen und Multiplikationen eine beträchtliche Belastung dar, die sich z.B. im signifikanten Zeitaufwand speziell bei der Kompression von Multimedia-Inhalten artikuliert.

Durch die Implementation von ein oder mehreren DCT-Transformationskernen in einem FPGA im Sinn eines Vektorprozessors können ein oder mehrere 8×8 -Bildausschnitte „als Ganzes“ und parallel transformiert werden. Auf diese Weise lässt sich die Verarbeitungsgeschwindigkeit speziell bei Broadcast- und Produktions-Bildformaten drastisch beschleunigen. Damit ist in diesen anspruchsvollen Anwendungsbereichen der Bildverarbeitung die Echtzeit-Verarbeitung möglich.

Zusammenfassung:

Die Beispiele zeigen, dass sich mit dem Einsatz rekonfigurierbarer FPGAs im Zusammenspiel mit einem geeigneten Controller/Prozessor gegenüber den Universal-Skalarprozessoren Pixel-Operationen bei gutem Design in vielen Fällen innerhalb weniger Taktperioden realisieren und dass sich diese Operationen im Sinn eines Vektor-Prozesses massiv parallel anlegen lassen. In diesem Sinn wird der Operator also auf einen Bildteil „als Ganzes“ angewandt. Mit dieser Maßnahme lässt sich gerade im Falle von Echtzeit Bildverarbeitungsaufgaben die Rechenzeit signifikant beschleunigen. Mit dem Board UNIFIRE-II/CERO lassen sich neben sehr schnellen I/O-Datenkanälen (die Transferbandbreite beträgt mehrere GBit/s) die genannten Erfordernisse vollständig erfüllen.

Obwohl Operatoren der beschriebenen Art üblicherweise als spezifisches Design ins FPGA geladen werden und dort temporär resident sind, bleibt gerade durch die Paarung Controller/Prozessor und rekonfigurierbares FPGA eine hohe Flexibilität zur Behandlung unterschiedlicher Aufgabenstellungen erhalten. (cm)

Literatur:

- [1] *Digital Signal Processing*, A.V.Oppenheim, R. W. Schaffer;
- [2] *Digital Image Processing*, R. C. Gonzales, R. E. Woods;
- [3] *Fundamentals of Digital Image Processing*, A.K.Jain;
- [4] *JPEG, IS 10918-1, ITU_T T.81*;
- [5] *Operatoren für die Bildbearbeitung*, R.Klette, P. Zamperoni.

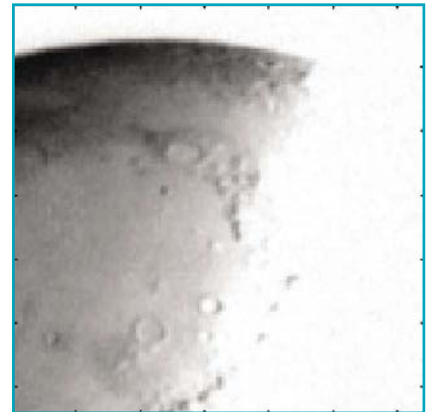


Bild 3

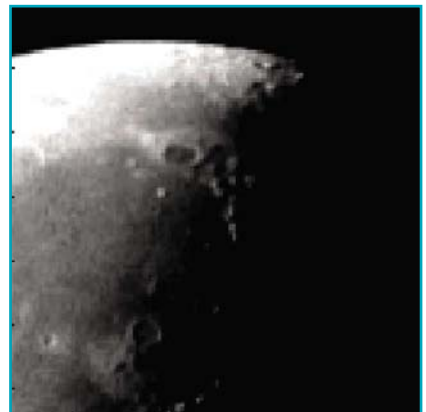


Bild 4

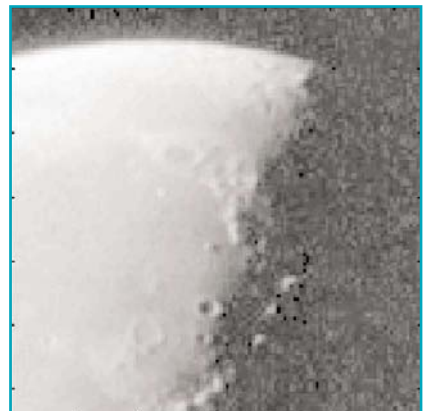


Bild 5



Bild 6

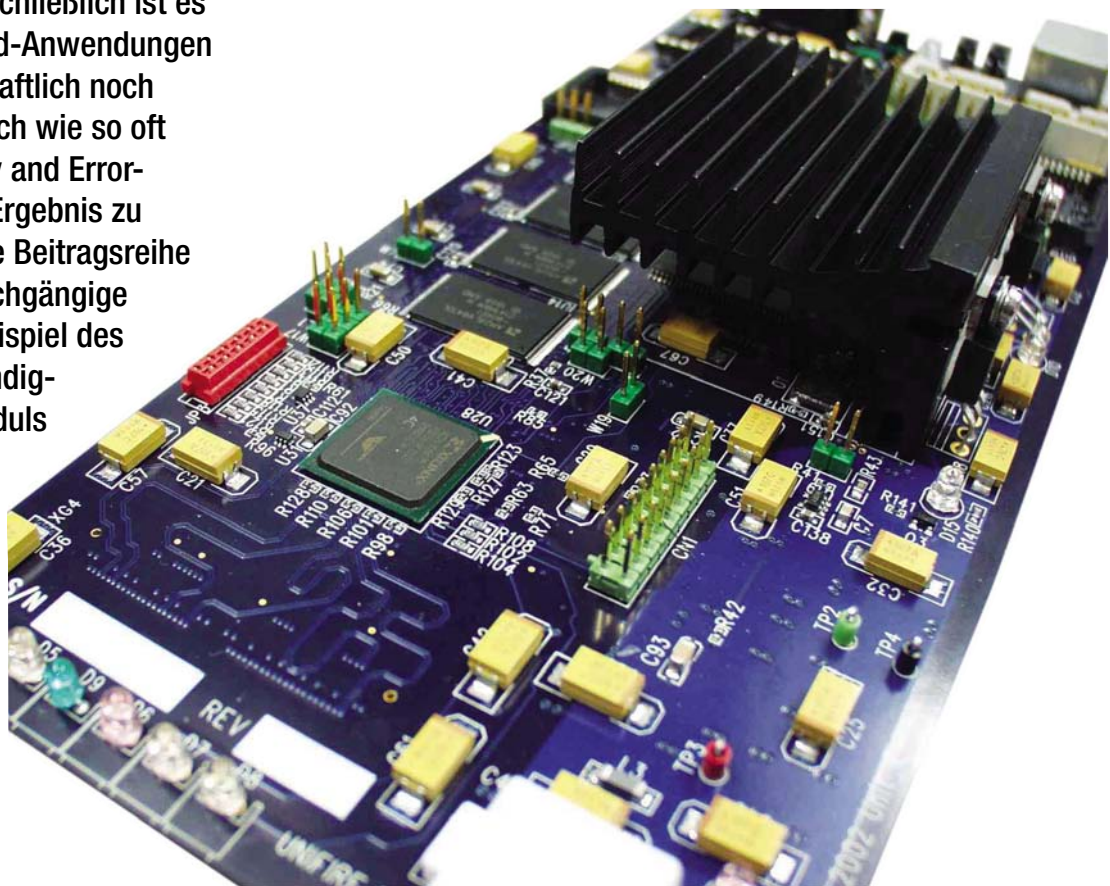
Hardware mit Übertragungskapazität für mehrere Jahre

Die Herausforderung

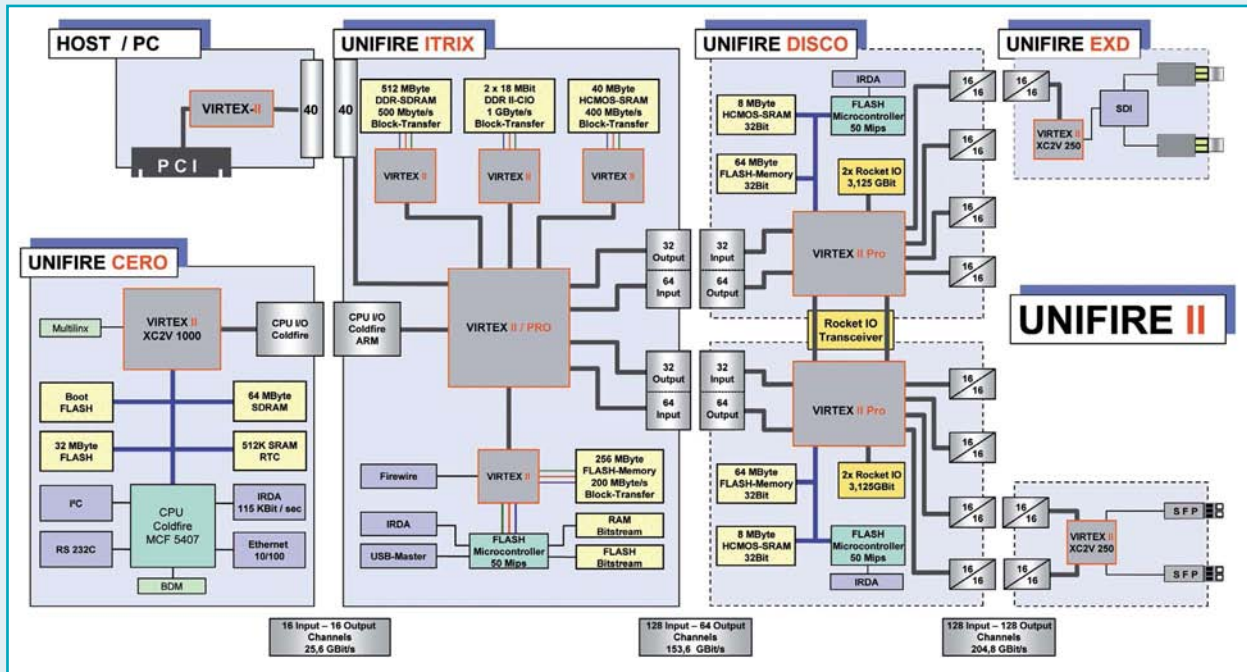
Eine Lösung, um auf die zunehmende Produktvielfalt, immer kürzer werdende Produktlebenszyklen und rascher aufeinander folgenden Technologiewechsel zu reagieren, ist eine Entwicklungs-Plattform, die nicht nur flexibel ist, sondern auch genug Übertragungskapazität für die nächsten Jahre bietet. Während moderne Halbleiter dazu bereits in der Lage sind, gilt es auf Board-Ebene ganz neue Wege in enger Zusammenarbeit mit Leiterplattenhersteller und Baugruppenproduzent zu beschreiten. Schließlich ist es für High-Speed-Anwendungen weder wirtschaftlich noch praktikabel, sich wie so oft nach dem „Try and Error-Prinzip“ zum Ergebnis zu hangeln. Diese Beitragsreihe zeigt eine durchgängige Lösung am Beispiel des Hochgeschwindigkeits-CPU-Moduls CERO.

Bei gegenwärtigen Demo- und Entwicklungs-Boards gilt es, die Hardware möglichst gut auszunutzen, ohne viel Rücksicht auf flexible I/O-Strukturen zu nehmen. Eine wachsende Anzahl von Peripherie-Elementen wird zunehmend mit IP-Modulen in reprogrammierbarer Logik (FPGAs) realisiert. Dies geht stark zu Lasten der für anwenderspezifische Lösungen vorgesehenen freien Ressourcen. Eine nahe liegende Möglichkeit wäre, beispielsweise bei SRAM-basierenden FPGAs nicht benutzte Funktionen zu entfernen. Konstruktionsbedingt wird die Nutzung der so gewonnenen I/Os leider wieder durch mangelhafte oder fehlende Softwarewerkzeuge nachhaltig verhindert. Die Synthese von vielen seriellen Hochgeschwindigkeitskanälen mittels komplexer FPGA-Strukturen bildete die Basis für die Entwicklung und Konstruktion einer Hardware, die den Herausforderungen der nächsten Jahre standhält.

Anhand des 18-Lagen-Multilayerboards CERO innerhalb des Projekts UNIFIRE II (siehe Kasten Seite 63) werden wir in einer dreiteiligen Serie die eingeschlagenen Lösungswege erläutern und die Vorgehensweise von der Idee bis zur Fertigung erklären. Erhebliche Fortschritte bei der Entwicklung von Prozesstechnologien zur Herstellung von Logikchips mit Strukturen von 95 nm und darunter haben zur Realisierung von ICs mit I/O-Bandbreiten von mehreren 100 GBit/s geführt. Über ein besonders hohes Maß an Flexibilität und Freiraum verfügen SRAM-basierende FPGAs, stellvertretend für reprogrammierbare Logik der letzten Generation. Die Komplexität dieser Bausteine stellt besondere Anforderungen an die Konstruktion von Hardware mit Gigabit-Technologien. Dabei kommt der Leiterplatte als Schaltungsträger und Verbindungselement die eigentliche Schlüsselposition zu.



Die rekonfigurierbare Hochgeschwindigkeitsplattform UNIFIRE II



Die skalierbare und rekonfigurierbare Hochgeschwindigkeitsplattform UNIFIRE II der Firma unite[^]el in Graz (siehe Kasten Seite 64) ist die optimale Synthese einer offenen Entwicklungsplattform mit sofort einsetzbarer Applikationshardware. Die Hardwarebasis setzt sich aus drei Modulen und speziellen Subsystemen zusammen. Die Module, die sich durch ihre Übertragungs- und Durchsatzkapazität unterscheiden, sind so konstruiert, dass sie sich auch unabhängig voneinander einsetzen lassen. Entsprechend ihrer Leistung und Funktionalität sind sie den Kategorien Blueline, Redline, Greenline, Whiteline und Blackline zugeordnet. Optisch kontrastieren die Module und Subsysteme durch ihre Leiterplattenfarbe.

Das Modul **UNIFIRE II CERO**, Kategorie Blueline, ist gegenwärtig mit einer Motorola Coldfire-CPU ausgeführt. In Planung ist das Modul AERO mit ARM-Prozessor. Auf der Controller-Seite befinden sich die Schnittstellen geringer Bandbreite, wie RS232C, I2C, IRDA und Ethernet für Servicezugriff, die Benutzeroberfläche zur CPU und langsame Up/Download-Prozesse. Das Board verfügt über 64 MByte SDRAM, 32 MByte FLASH, 512 KByte SRAM, ein Boot-FLASH und eine Echtzeituhr. Als Betriebssystem sind derzeit zwei Varianten vorgesehen: OS9 – eine Unix-ähnliche Echtzeitvariante für Embedded-Systeme und Embedded LINUX. Die Hochgeschwin-

digkeitsseite ist mit einem Virtex II FPGA ausgestattet. Es werden 32 LVDS-Kanäle unterstützt, die im Falle der Verwendung als Einzelmodul für den Anwender voll verfügbar sind. Das entspricht einer akkumulierten I/O-Bandbreite von 25,6 GBit/s. Das Modul CERO ist als autarkes Embedded-System ohne Einschränkungen einsetzbar. Hierfür bietet unite[^]el die Entwicklung von Subsystemen, als auch „Spin-off“-Produkten auf Kundenwunsch an.

Das Modul **UNIFIRE II ITRIX** (in Vorbereitung), Kategorie Redline, unterstützt auf der „langsamen“ Seite die Schnittstellen FireWire, IRDA und USB-Master. Dieses Modul enthält einen FLASH-Kontroller für das Laden der Virtex-II-PRO-Design-Elemente vom Bitstream RAM und den FLASH Devices. Das zentrale Virtex II PRO FPGA ist auf einer Seite über LVDS-I/O-Kanäle mit dem Modul CERO oder AERO verbunden. Die andere Seite stellt eine LVDS-Kanalkapazität von 102,4 Gbit/s eingangsseitig und 51,2 Gbit/s ausgangsseitig zur Verfügung oder ist mit DISCO als Doppelmodul assoziiert. Somit ergibt sich unter Berücksichtigung der CERO-LVDS-Kanäle eine akkumulierte I/O-Bandbreite von 179,2 Gbit/s. Darüber hinaus stehen bis zu 24 bidirektionale Transceiverkanäle mit zusätzlich max. 120 Gbit/s Bandbreite zur Verfügung. Für das zentrale Virtex II PRO FPGA kann der komplexeste Baustein, Virtex II PRO P125, mit vier PowerPC-Prozessor-Blocks, neben

zwei weiteren alternativen Bausteinen zum Einsatz kommen. Damit lässt sich eine gute Balance zwischen Systemerfordernissen und -kosten erzielen. ITRIX unterstützt vier verschiedene Speichersysteme mit 4,2 GByte/s Gesamtbreite und alle Speicher-Arrays laufen im Parallelbetrieb: Zwischen dem zentralen Virtex-II-PRO-Baustein und den Memory-Controllern sind **keine Busse** vorhanden, sondern ausschließlich massiv parallele LVDS-Kanäle mit deterministischem Verhalten.

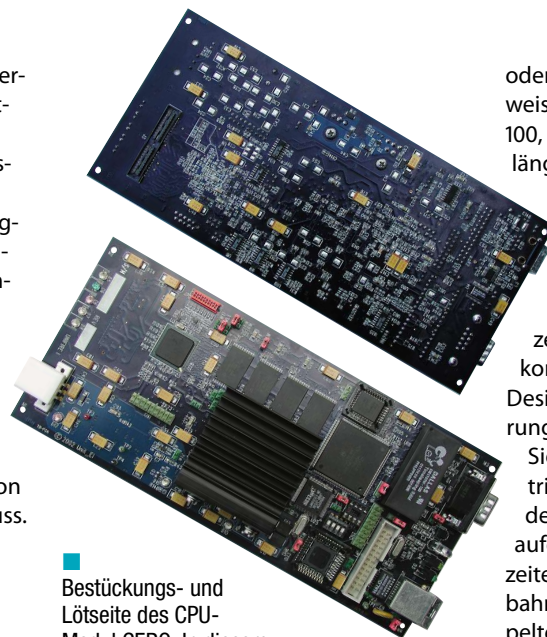
Das Modul **UNIFIRE II DISCO**, Kategorie Greenline ist in Planung. Dieses Modul kann dann zum Einsatz kommen, wenn eine Vorverarbeitung von ankommenden Hochgeschwindigkeitsdatenströmen oder Nachverarbeitung bei abgehenden Datenströmen erforderlich ist. Applikationsbeispiele sind Dekompression, Transcoding, Synchronisation, Farbraumkorrektur und Image Fusion. In diesem Fall lässt sich zu den EXD-Subsystemen hin, Kategorie Whiteline, eine akkumulierte I/O-Kanalbandbreite von rd. 250 Gbit/s erzielen.

Die Submodule UNIFIRE-EXD und Host/PC bilden das Interface zur Außenwelt. Die von CERO, ITRIX und/oder DISCO zur Verfügung gestellte, extrem hohe Bandbreite wird über kleine, kostengünstig herstellbare Submodule für bereits bestehende und, was besonders wichtig ist, für künftige Normschnittstellen nutzbar gemacht.

Als Verbindungselement muss die Leiterplatte schon heute den Bedarf an breitbandiger Datenübertragung für die nächsten Jahre erfüllen. Diesen Herausforderungen allein durch Verbesserungen klassischer Methoden zu begegnen, lässt sich kaum mehr bewerkstelligen und insbesondere aus Kostengründen nicht mehr so leicht rechtfertigen. Mit den neuen Halbleitertechnologien treten Design-Probleme zu Tage, die es bislang nicht zu geben schien. Die Konsequenz sind komplexe Multilayer, deren Funktionalität und korrektes EMV-Verhalten mit einer Fülle von Maßnahmen sichergestellt werden muss.

Multilayer mit adäquaten EMV-Eigenschaften

Die Herstellung der Leiterplatte stützt sich primär auf drei Säulen: Die Entwicklung der Hardware, bestehend aus Schaltplan und Layout, die Produktion der Leiterplatten und letztlich das Bestücken und Löten der Baugruppe. Sinnvollerweise sollte die Schaltplan- und Layoutentwicklung innerhalb der eigenen Kernkompetenz als fester Bestandteil erhalten bleiben. Allerdings ist bereits bei der Layouterstellung eine enge Partnerschaft mit einem kompetenten Leiterplattenhersteller unerlässlich. Darüber hinaus verlangen hochpolige FPGAs in BGA-Gehäusen sowie Leiterplatten mit 18 Lagen und mehr ebenfalls eine sorgfältige Auswahl des Auftragsfertigers. Dies gilt umso mehr in der Forschung wie es zum Beispiel das Projekt UNIFIRE II und die Entwicklung des CPU-Moduls CERO erfordert hat. Im Gegensatz zur Chipebene, die der Halbleiterhersteller abdeckt, ist auf der Board-Ebene eine wesentlich höhere Komplexität in der Entwicklung der Leiterplattenlayouts und der Konstruktion von Multilayern mit adäquaten EMV-Eigenschaften erforderlich als dies in der



Bestückungs- und Lötseite des CPU-Modul CERO: In diesem 18-lagigen Multilayer sind gestapelte Powerplanes und mehrstufige Stromversorgungsentkopplung sowie impedanzdefinierte Leitungsführung realisiert

Vergangenheit der Fall war. Richtig problematisch wird die Einhaltung der EMV-Richtlinien und erst recht die Sicherstellung der Funktionen unterschiedlicher Bauelemente beim Einsatz serieller Gigabit-Übertragungstechniken. Hochpolige FPGAs, z.B. Virtex II Pro von Xilinx bieten bis zu 24 bidirektionale Transceiver mit je 3 GBit/s Übertragungsraten. In diesem physikalischen Umfeld sichern nur ausgefeilte Maßnahmen das reibungslose Zusammenspiel digitaler und analoger Strukturen auf ein und derselben Platine. Besonderes Augenmerk ist auf die Lagenanzahl und den Lagenaufbau der Stromversorgungsflächen bei Einsatz von mehreren Betriebsspannungen zu richten. Durch die Reduzierung der Core-Spannungen auf 1,2 V und darunter sind Stromtransienten von 50 A/ns bereits die Regel. Der Einsatz spezieller Stützcondensatoren alleine

oder Kondensatorgruppen, beispielsweise mit den sehr populären Werten 100, 10 und 1 nF, hält den Anforderungen längst nicht mehr Stand. Durchgängige Lösungsansätze besitzen strengen Seltenheitswert.

Die steigenden Taktraten der Prozessoren, vor allem aber die kurzen Signalanstiegs- und Abfallzeiten der assoziierten Schaltungskomponenten führen zu High-Speed-Designs mit signifikanten Anforderungen. Die Forderung nach hoher Signalintegrität bei niedrigeren Betriebsspannungen schließt impedanzdefinierte Leiterbahnen mit genau aufeinander abgestimmten Signallaufzeiten ein. Der Induktivität von Leiterbahnen hinsichtlich breitbandig entkoppelter Stromversorgungssysteme gilt es besondere Beachtung zu schenken. Dies betrifft vor allem die Auswahl und Platzierung von Kondensatorgruppen bezüglich ihrer Leiterbahnlängen und die Art der Anbindung an flächige Stromversorgungslagen.

Die Stützung unterschiedlicher Spannungsebenen von BGAs mit 1000 Pins und mehr sowie Taktraten im GHz-Bereich verlangt völlig neue Lösungsansätze, die sich mit konventionellen CAD-Strategien kaum mehr realisieren lassen. Nur durch die intensive Zusammenarbeit mit dem Leiterplattenhersteller lassen sich Verfahren, wie z.B. das „Pluggen von Leiterplatten“ oder „gestapelten Stromversorgungsflächen“ mit wirtschaftlich vertretbarem Aufwand erarbeiten. Ein nicht minder wichtiger Partner ist der Dienstleister für das Bestücken der Leiterplatte. Die Fertigstellung der Layout-Daten bedingt ergänzende Informationen aus der Fertigung. Der Grund: Die Serienfertigung von Multilayern mit 18 Lagen und mehr erfordert eine ebenso enge Zusammenarbeit mit einem guten Fertigungspartner hinsichtlich Bauteilmechanik, Temperaturprofilen und Genauigkeit der Lötstoppmasken. Dieses Fertigungs-Knowhow ist während der Layout-Erstellung unbedingt mit einzubinden.

Schließlich ist die „Try and Error-Methode“ sich iterativ mit durchschnittlich 7 bis 10 Prototypen unter Einbeziehung der jeweiligen EMV-Testergebnisse aus der Affäre zu ziehen, für Anwendungen im High-Speed-Bereich weder wirtschaftlich noch praktikabel. Den störenden Einflüssen von Hochgeschwindigkeitshalbleitern lässt sich lediglich durch ein fundiertes Verständnis der zu Grunde liegenden Physik und ihren Auswirkungen begegnen. (cm) ■

unit^{el}: drei Jahrzehnte Hardwareentwicklung

Mit drei Jahrzehnten Erfahrung in der Hardwareentwicklung kann die in Graz ansässige unit^{el}-Gruppe aufwarten. Hauptgeschäftsfeld der Hightech-Schmiede aus Österreich ist die Entwicklung und Konstruktion von FPGA-basierenden Embedded-Systemen in Kombination mit leistungsfähigen CPUs. (z.B. ARM, Motorola, Hitachi, Intel mit 16/32/64 Bit). Das Spektrum reicht von projektbegleitenden Dienstleistungen auf kundenspezifischer Applikationsebene bis zur Überleitung zum Serienbau. Ein absolutes Novum bildet das Leiterplattenlayout in Kombination mit speziellen Lagendesigns der Stromversorgungsflächen. Das Ergebnis sind impedanzdefinierte Leiterplatten mit extrem hoher Signalintegrität im Gigabit-Bereich mit exzellenten EMV-Eigenschaften.

EMV-korrektes Schaltungsdesign

Neue Wege auf Board-Level beschreiten

Neben ihrer Aufgabe als Schaltungsträger und Verbindungselement muss die Leiterplatte in dritter Funktion stabile, ruhige Verhältnisse schaffen. Dabei lässt sich dem störenden Einflüssen von Hochgeschwindigkeitshalbleitern nur durch fundiertes Verständnis der Physik und ihren Auswirkungen begegnen und mit konventionellen CAD-Strategien kaum mehr realisieren. Beispiel: Durch die Reduzierung der Core-Spannungen auf 1,2 V und darunter sind Stromtransienten von bis zu 50 A/ns die Regel. Stützkondensatoren oder Kondensatorgruppen halten den Anforderungen längst nicht mehr Stand. Zudem ist die Zusammenarbeit mit dem Leiterplattenhersteller unerlässlich, um den wirtschaftlich vertretbaren Zeitrahmen einzuhalten und eine produzierbare Lösung zu entwickeln.

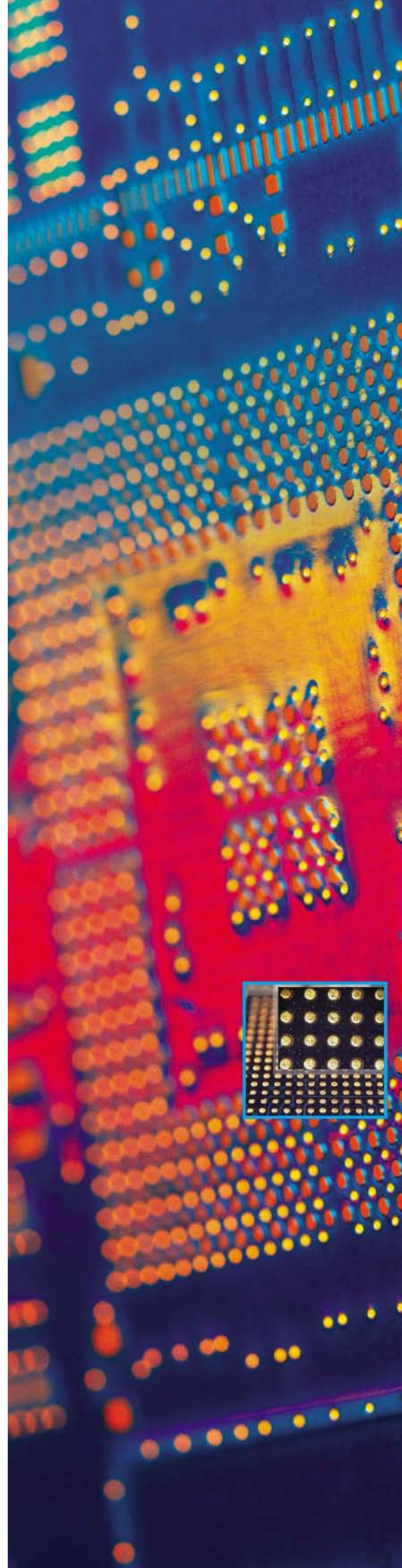
Gerhard Eigelsreiter und Arnold Wiemers

■ Anhand des Prozessormoduls CERO (Bild 1) gilt es die wesentlichen Entwicklungsstationen zu betrachten. Der Umfang der Funktionen des Prozessormoduls wird maßgeblich von einer möglichst langen Lebensdauer und Aktualität der Entwicklung bestimmt. Unter langer Lebensdauer ist das Einbeziehen derzeitiger, als auch noch nicht näher definierter und dokumentierter künftiger Schnittstellen zu verstehen. Die Aktualität wird bestimmt durch den Grad der Integration in bestehende Strukturen. Diese Vorgangsweise erzeugt ein hohes Maß an Flexibilität, jedoch zu Lasten der Einfachheit in der Entwicklung. Wie sieht nun die Realisierung aus? Die Wahl der Schnittstellen ist neben der Verfügbarkeit der Bauteile entscheidend für eine lange Lebensdauer. Standard-Interfaces ermöglichen die sofortige Anbindung an eine Vielzahl von Geräten. Ein guter Mix (z.B. RS232C, IRDA, Ethernet 10/100) erleichtert die Eingliederung in

bestehende Hardwareumgebungen. Nur über das Schlüsselement Bandbreite lassen sich völlig neue oder noch nicht voll ausdefinierte Schnittstellen über eine Art Anpassungsstück „mit integrieren“.

Mittels differenzieller Signalübertragung (LVDS) mit 32 Kanälen auf Punkt zu Punkt stellt CERO eine maximale Übertragungsrate von 25,6 GBit/s zur Verfügung. Das reicht aus, um beispielsweise 10 GBit-Ethernet oder schnelle Fibre-Channel und Firewire-Verbindungen einzubeziehen. Interfaces zu PCI-Express und Hypertransport auf der PC-Seite lassen sich ebenso kostengünstig realisieren wie RapidIO auf der Embedded-Seite. Dazu werden sehr leistungsfähige und hoch flexible ICs benötigt.

Die einzelnen Projektschritte der Entwicklung durchlaufen ein Standard-schema: Das „Herunterbrechen“ der Funktionen in einzelne Hardwarekomponenten und deren Verbindungen auf der



Leiterplatte. Beginnend mit der Auswahl der Bauelemente und Erstellung des Schaltplans folgen die Überleitung ins Layout, Herstellung der Prototypen, Inbetriebnahme, Test der Funktionen und schließlich die üblichen unvermeidlichen kleinen Änderungen in Layout und Schaltplan. Neue Prototypen werden gebaut. Fertig! Und die Physik?

Mit Physik will man wenig bis gar nichts am Hut haben. Wenn überhaupt, findet sie rudimentär beim Erstellen des Layouts oder den obligaten EMV-Prüfungen Gehör – aber dann ist es längst zu spät. Mit ausgefeilten Gehäuseabschirmungen, Ferritperlen und Drosseln kann man sich einigermaßen gut durch die EMV-Prüfung mogeln – jedoch auf Kosten stabiler Funktionalität. Auf der Leiterplatte lagert eine Unzahl von Störern in Form von ICs. Gezielte, nachträglich gesetzte Schirmmaßnahmen wie spezielle Gehäusematerialien reduzieren zwar die Emissionswerte der Störstrahlung außerhalb des Gehäuses, jedoch nicht auf der Leiterplatte. Ergo: Die Entstehung der Störstrahlung muss verhindert werden (was kaum möglich ist, außer durch Abschalten) oder an der Quelle bedämpft werden.

Leiterplatte sorgt zugleich für stabile Verhältnisse

So kommt der Leiterplatte neben ihrer Aufgabe als Träger und Verbindungselement der Bauteile eine dritte, ungemein wichtige Rolle zu: Die Bildung von Inseln mit stabilen, ruhigen Verhältnissen. Dies gilt vor allem für kritische Bereiche, insbesondere für aktive Halbleiter. Solche Störer gilt es möglichst nahe an der Quelle zu entschärfen.

Ideal wäre der Chip selbst. Allerdings stehen dem mehr oder weniger nachvollziehbare Gründe der Halbleiterhersteller entgegen. Hochintegrierte CMOS-ICs generieren Stromspitzen bis 50 A/ns und mehr. Geeignete Maßnahmen setzen direkt an den Pins für die Spannungsanbindung an, um die Ausbreitung über die Stromversorgungsflächen zu minimieren. Erschwerend steigt zudem die Anzahl der notwendigen Spannungen (z.B. 1,2; 1,5; 1,8; 2,5; 3,3 V) infolge immer kleinerer Halbleiterstrukturen stetig. Es gilt das Vermeidungsprinzip!

Sorgfältige Auswahl der Bauelemente

Eine sorgfältige Auswahl aller Bauelemente bildet den Grundstock. Dabei ist eine ausgewogene Balance von Rechenleistung und Speichergröße im Verhältnis

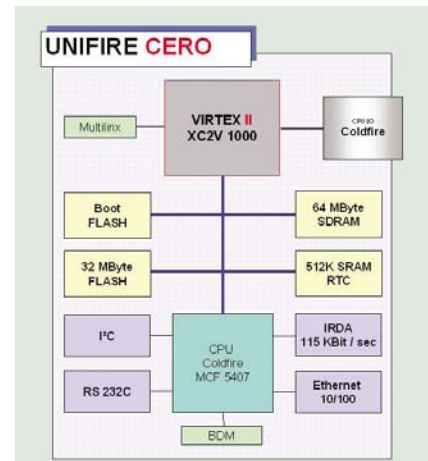


Bild 1: Das Prozessormodul CERO: Der Umfang der Funktionen des Prozessormoduls wird maßgeblich von einer möglichst langen Lebensdauer und Aktualität der Entwicklung bestimmt.

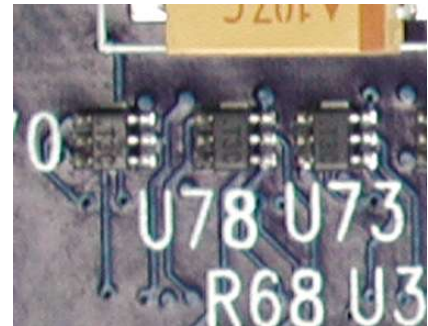


Bild 2: Aktive Terminierungs-Chips auf den Busleitungen verbessern die Signalqualität erheblich



Bild 3: Der Virtex II FPGA ist in einem BGA-Gehäuse untergebracht

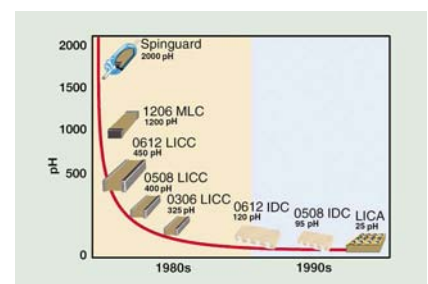


Bild 4: LICs (Low Inductance Capacitors) von AVX



zur Übertragungskapazität und -geschwindigkeit der Schnittstellen sicherzustellen. Übertragungsraten im GBit/s-Bereich schränken die Auswahl geeigneter ICs erheblich ein. Der Einsatz von programmierbarer Logik (PLDs) ist obligatorisch. Die Leistungsfähigkeit der CPU stellt nicht mehr das Hauptkriterium dar. Die Hardwarerechenleistung komplexer PLDs erlaubt den Einsatz von Embedded-Controllern bereits im mittleren Leistungsbereich von 200 Mips aufwärts. Der Vorteil liegt in der Nutzung gut eingeführter langjährig ausgetesteter Softwareentwicklungswerkzeuge (C-Compiler, Betriebssysteme usw.).

Partiell rekonfigurierbare und reprogrammierbare FPGAs

Die gewünschten Funktionen bestimmen die Auswahl der PLDs. Die Wahl fiel auf im Betrieb partiell rekonfigurierbare und reprogrammierbare FPGAs. Die erforderliche Anzahl der Schnittstellen (Modul-ITRIX) auf LVDS-Basis hat den Einsatz von SRAM-basierenden FPGAs von Xilinx (Virtex-II) bestimmt. Ein weiteres Entscheidungskriterium war die langjährige Erfahrung im Umgang mit den Entwicklungswerkzeugen.

Die Leistungsklasse um 200 Mips wird von einer breiten Palette an Embedded-Controllern unterstützt. Das Knowhow aus zwei Jahrzehnten Erfahrung im Umgang mit CPUs von Freescale führte zum Einsatz des Bausteins MCF5407-Coldfire. Die „Glue Logic“ (Verbindungslogik) bedarf besonderer Aufmerksamkeit. Das Vermeidungsprinzip verlangt erhebliche Zugeständnisse. Störstrahlung lässt sich am besten beherrschen, indem sie gar nicht entsteht. Die notwendige Verbindungslogik in Form von Bustreibern und Gattern (CMOS-Technik) kann zu Störern ersten Ranges heranwachsen (siehe Seminar EMV-Praxis auf Seite 82).

Es wäre nicht das erste Mal, dass schnelle CMOS-Logik als LED-Treiber eingesetzt für alptrahmhafte EMV-Ergebnisse sorgt [3]. Zum Einsatz kamen ausschließlich Analog-Multiplexer und -Schalter. FPGAs, CPUs, Flash-Speicher und SDRAM sind schwerlich zu vermeiden. Aus diesem Grund ist eine Modifizierung notwendig. Die enormen Freiheitsgrade im Schaltungsentwurf prädestinieren FPGAs förmlich, besonders nach Fertigstellung der Leiterplatten, das Vermeidungsprinzip gezielt anzuwenden, beispielsweise durch Anwendung differenzieller Übertragungstechniken.

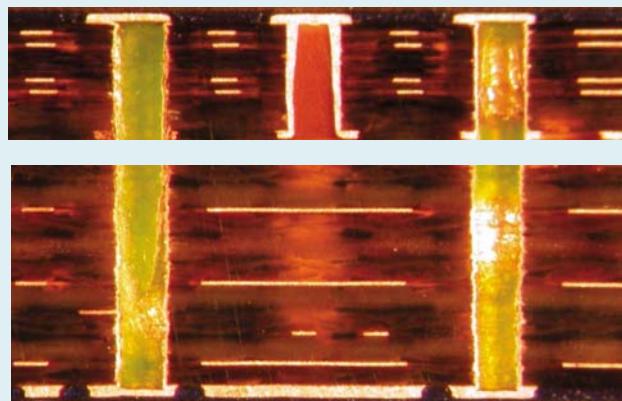
Das CPU-Modul CER0: Die Leiterplatte

Arnold Wiemers, ILFA, hat die Leiterplatte des Prozessor-Moduls CER0 entwickelt: Eine Leiterplatte mit 18 Lagen ist auch heute noch eine Herausforderung. Die zusätzlichen Aufgabenstellungen beim Projekt „UNIFIRE II“ sind ein Multipowersystem, differenzielle Impedanzen, Blind Vias und Plugged Vias.

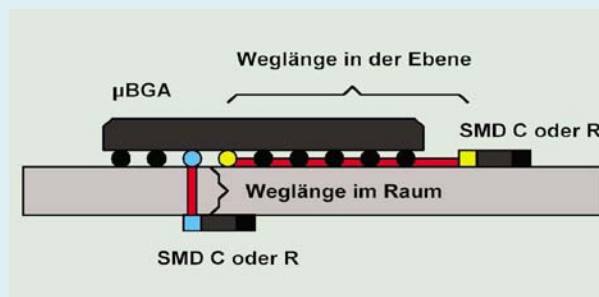
Spannungsversorgungen um 3,3 V mit hohen Vorgaben an die Störfestigkeit beim Betrieb der späteren Baugruppe sowie eine möglichst reduzierte **elektromagnetische** Immission und Emission sind aus Sicht der Leiterplattentechnologie nur mit **UTMs** (Ultra Thin Multilayerboards) umzusetzen. Der zur Zeit minimal machbare Abstand von 50 µm zwischen benachbarten Powerplanes verspricht bei einer ausgeklügelten GND/VCC-Verteilung die Realisierung der verlangten stabilen Spannungsversorgung.

Ein Teil der Planes dient zusätzlich als Referenz für die mit **differenzieller Impedanz** belegten Signalleitungen. Für die vornehmlich auf der Bestückungsseite zu platzierenden Bauteile mussten über Vias die Anschlüsse zu den verschiedenen **Stromversorgungsebenen** hergestellt werden.

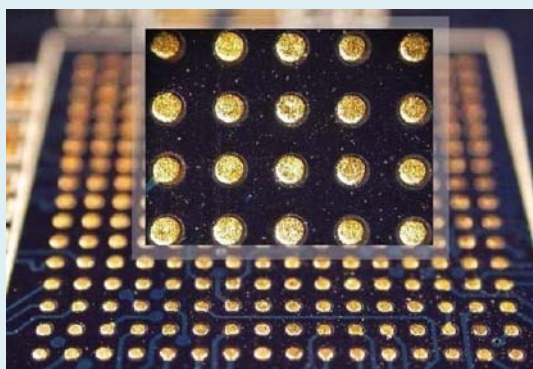
Weitere Vorgaben haben dazu geführt, dass partielle Kontaktierungen von Layer 1 (= „Bestückungsseite“) nach Layer 9 erforderlich sind und natürlich die obligatorischen durchge-



■ Bild 1:
UNIFIRE II besteht aus 2×9 Lagen, die zu einem 18-Lagen-Multilayer verpresst werden



■ Bild 2:
Für die konventionelle Leitungsführung in der Ebene sind im Vergleich zur Verdrahtung im Raum relativ lange Wege zwischen IC-Anschlüssen und passiven Komponenten zurückzulegen



■ Bild 3:
Die Bohrungen in den BGA-Pads sind durchgehend gefertigt und anschließend durch das Pluggen oben und unten gedeckelt

henden Kontaktierungen von Layer 1 nach Layer 18 (= „Lötseite“). Ein konventioneller symmetrischer Lagenaufbau mit innen liegenden Kernen (= Laminaten) ist deshalb nicht möglich. Ergebnis der Diskussionen im Vorfeld war, einen Aufbau vom Typ „**2 × 9 Lagen**“ zu wählen – also zwei **eigenständige Teilmultilayer** zu fertigen, die dann in einem späteren Fertigungsschritt zu einem endgültigen 18-Lagen-Multilayer verpresst werden (Bild 1).

Damit löst sich das Problem der **sequenziellen Vias** von Layer 1 nach Layer 9 von selbst, weil man diese Quasi-Blind-Vias in dem ersten Teilmultilayer als Durchkontaktierungen handhaben kann (Bild 1, oben). Als Laservias können die Verbindungen von Layer 1 nach 9 NICHT ausgeführt werden, weil die Endqualität der Bohrhülse zu schlecht und die Bohrtiefe zu groß ist. Gegen das alternative mechanische Bohren spricht das **aspect-ratio**. In diesem Fall wären massive Schwierigkeiten beim galvanotechnischen Kontaktieren der Vias zu erwarten.

Der **zweite Teilmultilayer** von Layer 10 nach Layer 18 wird konventionell hergestellt und enthält keine Besonderheiten. Im Wesentlichen dienen diese Layer als Signalebenen und erlauben den Aufbau mit Standardmaterialien, weil letztlich die Gesamtdicke des Multilayers bei ca. 2,2 mm liegen soll.

Für die Leiterplattentechnologie bedeutet dieser Aufbau **Komplikationen**, die sich durch die **Asymmetrie** und durch das zweifache Verpressen ergeben. Die sich durch die Asymmetrie möglicherweise ergebende Verwindung und/oder Verwölbung lässt sich weitestgehend reduzieren durch intensives Vortrocknen (= Tempern) der eingesetzten Lamine und Prepregs, sowie durch eine Rasterisierung der Freiräume auf den Innenlagen außerhalb der Leiterplatte, um eine größtmögliche Identität der Kupferanteile zu den Nichtkupferanteilen auf den einzelnen Lagen zu erreichen und damit Verspannungen beim Verpressen weitestgehend einzuschränken. Die zu erwartenden **Verzüge** durch das zweifache Verpressen sowie die aus gleichem Grund reduzierten Lagenabstände lassen sich nur über Erfahrungswerte abschätzen.

Die individuelle Verteilung von Lagen, Abständen und Leiterbildstruktur lässt eine exakte Vorausberechnung nicht zu. Die Erkenntnisse der Erstfertigung müssen im Falle einer wiederholten Fertigung in die Vorgabe der Streckungsfaktoren für die Lamine und/oder die Korrektur der D-Codes für die Leiterbahnbreiten der impedanzdefinierten Verbindungen einfließen.

Nach dem Verpressen der beiden Teilmultilayer wird die Leiterplatte „wie üblich“ weiterbearbeitet.

UNIFIRE II ist eine High-Speed-Anwendung

UNIFIRE II ist eine High-Speed-Anwendung. Als signifikante Anforderungen ergibt sich daraus die Erfordernis nach impedanzdefinierten Leiterbahnen, die Beachtung der Signallaufzeiten, die Notwendigkeit hoher Signalintegrität bei niedrigeren Betriebsspannungen und die Beachtung der Induktivität der Leiterverbindungen.

Wegen der Bauteilgeometrien führt die konventionelle Verdrahtung grundsätzlich zu relativ langen Leiterbahnwegen, die zwischen BGA oder Chip und den passiven Komponenten zurückgelegt werden müssen. Um die Bauteilplatzierung und **Verdrahtung im Raum** zu gestatten, wurde die Leiterplatte UNIFIRE II vollständig „geplugged“.

Was auf den ersten Blick aussieht wie eine konventionelle doppelseitige SMD-Bestückung hat einen entscheidenden Unterschied. Die Verbindung von oben nach unten wird nicht über einen Via-Verbund in Kombination mit Leiterbahnstückchen geführt, der gegebenenfalls zu Diskontinuitäten führen kann, sondern die Kontaktierung SELBST ist die Leiterbahn (Bild 1, unten). Die maximale Länge dieser Verbindung entspricht der Dicke des Multilayers von zirka 2,2 mm. Die Leiterbahnverbindungen des BGAs an die Peripherie sind somit extrem kurz, parallel, gleich lang, kreuzen sich nicht und verlaufen nicht entlang anderer Signalpins.

Die Bohrungen in den BGA-Pads sind bei UNIFIRE II durchgehend gefertigt und anschließend durch das **Pluggen** oben und unten gedeckelt. Die Balls des BGAs sehen folglich gar keine Bohrung mehr sondern nur noch eine plane und durchgehende Oberfläche (Bild 3). Die für den Pluggingprozess erforderlichen **Werkzeugvorgaben** für Filme und Schablonen haben wir aus den beigestellten CAD-Daten an unserem CAM-System selbst hergestellt.

Durch das zusätzliche Kontaktieren im Zusammenhang mit dem Pluggen entstehen jedoch auch Einschränkungen. Für das **Ätzen** des Leiterbildes auf den Außenlagen ist die normale Endkupferdicke von mindestens 42 µm (= 17 µm Basiskupfer + 25 µm Kontaktierungskupfer) eigentlich schon zu dick. Durch das zusätzliche Kontaktieren wird diese Kupferdicke noch einmal um ca. 15 µm erhöht. Dem Ätzesist und dem Ätzprozess kommen damit Bedeutung zu.

Darüber hinaus ist auch der Einfluss des Schleifverfahrens zu berücksichtigen, das ursächlich für das Entfernen der Rückstände des Pluggingsubstrates notwendig ist. Das **Schleifen** schädigt die außen liegenden Kupferschichten der Leiterplatte. Daraus resultiert eine nicht präzise vorhersagbare und ungleichmäßig dicke Endkupferschicht, mit möglichen Abweichungen von 5 bis 20 µm. Die unterschiedliche Kupferdicke beeinträchtigt das Ätzergebnis, das nur bei einer gleichmäßig dicken Kupferschicht optimal gesteuert werden kann.

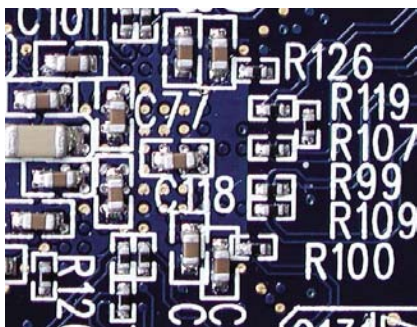
Das Schleifen der Kupferschicht schlägt bis auf die Leiterbahnquerschnitte auf der fertigen Leiterplatte durch. Strom-

belastbarkeiten, Leitungswiderstände und impedanzbelegte Signale liegen dadurch in einem größeren Toleranzfeld. Besonders differenzielle Impedanzen sind empfindlich gegen nicht beabsichtigte Veränderungen der vorausberechneten Kupferdicke, des Ätzfensters, des Leiterbahnabstandes und der mechanischen Abstände zwischen Signallage und Powerplane.

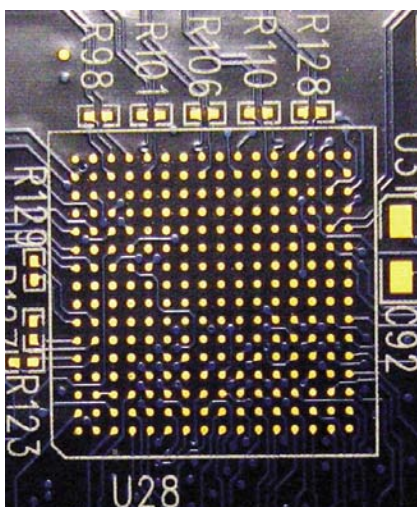
Das Vermessen von Testcoupons aus dem Produktionszuschnitt vor und während des Ätzens und Schleifens hat begleitende, hilfreiche Informationen hinsichtlich der mechanischen Bearbeitungen geliefert. Vor dem Hintergrund fundierter Erfahrungswerte aus anderen Projekten konnte damit auf Anhieb auch die geforderte differenzielle Impedanz von 100 Ω (±10% üblicher Toleranz) erreicht werden. UNIFIRE II ist aus unserer Sicht ein sehr anspruchsvoller Multilayer. Dass diese Leiterplatte von Beginn an erfolgreich und praktisch unkompliziert gefertigt werden konnte, ist vor allem der Kooperation der beteiligten Partner zuzuschreiben. Uns hat das Engagement von unit^{el} überzeugt. Wir wünschen unit^{el} viel Erfolg mit dem UNIFIRE-II-Konzept.

ilfa: Technologisch an der Spitze

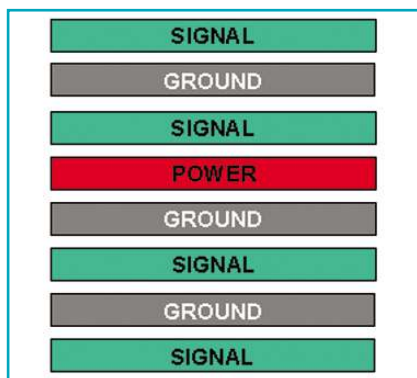
Technologisch spielt der Leiterplattenspezialist ILFA Feinstleiteteknik in Hannover derzeit eine führende Rolle bei HDI-(High-Density-Interconnect-)Leiterplatten und Flex-/Starrflex-Schaltungen. Das 1979 gegründete Unternehmen beschäftigt 130 Mitarbeiter und versteht sich als Spezialist für Prototypen, Serienfertigung und Sonderlösungen. Zu den Geschäftsfeldern gehören die Leiterplattenfertigung, Schablonenherstellung, CAD-Layoutherstellung und CAM-Bearbeitung. (cm)



■ Bild 5:
Direkt unter dem FPGA werden SMD-Stütz-Kondensatoren mit 100 nF auf der Leiterplattenunterseite platziert



■ Bild 6:
Bestückungsseite für den Virtex-II BGA mit 256 Anschlüssen



■ Bild 7:
Prinzipieller Lagenaufbau impedanzkontrollierter Leiterplatten

Mikrocontroller geben sich im Vergleich wesentlich widerspenstiger. In besonders hartnäckigen Fällen muss eventuell der Hersteller gewechselt werden. Flash- und SDRAM-Speicher sind in dieser Hinsicht leichter zu handhaben. Leider fehlen in den Datenblättern diesbezügliche Angaben nahezu vollständig. Da hilft nur der Prototypenbau mit anschließenden Messungen. Impedanz-Diskontinuitäten solcher busbezogener Systeme lassen sich mittels aktiver Terminierung leichter tolerieren (Bild 2).

Aber wie sieht eine Lösung aus, wenn kaum etwas zu vermeiden ist – sozusagen der „Formel-I-Bolide“ in Hardware zu realisieren ist mit Übertragungsgeschwindigkeiten von etlichen GBit/s? Und ein Umstieg zu anderen CPUs aus triftigen Gründen nicht möglich ist? Eine Patentlösung gibt es nicht, aber einen viel versprechenden Lösungsansatz: Die breitbandige Stromversorgungsentkopplung [2] auf der Leiterplatte, flankierende Maßnahmen auf der Layoutebene und ein besonderer Lagenaufbau (gestapelte Powerplanes).

Neue Verfahren in der Leiterplattenfertigung

Ein gehöriges Maß an Risikobereitschaft und ein experimentierfreudiger Leiterplattenhersteller sind die Ingredienzien für Forschungen auf einem Gebiet, das nicht unmittelbar zum Aufgabenbereich der Elektronikentwicklung zählt. Forschungen über neue Layouttechniken, Lagenaufbauten und Verbindungswege führten zu einem regen Informationsaustausch über Monate hinweg.

■ Breitbandige

Stromversorgungsentkopplung

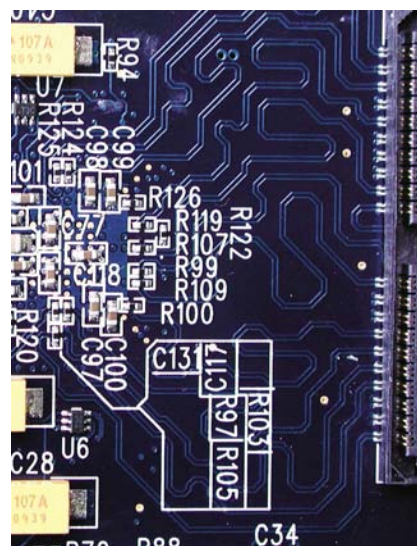
Komplexe, hochpolige FPGAs werden hauptsächlich im BGA-Gehäuse geliefert (Bild 3). Niedrige Betriebsspannungen gepaart mit ansteigenden Verlustleistungen sorgen für neue Herausforderungen. Außerdem sind FPGAs, je nach Schaltungsentwurf, sehr leicht für Stromänderungen mit hoher Flankensteilheit im Bereich etlicher Ampere zu begeistern. Bei ungenügender Stützung führt dies, begünstigt durch niedrige Core-Spannungen (1,5 V) mit enger Toleranz, zu den gefürchteten Spannungseinbrüchen, welche die Funktionsfähigkeit erheblich beeinträchtigen können. Als Draufgabe wird der Rest des Stromversorgungssystems mit verseucht.

Die klassische Entkopplung sieht Elkos und Tantal-Kondensatoren für niedrige Frequenzen (kHz) und keramische SMD-

Kondensatoren für Frequenzen bis 10 MHz vor. Als drittes Element gewinnt die Leiterplatte mit Stromversorgungssystemen in flächiger Ausführung (für Frequenzen von 10 MHz bis mehreren GHz) immer mehr an Bedeutung. Die Angabe der Frequenzen gilt nicht für die Taktraten, wie fälschlicherweise häufig angenommen wird, sondern für die Flankensteilheit der Signale. Selbst in einem moderaten 10-MHz System sind nicht vernachlässigbare Frequenzen mit 100 MHz und darüber anzutreffen.

SMD-Kondensatoren direkt auf den Vcc-Pins platzieren

Kondensatoren sind ideale Entkopplungselemente. Leider kann man einen „Kondensator“ nicht kaufen. Was man erwerben kann ist eine Mischung aus Induktivität, Widerstand und Kapazität. In den Datenblättern der Hersteller findet sich der Begriff ESL (Equivalent Series Inductance) für den Anteil der Induktivität – je kleiner desto besser (Bild 4), [1]. Bei akribischer Recherche im Internet lassen sich Kondensatoren mit ESL-Werten unter 400 pH, in Spezialausführung unter 30 pH, aufspüren. Laut Applikationsnoten des Herstellers sind sie möglichst nahe an den Spannungspins zu platzieren. Doch was bedeutet „möglichst nahe“ in der Praxis? Zur wirksamen Umsetzung hüllen sich faktisch alle Halbleiterhersteller in vornehmes Schweigen. Layout-Vorschläge sind gelegentlich zu finden, halten aber einer näheren Betrachtung nicht stand. Ein 100 nF kera-



■ Bild 8:
Das Verlegen von 40 LVDS-Leitungspaaren bot ungeahnte Möglichkeiten, die eigenen Grenzen neu zu definieren

mischer SMD-Kondensator hat in einen ESL-Wert von etwa 1200 pH. Eine Durchkontaktierung von 1,6 mm Länge bringt es auf ca. 1000 pH.

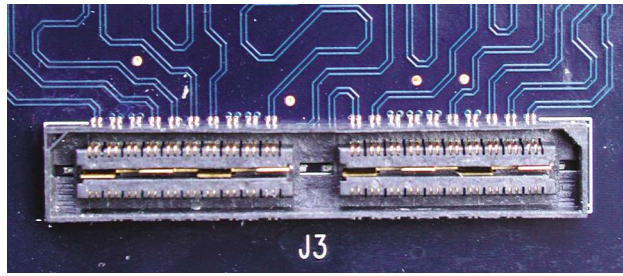
Die Anschlüsse (Solder Balls) auf einem BGA erinnern stark an ein Fakir-Brett. Obwohl der Gehäuserand Platzierungsmöglichkeiten bietet, befinden sich die zugehörigen Power-Supply-Pins mehrheitlich in der Mitte. Es hat wenig Sinn Kondensatoren mit ESL-Werten von 400 pH und weniger einzusetzen, wenn sie sich durch die Länge der Leitungszuführungen und Durchkontaktierungen zu Induktivitäten von 10 nH und mehr addieren.

Eine wesentliche Verbesserung lässt sich durch das direkte Platzieren der SMD-Kondensatoren beispielsweise auf den Durchkontaktierungen der Vcc-Pins (1,5 V) des BGAs auf der Leiterplattenrückseite erreichen (Bild 5).

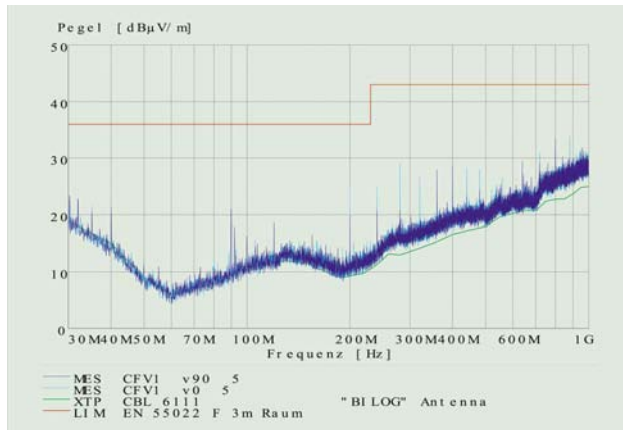
Diese Plugged-Via-Technik (Bild 6) bedarf jedoch der „Zustimmung“ des Leiterplattenherstellers und ist ein Prüfstein für seine Aufgeschlossenheit, neue Verfahren zu entwickeln und anzuwenden. Auch der Auftragsfertiger ist hier deutlich gefordert (siehe Teil 3 der Beitragsreihe).

Der Einsatz von Stromversorgungslagen erzeugt bei richtiger Konstruktion hochwertige Flächenkondensatoren zur Stützung im oberen Frequenzbereich. Doch Vorsicht: Sie sind kein Allheilmittel, auch wenn die Konstruktion und der Lagenaufbau stimmig sind. Hier gibt sich die Physik besonders launisch: Selbst bei richtiger Lagenanordnung der Vcc- und GND-Flächen [5] können induktiv gewordene Kondensatorgruppen gefährliche Parallelresonanzen bilden, die erhebliche Probleme bereiten. Ergo: Um ein korrekt ausgelegtes flächiges Stromversorgungssystem zu bilden, müssen solche Gruppen berechnet werden [4].

Unerwünschte Impedanzüberhöhungen bei bestimmten Frequenzen lassen sich durch dünne Substrate in Vcc-/GND-Plane-Systemen in Verbindung mit darauf abgestimmten Kondensatorgruppen weiter reduzieren [2]. Eine weitere Optimierungsmöglichkeit bieten gestapelte Stromversorgungsflächen. Das sind Konstrukte, die sich wie Vcc-/GND-Flächensysteme mit extrem dünnen, in der Praxis derzeit nicht herstellbaren, Substraten verhalten. Entscheidend ist deren Anordnung und Aufbau innerhalb der Leiterplatte, die mit den bereits beschriebenen Maßnahmen in Einklang stehen müssen. Aber: Diese Vorteile müssen durch eine höhere Lagenanzahl (hier 18) erkauft werden. Dennoch betragen die Zusatzkosten nur einen Bruchteil der



■ Bild 9: Leiterplattensteckverbinder für 40 LVDS-Leitungspaare



■ Bild 10: Erste EMV-Messungen ohne Gehäuse und externe Schirmung. Externe CPU-Clock 40 MHz, interne CPU-Clock 160 MHz, interne FPGA-Clock 200 MHz (DCM-Multiplier 5)

Kosten, die erforderlich sind, um Instabilitäten zu beseitigen. Ganz zu schweigen vom Zeitverlust, wenn Produkte ein Marktfenster verpassen.

Signalintegrität und impedanzkontrollierte Leitungen

Mehrere Ornamente hier, einige freie Flächen dort – der Autorouter hatte wieder zugeschlagen. Ein solches Szenario kennt beinahe jeder. Aber Hoffnung keimt auf: Schließlich gibt es ja die tolle Stützkonstruktion. Nachteil: Die flächigen Stromversorgungssysteme verhalten sich wie Leitungen mit offenem Ende. Es gilt ein ganzes Bündel an Leitungen auf der Platine unterzubringen mit einer Vielzahl an Regeln und Einschränkungen, um die Signalintegrität sicherzustellen. Daran führt kein Weg vorbei – bedenkenloses Vorgehen wird nicht „gestützt“. Richtig spannend war das Verlegen von 40 Leitungspaaren (inkl. Steuerleitungen) zur Realisierung von LVDS-Übertragungstechniken als Punkt-zu-Punkt-Verbindung mit Kanalkapazitäten von 800 MBit/s. Der Einsatz impedanzdefinierter Leiterplatten war unvermeidlich (Bild 7). Viel Rechenarbeit und ein stetiges Abstimmen mit dem Leiterplattenhersteller hat zu optimalen und vor allem produzierbaren Ergebnissen geführt (Bild 8). Enge Toleranzen der Abstände und Längenunterschiede (<0,5 mm) innerhalb

der Leitungspaare, als auch der Längenunterschiede (<0,8 mm) aller Paare zueinander garantieren akzeptable Skew-Werte für die synchrone Datenübertragung. Unterschiedliche Laufzeiten der Signale in den Innen- und Außenlagen sowie mangelnde Unterstützung der verwendeten Layout-Tools haben zum rasanten Anstieg der Optimierungsläufe und deutlich reduzierter Laune der Layouter beigetragen.

Impedanzsprünge wurden durch die Auswahl geeigneter Stecker reduziert (Bild 9) und unzulässige Lagenwechsel zwischen den beiden Endpunkten der Leitungspaare verhindert. Die Ergebnisse, belegt durch Messungen (Bild 10), rechtfertigen bei Weitem die aufgewendeten Maßnahmen. Etliche Kontrollen und einige Monate später durfte sich der Leiterplattenhersteller etwas erholen. Dafür geriet der Auftragsfertiger ins Fadenkreuz. (cm)

Referenzen:

- [1] AVX Low Inductance Capacitors
- [2] DCC-Online: EMV-Probleme an Digital-ICs erkennen
- [3] DCC-Online: EMV: Vorteile dünner Substrate in Ground-/Powerplane-Systemen
- [4] DCC-Online: EMV-gerechte Entkopplung von großintegrierten Schaltungen
- [4] Controlling Radiated EMI Through PCB Stack-up. By Rick Hartley, Applied Innovation, Printed Circuit Design

Baugruppenfertigung & Inbetriebnahme im EMV-Labor

Die Stunde der Wahrheit

Eine schnittstellenunabhängige Kernhardware, die leistungsstarke CPU und dynamisch rekonfigurierbare FPGAs kombiniert und dabei uneingeschränkt nutzbare hohe I/O-Bandbreite bietet – diese Idee galt es im CPU-Modul CERO zu realisieren. Die Kombination von flexibler Software und Hardware, I/O-Bandbreite, umfangreiche konstruktive Maßnahmen beim Leiterplattendesign, Optimierungsstrategien Leiterplattenhersteller und Baugruppenproduzent im Wechselspiel von Schaltplaneingabe und PCB-Layout-Erstellung haben neue Maßstäbe hinsichtlich Stabilität und Funktionalität der Hardware gesetzt. Die Messergebnisse zeigen – der Aufwand hat sich gelohnt.

Gerhard Eigelsreiter und Thomas Thun

Die Leiterplatte für das CERO-Modul – ein 18-lagiger Multilayer mit gestapelten Stromversorgungslagen, differenziellen Impedanzen Blind Vias und Plugged Vias – ist fertig und muss bestückt werden. Im Regelfall wird der Baugruppenproduzent vor vollendete Tatsachen gestellt und mit der bereits produzierten Leiterplatte konfrontiert. Wen wundert's, dass sich mancher Auftragsfertiger dann genauso launisch gibt, wie die Physik im GHz-Bereich. Um dies zu verhindern haben die Partner – unit^{el}, ILFA (Leiterplattenfertigung) und TAUBE ELECTRONIC (Bestücken der Baugruppe) schon im Vorfeld einen regen Informationsaustausch beschlossen und gelebt.

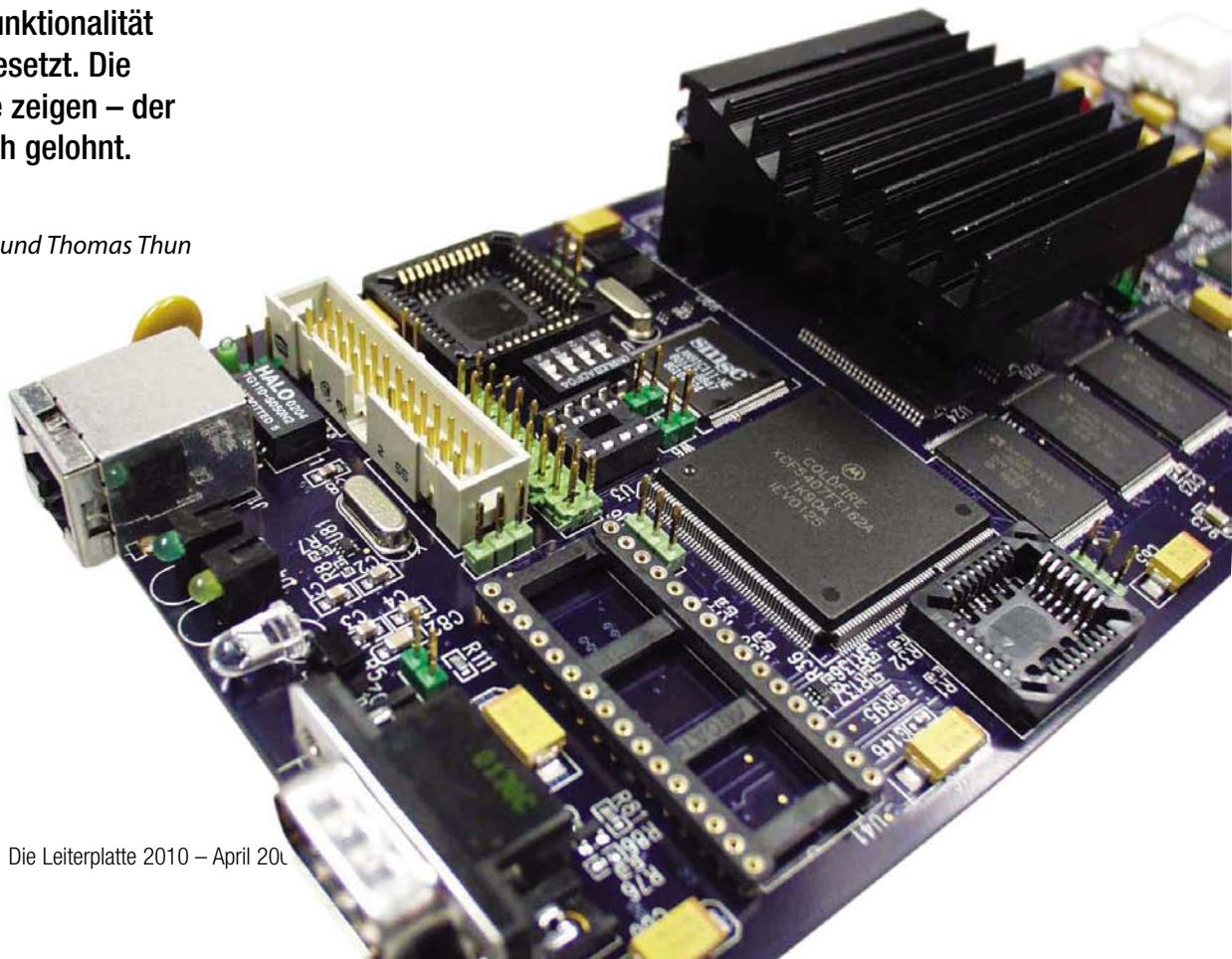
Die Anwendung neuer Techniken in der Leiterplattenkonstruktion, der Einsatz von Bauelementen mit sehr kleinen Gehäusedimensionen und hohem Pincount muss im Einklang mit den Fertigungsmöglichkeiten des Dienstleisters stehen. Das Plugged-Via-Verfahren verlangt besonders bei ICs mit hochpoligen BGA-Ge-

häusen eine genaue Abstimmung zwischen Baugruppenproduzent und Entwickler hinsichtlich der Abmessungen der „land pattern“ (Lötaugenmuster) und der verwendeten SMD-Kondensatoren. Diese Informationen fließen bereits beim Erstellen der Bauteillibothek des PCB-Layout-Tools in das Design der Leiterplatte mit ein. Erst nach einer Modifizierung des Lötaugenmusters der Chips für die aktive Terminierung hat der Baugruppenproduzent dem Einsatz der Plugged-Via-Technik zugestimmt.

Fertigungsgerechtes Design der Baugruppe

Die Genauigkeit der Lötstoppmasken, die Abstände der Bauelemente zueinander und ihre Dichte sind nur ein Auszug aus einem Regelwerk, das entscheidend zur Löt- und Fertigungsqualität der Baugruppe beigetragen hat.

Ein 18-lagiger Multilayer mit gestapelten Powerplanes stellt auch die Zusammenarbeit von Baugruppenproduzent und



Leiterplattenhersteller auf eine neue, qualitativ höhere Stufe. Dabei gilt es Maßnahmen betreffend der zulässigen Verwölbung und Verwindung der Baugruppe beim anschließenden Lötprozess zu besprechen und festzulegen sowie Löt muster bereitzustellen, um die Temperaturprofile zu ermitteln.

Inbetriebnahme der Hardware

Und dann ist es endlich soweit: Der wohl interessanteste Part für jeden Hardware-Systementwickler ist die Inbetriebnahme: Schonungslos deckt sie noch so kleine Flüchtigkeitsfehler auf. Aufgrund des komplexen Leiterplatten-Lagenaufbaus hatte der Baugruppenproduzent entschieden, statt drei Prototypen nur einen zu fertigen. So bestand die Möglichkeit, auf zwei weitere Bauteilsätze zurückzugreifen, um etwaige Änderungen rasch einfließen zu lassen. Der damit verbundene Nachteil: Während der Inbetriebnahme war es nicht möglich, auf Vergleichsmessungen zurückzugreifen. Die sich daraus ergebende Situation erhielt eine, gelinde ausgedrückt, dezente Exklusivität mit zeitlich versetzten starken Spannungspunkten.

Die 3,3 V Betriebsspannung wurde über einen dreipoligen Power-Supply-Stecker extern eingespeist. Auf dem Board selbst haben zwei Linearregler aus diesen 3,3 V die zusätzlich benötigten 1,8 V Core-Spannung der Coldfire-CPU sowie die 1,5 V Core-Spannung des Virtex-II FPGAs erzeugt. Diese zeitliche Reihenschaltung der Spannungen löste ein kritisches Problem des für die Coldfire-CPU erforderlichen „Power-Sequencing“. Die 1,8 V mussten vor den 3,3 V zur Verfügung stehen. Eine Zusatz-Logik hat die Einhaltung der maximalen Spannungsdifferenz von 1,8 V zwischen Core- und Betriebs-Spannung auch beim Abschalten gewährleistet. Die Core-Spannung des FPGAs unterlag diesen Beschränkungen nicht.

Mittels eines hochwertigen Labornetzgerätes mit einstellbarer Strombegrenzung wurde die Betriebsspannung langsam hochgefahren. Statt der erwarteten 1,5 V am ersten Testpunkt stieg der Strom sehr rasch auf 1,5 A (erwarteter Wert 0,6 bis 0,8 A). Ein trotz sorgfältiger Isolierung bestehender Masseschluss zum Kühlkörper des 1,5 V Reglers war schnell ermittelt und beseitigt. Alle Messwerte lagen daraufhin im erwarteten Bereich – der Stromverbrauch bei 0,6 A. Der Rest war aus Hardwaresicht, abgesehen von einer überflüssigen zusätzlichen Select-Leitung zum SDRAM-Controller der Coldfire-CPU und der Logikpegel-Änderung einer Steuerleitung in der neuesten Datenblatt-Revision des Ethernetcontrollers, eine Bilderbuch-Inbetriebnahme. Und das – nochmals zur Erinnerung – mit dem ersten und einzigen Prototypen. Es gibt nichts Schlimmeres als neue Firmware auf Hardware anzupassen, die Löt- und Bestückungsfehler aufweist.

Kombination von CPU und FPGA erweitert Debugging von Hard- und Software

Die Softwareabteilung musste sich in der Zwischenzeit ganz anderen Problemen stellen. Unvollständige oder schlichtweg sich widersprechende Reset- und Initialisierungssequenzen in den Manuals und Applikationsnoten haben die Erstellung der Firmware verzögert. Als große Hilfe erwies sich das BDM-Interface zur Coldfire-CPU. Im Prinzip stellt es einen einfachen, im CPU-Chip eingebauten Analyzer dar. Es eröffnet erweiterte Möglichkeiten Programme zu laden, den Programmablauf zu überprüfen, in den laufenden Betrieb des Prozessors einzugreifen (debugging), Registerwerte zu überprüfen und zu ändern sowie wichtige Internas sichtbar zu machen. Signifikante Erweiterungen des „Debugging“ in Hard- und Software forciert die Kombination von CPU und FPGA mittels belie-

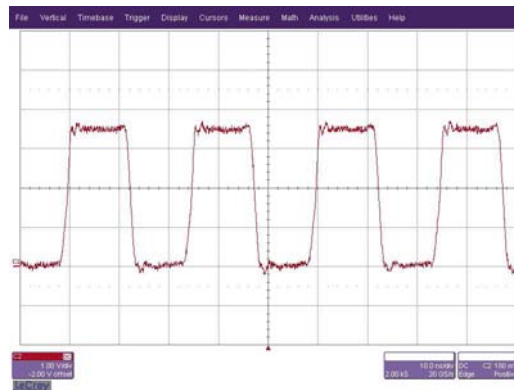


Bild 1: System-Clock 40 MHz, vor dem Taktverteiler gemessen

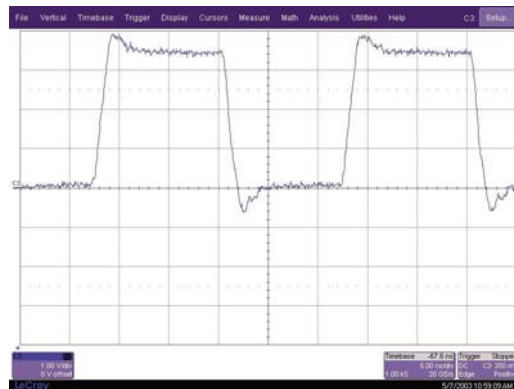


Bild 2: CPU-Clock 40 MHz, nach dem Taktverteiler am Leitungsende gemessen. Sehr schön zu erkennen ist die Wirkung der aktiven Terminierung, die im Mittel ab 0,6 V des jeweiligen Logikpegels einsetzt.

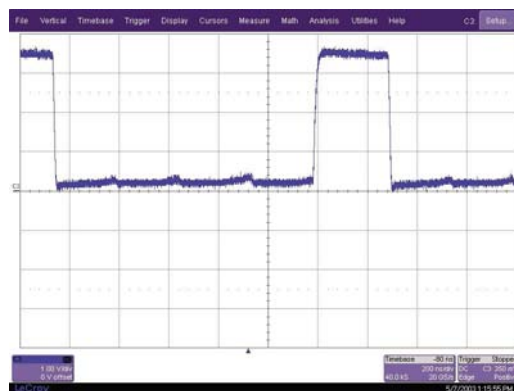


Bild 3: Messung der Adressleitung A2 am System-Adressbus

big nachladbarer, frei erstellbarer Analyzer-Module. Selbst hochkomplexe, mitunter extrem schnelle Timingabläufe lassen sich softwaregesteuert auf für Tastköpfe leicht zugängliche Testpunkte und Stecker abbilden, ohne kritische Signallaufzeiten zu beeinflussen oder das Echtzeitverhalten zu ändern. Die Simulation der Anpassung unterschiedlicher Set-up- und Hold-Zeiten im Timing von Ethernetcontroller und Coldfire-CPU ließ sich deshalb ohne sonst unvermeidliche störende Faktoren auf der Zielhardware in Echtzeit messtechnisch überprüfen.

Messungen der Signalintegrität

Ein weiteres heikles Thema im Hardwaredesign sind die Messungen der Signalintegrität. Die Signalwege, die mit Signalen mit hoher Flankensteilheit beaufschlagt werden, müssen als Wellenleiter, d.h. mit einer definierten Impedanz ausgeführt werden. Ein Satz wie aus dem Lehrbuch. Ist er auch. Bezogen auf Punkt-zu-Punkt-Verbindungen lässt sich diese Vorgabe mittels impedanzdefinierter Leitungsführung und Serien-Quell-

Messung der Störabstrahlung von CERO im Frequenzbereich von 30 bis 1000 MHz

Ing. Mag. Thomas Thun, stellvertretender Leiter der Staatlichen Versuchsanstalt für Elektrotechnik und Elektronik und Akkreditierten Prüfstelle in Wien, hat die Störabstrahlung des CPU-Moduls CERO gemessen:

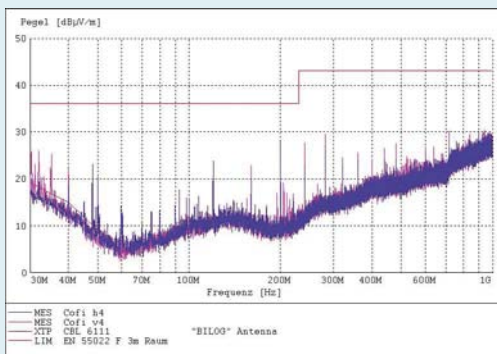
Die größte Herausforderung für den Hardwareentwickler zur Erfüllung der EMV-Richtlinie bei Leiterplatten mit I/O-Bandbreiten von mehreren GHz ist mit Sicherheit die Einhaltung der Störfeldstärkewerte im Frequenzbereich von 30 bis 1000 MHz. Von Beginn an gilt es größtes Augenmerk auf die EMV-Problematik zu legen, um in späteren Stadien der Entwicklung nicht mit unüberwindbaren Schwierigkeiten konfrontiert zu werden. Bei dem gemessenen 18 Lagen Multilayerboard UNIFIRE II/CERO wurden die neuesten Erkenntnisse der Störungsverminderung und Unterdrückung eingebracht. Diese Maßnahmen haben mit der herkömmlichen Funkentstörung (Einbau von Kondensatoren, Drosseln oder Ferritringen) nicht mehr viel zu tun. Sie vollziehen sich größtenteils im Design des Layouts der Leiterplatte und sind daher unwiderruflich.

Zur Bewertung der Störfeldstärke wurde für die UNIFIRE II/CERO die Europeanorm EN 55022 „Klasse B“ (gilt für den Wohnbereich) herangezogen. Die Messung fand im abgeschirmten Absorberraum im TGM-Wien statt. Zur Erfassung des so genannten „worst case“-Szenarios (die Abstrahlung der elektromagnetischen Energie erfolgt vom Prüfobjekt nicht in alle Richtungen mit gleicher Intensität) wurde die Platine auf einem Drehtisch im Abstand von 3 m zur Messantenne aufgebaut und in allen Richtungen vermessen.

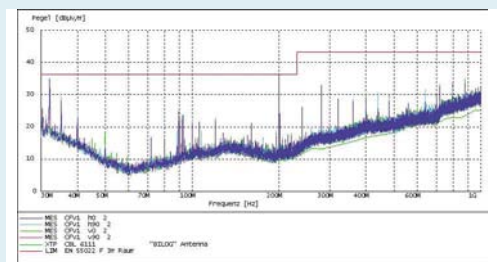
Zur Aufzeichnung der Polarität der in den Raum ausgesandten elektromagnetischen Wellen muss auch die Messantenne (Kombiantenne aus einer logarithmisch-periodischen und bikonischen Antenne) in vertikale und horizontale Ebene gedreht werden.

Die Kurven in den Messdiagrammen stellen dann den jeweiligen Störfeldstärkepegel im Frequenzbereich von 30 bis 1000 MHz (siehe Messergebnisse Bild 4 und 5) in den verschiedenen Positionen der Leiterplatte und der jeweiligen Polarität der Antenne dar. Zusätzlich ist in den Messdiagrammen noch die Grenzwertlinie mit dem Korrekturfaktor für die Messmethode mit Bodenabsorbieren eingezeichnet.

Deutlich zu sehen ist, dass der Grenzwert sowohl in vertikaler als auch in horizontaler Polarisation im gesamten Frequenzbereich unterschritten wird. Diesem Umstand ist umso mehr Beachtung zu schenken, da die Messung der Leiterplatte ohne jegliche Abschirmung bzw. Gehäuse durchgeführt wurde. CERO erfüllt die Anforderungen der EN 55022 und somit die Störabstrahlung der EMV-Richtlinie.



■ Bild 4: Störspektrum des Modul CERO ohne Gehäuse und ohne externe Schirmmaßnahmen: Als Testsoftware lief ein eigens für die MCF5407-CPU geschriebener SDRAM-Speichertest bei einer System-Clock von 40 MHz und einer internen CPU-Clock von 160 MHz.



■ Bild 5: Härtestest: 9000 CLB-Flipflops wurden mit 200 MHz globaler interner System-Clock gleichzeitig mit der steigenden Taktflanke geschaltet. Der gemessene Strom stieg von 0,9 auf 4,6 A. Die 200-MHz-Linie erreichte beinahe den Grenzwert.

widerstand in ihrer einfachsten Ausprägung realisieren.

Was sagt das Lehrbuch zu busgeführten Leitungswegen? Schwierig! Diese Antwort ist nicht die gerade die hilfreichste Aussage um dieses Problem zu lösen. Der Einsatz von aktiven Terminierungschips (z.B. PI7AT04CX von Pericom) jeweils an den Leitungsenden und in der Mitte von Busleitungen bietet einen akzeptablen Kompromiss. Solche aktiven Terminierungs-ICs können ihre Vorteile allerdings nur bei einem sehr gut gestützten Stromversorgungssystem optimal ausspielen. Alle Clock-Leitungen auf dem CERO-Board sind Punkt-zu-Punkt-Verbindungen mit aktiver Terminierung an ihrem jeweiligen Ende.

Die System-Clock (Bild 1) läuft über einen Clockverteiler, dessen Ausgänge über laufzeitabgegliche Leitungen mit der CPU (Bild 2), dem FPGA und den SDRAMs [Link Micron] verbunden sind. Sämtliche SDRAM-Steuereleitungen sind ebenfalls aktiv abgeschlossen. Natürlich verfügen auch alle Bussysteme (Bild 3) über aktive Terminierung.

Die Impedanz spielt eine funktionsentscheidende Rolle

Beim Erfassen und Auswerten der Takt- und Datensignale kam das digitale 6-GHz-High-Speed-Oszilloskop Wave-Master 8600A von LeCroy zum Einsatz. Dieses Gerät zudem für Jitter & Timing-Analysen prädestiniert.

Die Impedanz der Signalleiterbahnen und der Stromversorgungsflächen spielt eine funktionsentscheidende Rolle. Deshalb stehen alle Konstrukte mit zwei (differenziell) Signalleitungen in Referenz zu einer oder zwei GND-Powerplanes. Die differenzielle Impedanz beträgt im Mittel 100 Ω. Die mechanischen Parameter wie die Geometrie der Leiterbahnen (Breite, Kupferdicke) hat der Leiterplattenhersteller in Abstimmung mit den Lagenabständen mithilfe der Impedanz-Berechnungssoftware von Polar ermittelt und als „Constraints“ in die Layoutsoftware PowerPCB übernommen. Gleichermaßen stehen auch alle Single-ended-Signalleitungen in Referenz zu den entsprechenden GND-Lagen. Nur so war es möglich, die Hin- und Rückwege zu optimieren – wiederum belegt durch die entsprechenden Messergebnisse.

EMV-Messungen

Die Messergebnisse der Signalverläufe auf kritischen Steuerleitungen, z.B. Clockleitungen für CPU, FPGA und SDRAMs, haben nicht nur auf eine ausgezeichnete

Signalintegrität schließen lassen, sondern haben auch vorsichtigen Optimismus hinsichtlich der anstehenden EMV-Messungen zugelassen. Vorsichtiger Optimismus deshalb, weil besonders das Schaltverhalten (Flankensteilheit, dynamische Leistungsaufnahme usw.) hochintegrierter FPGAs und CPUs maßgeblich den Störgrad beeinflussen.

Als viel wichtigeres Indiz stellte sich die sehr gute Stabilität und Funktionalität der Hardware heraus. Aufwändige Tests über Monate hinweg, die bis an die Grenzen der Belastbarkeit gingen, führten in keinem einzigen Fall zu Instabilitäten oder Datenverlusten.

Das FPGA-Testscenario bildete einen besonderen Härtestest. Über 90% der zur Verfügung stehenden CLB-Flipflops (ca. 9000) wurden, per Software zuschaltbar, mittels DLL über das globale Clock-Netzwerk bei minimalstem Zeitversatz parallel mit 200 MHz getaktet. Der gemessene Betriebsstrom stieg schlagartig von 0,9 auf 4,6 A. Ein entsprechender Kühlkörper für diese „HF-Herdplatte“ (FPGA) hielt die Temperatur innerhalb der vom Hersteller vorgegebene Grenzen. Unabhängig davon lief über die CPU ein „harter“ SDRAM-Speichertest über den gesamten 64-MByte-Speicherbereich. Sämtliche Testscenarien waren per Software beliebig zu- und abschaltbar (Bild 4 und 5, siehe Kasten Seite 74).

Wozu das Ganze?

Bei aller technischen Begeisterung darf man nicht auf den eigentlichen Grund der Anstrengungen vergessen: die Anwendung. Die Kombination von leistungsstarker CPU und dynamisch rekonfigurierbarem FPGA, gepaart mit sehr hoher, für die Applikation uneingeschränkt nutzbarer I/O-Bandbreite hat es erlaubt, eine Hardware zu realisieren, deren Anwendungsfelder Marktsegment übergreifend sind. Es gibt keinen Fokus auf ein bestimmtes Einsatzgebiet. Das auf Seite 59ff. dargestellte Beispiel verdeutlicht dies für die Bildverarbeitung.

Epilog

Letztendlich kann nur die Praxis und der Markt als Indikator für die Tauglichkeit von durchgängigen Lösungskonzepten dienen. Das Zauberwort Bandbreite mit Schwerpunkt im I/O-Bereich erweist sich immer öfter als Dreh- und Angelpunkt für flexible Kernhardware mit langer Lebensdauer in Marktsegmenten mit rasch wechselnden Produktzyklen und -Adaptionen.

Stellvertretend hierfür sei ein Beispiel erwähnt. Im Mai 2003 hat Xilinx eigene Transceiver-ICs (RocketPHY) mit 10 Gbit/s für die serielle Datenübertragung vorgestellt (White-Paper Backplane). Das Besondere an diesen Chips ist die parallele Anbindung an jeweils 16 LVDS-Kanäle der Virtex-II (PRO) Produktlinie.

Das Board CERO stellt über einen speziellen Stecker, optimiert für differenzielle Signalleitungsführung, jeweils 20 LVDS-Kanäle (inklusive Steuerkanäle) zur freien Verfügung. Notwendige Lagenwechsel von LVDS-Leitungspaaren in die Innenlagen wurden ausschließlich mit Buried Vias realisiert, „back drilling“ kam nie in Frage [1]. Obwohl die Entwicklung dieses Boards auf Konstruktionsunterlagen von Anfang 2002 fußt, bestätigen sich jetzt eindrucksvoll die Hardware-Freiheitsgrade hinsichtlich künftiger Bandbreiten-Anforderungen.

Bestandene EMV-Prüfungen sollten, abgesehen von der rechtlichen Seite, ein wichtiger Orientierungspunkt für die getroffenen Hardware- und Software-Maßnahmen sein – nicht mehr und nicht weniger. Ein absoluter Garant für stabile Funktionen sind sie nicht.

Besonders dann nicht, wenn Störenergien durch trickreiche Gehäusekonstruktionen und externe Schirmmaßnahmen derart geschwächt die Außenwelt erreichen, bloß um die jeweiligen, gesetzlich vorgeschriebenen Obergrenzen einzuhalten.

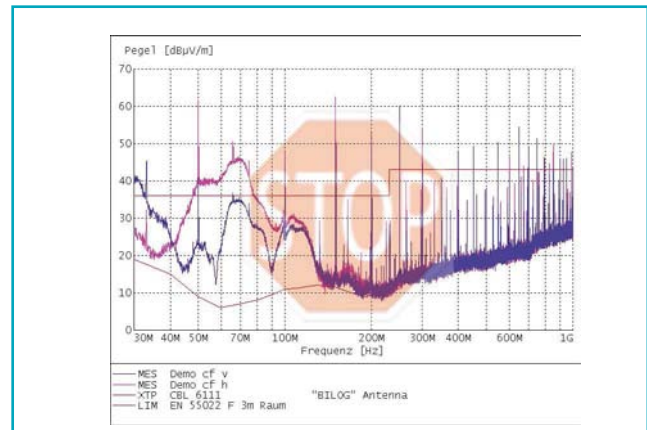


Bild 6: Störpektrum, wenn die Physik nicht „überzeugt“ wurde: Das „Testobjekt“ war ein handelsübliches MCF5407-Coldfire Demoboard, als Testsoftware lief derselbe MCF5407-CPU-SDRAM-Speichertest



Bild 7: 50-MHz-Clocksignal zum MCF5407-Coldfire Demoboard: Solche Signalformen untergraben jegliche Systemstabilität

Dafür „toben“ sie sich dann innerhalb der Baugruppe(n) aus, was des öfteren zu rätselhaften Instabilitäten in normalerweise voneinander unabhängigen Funktionsbereichen führt (Bild 6 und 7).

Es steht eine neue europäische EMV-Richtlinie mit wesentlich gelockerten Bestimmungen an, die anfangs 2004 Inkrafttreten soll. Ein so genanntes „EMVG light“ [2]. Als Folge davon können Hersteller noch leichter das CE-Kennzeichen in Bezug auf EMV erlangen und verwenden. Um so wichtiger ist es, den dadurch in vielen Bereichen der Elektronik steigenden Störemissionen mit den bereits beschriebenen Maßnahmen konstruktiv entgegenzuwirken.

Die Kombination von Software- (CPU) und Hardware-Flexibilität (99% der FPGA-Ressourcen sind frei verfügbar), die Breitbandigkeit der Input-/Output-Strukturen, die umfangreichen konstruktiven Maßnahmen im Leiterplattendesign, die Optimierungsstrategien im Wechselspiel von Schaltplaneingabe und Leiterplatten-Layouerstellung (Vermeidungsprinzip, Auswahl der Bauelemente, gestapelte Stromversorgungs-Lagen usw.) setzen neue Maßstäbe hinsichtlich Stabilität und Funktionalität. Fehlerarme bzw. fehlertolerante Software lässt sich langfristig lediglich auf stabilen Hardware-Plattformen ökonomisch realisieren. (cm)

Referenzen:

- [1] „10 Gbps NRZ Serial Backplane White Paper (PDF)“ Xilinx White Paper: 10gbps_nrz_whitepaper.pdf
- [2] Editorial: „EMV: Europa macht Verdruss“ Elektronik 8/2003 S. 7

EMV-günstige Verhältnisse

Funktion und EMV in Harmonie

In modernen Digitalsystemen sind EMV und stabile Funktion so stark miteinander verwoben, dass sich ohne gute EMV die stabile Gerätefunktion nicht gewährleisten lässt: Das System ist nicht mehr eigenstöricher. Der erste Schritt zur EMV-günstigen Auslegung eines Mikroprozessorsystems ist die Auswahl schwach störender Bauelemente. Im zweiten Schritt gilt es Maßnahmen für die richtige Auslegung des Stromverteilungssystems zu treffen. Und Schritt drei betrifft das Signalleitungssystem – hier kommt es auf korrekte Terminierung an.

Prof. Christian Dirks

■ Die EMV-günstige Auslegung eines Mikroprozessorsystems beginnt mit der Auswahl von schwach störenden Bauelementen. Das sind solche, die ein möglichst geringes di/dt produzieren. Herstellerangaben sind bisher zu diesem Punkt nur sehr begrenzt verfügbar, sodass oft der Entwickler selbst untersuchen muss, welche Eigenschaften vorliegen. Einen gewissen ersten Anhaltspunkt kann die Stromaufnahme des Bausteins bieten. Ein Vergleich von Bauelementen in dieser Ebene ist jedoch nur dann möglich, wenn die ICs gleiche Geschwindigkeit haben und auch sonst in der Leistungsfähigkeit sehr ähnlich sind. Sehr viel besser ist ein Vergleich mit Mikro-H-Sonden [1], [2].

Der zweite Maßnahmenbereich betrifft die richtige Auslegung des Stromverteilungssystems in der Leiterplatte selbst. Hier geht es einmal um die korrekte Versorgung der integrierten Schaltungen und zum zweiten um die möglichst vollständige Vernichtung der bei der pulsartigen Stromaufnahme entstehenden elektromagnetischen Energie. Bei den getroffenen Maßnahmen müssen stets beide Gesichtspunkte berücksichtigt werden. Andernfalls kann das Stromverteilungssystem bei falscher Auslegung zum stärksten Störer in der Leiterplatte werden und außerdem ein funktionell labiles Gesamtsystem hervorrufen.

Der dritte Bereich der erforderlichen Maßnahmen betrifft das Signalleitungssystem. Hier ist vor allem das Problem der korrekten Terminierung zu nennen. Je schneller Digitalsysteme werden, desto mehr tritt der Leitungscharakter aller Verbindungen in der Platine in den Vordergrund. Nimmt man diese Tatsache nicht zur Kenntnis, so kann dies zu völligen Fehlkonstruktionen der Leiterplatten führen.

Im Folgenden sollen am Beispiel einer komplexen Industrieplatine die EMV-relevanten Details näher betrachtet werden.

■ Auswahl der Bauteile:

Die Auswahl der ICs wird in erster Linie von der gewünschten Funktion des Systems bestimmt. Eine vorgegebene Funktion lässt sich aber fast immer mit verschiedenen Bauelementen erzielen. Deswegen lohnt es sich, die infrage kommenden Bauteile hinsichtlich ihrer EMV-Eigenschaften zu untersuchen. Dies soll hier am Beispiel des in der betrachteten Leiterplatte verwendeten Mikroprozessors geschehen:

Wie bereits erwähnt, kann die Stromaufnahme eines IC wenn auch mit Einschränkungen ein gewisser Hinweis auf die EMV-Eigenschaften sein. Schließlich kann Leistung, die nicht aus der Versorgungsspannungsquelle aufgenommen wird, auch nicht in Störleistung umgesetzt werden.



Der verwendete Mikroprozessor ist der MCF5407; er nimmt bei einem internen Takt von 200 MHz und 240 MIPS in einem einigermaßen normalen Betriebszustand ca. 500 mW Leistung auf. Zum Vergleich: die CPU eines 500-MHz-PC nimmt 8 W auf. Natürlich ist das keine wissenschaftliche Untersuchung der Problematik; aber bei einem Faktor 16 durchaus ein interessanter Anhaltspunkt.

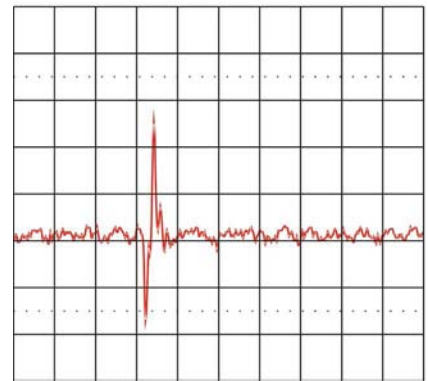
Kühlkörper, die man auf digitalen integrierten Schaltungen vorfindet, sollten Leute, die mit EMV befasst sind, stets misstrauisch machen. Sehr viel aussagekräftiger ist hier die Messung mit der Mikro-H-Sonde [1]. In beiden Fällen wurde an den Prozessoren jeweils eine „ergiebige“ Stelle aufgesucht. Bild 1 zeigt den Mikro-H-Sonden-puls gemessen an der CPU (MCF 5407) der betrachteten Karte. Die Pulsamplitude beträgt 50 mV und kennzeichnet einen relativ schwachen Störer.

Bild 2 zeigt zum Vergleich den Mikro-H-Sonden-puls an einem stärkeren Störer (68HC000). Die Pulsamplitude beträgt 300 mV. In diesem Falle ist mit etwa 15 dB mehr Störpegel zu rechnen. Dieses Beispiel verdeutlicht recht gut, wie wichtig die Berücksichtigung der EMV-Eigenschaften bei der Auswahl der Bauelemente sein kann. Im Nachhinein den Störpegel einer Karte um 15 dB verbessern zu müssen, kann sehr mühsam und teuer sein. Nun ist die Auswahl der ICs normalerweise nicht ganz frei. Zumindest die geforderte Verarbeitungsleistung muss erbracht werden. Je schneller eine Schaltung arbeiten muss und je mehr parallel geschehen muss, desto größer wird vom Grundsatz her auch das di/dt auf dem Stromverteilungssystem werden.

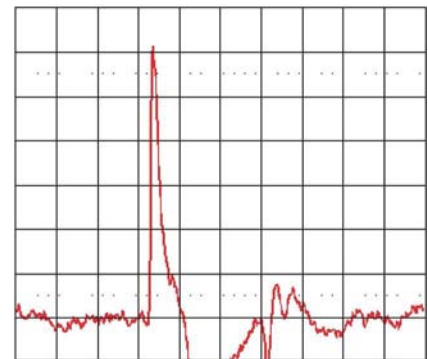
Auf die Auswahl der Bauelemente kommt es an

Gerade in diesem Fall ist die Auswahl der Bauelemente besonders kritisch. Auf der vorliegenden Platine ist das betreffende Element das FPGA Virtex II (XC2V1000-6FG256) (ca. 1 Mio. Gatter). Der Mikro-H-Sonden-puls an dieser integrierten Schaltung ist erstaunlich schwach. Er erreicht nicht einmal 40 mV im Vollbetrieb. Die Schaltung ist daher als schwacher Störer einzustufen, was vor dem Hintergrund der Verarbeitungsleistung sehr bemerkenswert ist.

Durch günstige Auswahl der Bausteine kann ein erheblicher Teil der Störleistung vermieden werden – aber nicht alles. Bei hohen Verarbeitungsleistungen kann



■ Bild 1: Mikro-H-Sonden-puls am MCF 5407. Die Pulsamplitude beträgt 50 mV und kennzeichnet einen relativ schwachen Störer.



■ Bild 2: Mikro-H-Sonden-puls an einem stärkeren Störer 68HC000. Die Pulsamplitude beträgt 300 mV (Darstellung: 10 ns/20 mV und 10 ns/50 mV).

dieser „Rest“ noch sehr unangenehm sein. Daher wird man in den meisten Fällen eine sorgfältige Entstörung der Leiterplatte vornehmen müssen, auch wenn man seine Bauelemente richtig ausgesucht hat. Unter Entstörung ist hier nicht irgendeine Maßnahme zu verstehen, die nachträglich an der Karte vorgenommen wird, sondern ein physikalisch richtiger Aufbau der Leiterplatte.

■ Entstörung des Stromverteilungssystems:

Bei der Verwendung moderner hochintegrierter Schaltungen muss das Stromverteilungssystem große Ströme in sehr kurzen Zeiten liefern können. Die Versorgungsspannung an den integrierten Schaltungen kann hierbei wegen mangelhafter Stützung so stark einbrechen, dass eine stabile Funktion des Systems nicht mehr gewährleistet ist. Kondensatoren können die Stützung nur für relativ niedrige Frequenzen übernehmen. Das hat seinen Grund darin, dass Kondensatoren sich in erster Näherung wie Serienresonanzkreise verhalten. Sie sind daher nur schmalbandig niederohmig und kön-

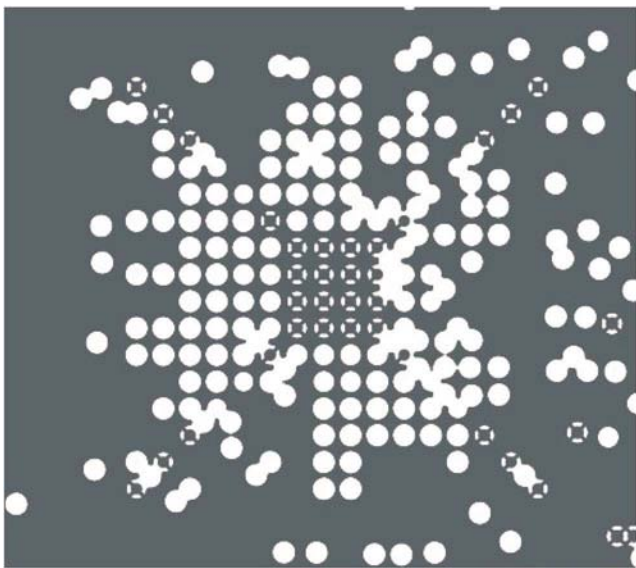


Bild 3: Anschlüsse einer hochintegrierten Schaltung an die GND-Fläche: Die Anschlüsse sind richtig in die GND-Fläche eingebracht

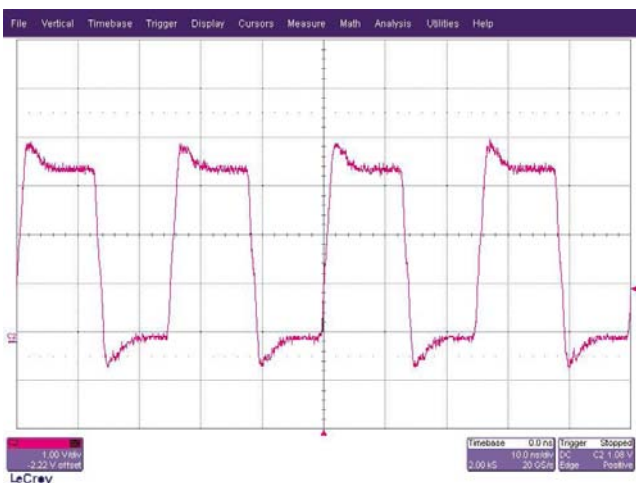


Bild 4: Signalverlauf an aktiv terminierter Signalleitung (Darstellung: 10 ns/1 V): Der Signalverlauf ist EMV-günstig und führt zu stabiler Funktion des Systems

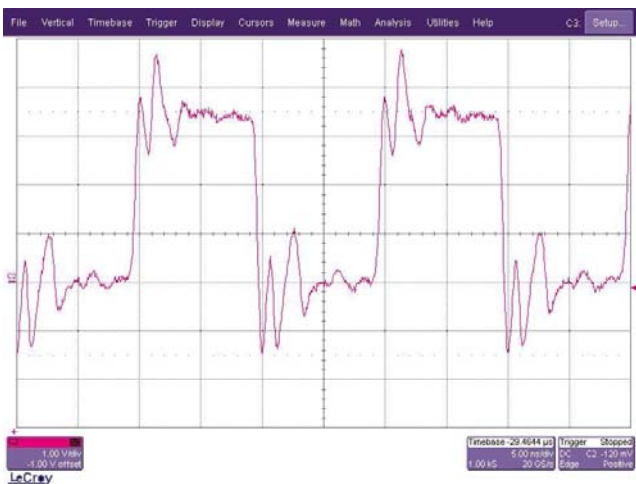


Bild 5: Signalverlauf an nicht terminierter Signalleitung (Darstellung: 5 ns/1 V): Das Ergebnis ist aus Sicht der EMV zu verwerfen. Aber auch die Funktion ist gefährdet, da die Pegelgrenzen verletzt werden.

nen nur in diesem schmalen Frequenzbereich wirksam stützen. Man kann den Frequenzbereich, in dem Kondensatoren wirksam stützen können, durch Bildung korrekt ausgelegter Kondensatorgruppen erweitern [2], [4]. Dies kann für einen Frequenzbereich von bis zu 300 MHz sinnvoll sein.

Darüber hinaus wird man immer bei flächig ausgelegten Stromverteilungssystemen ankommen. In der vorliegenden Platine kam überhaupt nichts anderes in Frage.

Solche flächigen Systeme bestehen meist aus einer Vcc-Fläche und einer GND-Fläche, die einander in möglichst kleinem Abstand gegenüberliegen. Empfehlenswert ist ein Abstand von 100 μm oder weniger. Mehr als 120 μm sollten es bei heute in Leiterplatten üblichen Isolierstoffen auf keinen Fall sein.

Ein solches flächiges Stromverteilungssystem hat einige hervorragende Eigenschaften: Es kann eine beträchtliche Ladung speichern und in kurzer Zeit an einen Verbraucher liefern. Bei einer Dielektrizitätskonstanten von vier kann ein solcher flächiger Bereich mit einer Geschwindigkeit von 15 cm/ns ausgeäumt werden. Der Grund für diesen Effekt ist das Leitungsverhalten des Flächensystems [3].

Wird z.B. ein Strompuls von 1 ns Dauer gebraucht, dann muss die benötigte Ladung im Umkreis von 15 cm um den Strom führenden Anschluss der integrierten Schaltung zu finden sein. Für die ungefähre Bestimmung der vorliegenden Ladung mag hier die Plattenkondensatorformel genügen. Reicht die vorgefundene Ladung nicht aus, kann man die Substratdicke zwischen Vcc- und GND-Fläche vermindern. Bei großintegrierten Schaltungen kann es sein, dass auch dies nicht ausreicht, weil man das Substrat nicht beliebig dünn machen kann. Bei vielen Leiterplattenherstellern würde man mit dem Wunsch, ein 20- μm -Substrat einzubauen, bereits auf heftigen Widerstand stoßen. Eine erheblich vermehrte Ladung kann man in Flächensystemen bereitstellen, wenn man Flächen stapelt.

Hierbei werden Vcc- und GND-Flächen abwechselnd übereinander gelegt. Mit solchen gestapelten Vcc-/GND-Systemen kann auch ein großes di/dt bedient werden. Es darf nicht übersehen werden, dass dies nur funktioniert, wenn die integrierte Schaltung mit ihren Vcc- und GND-Anschlüssen auch unmittelbar an das Flächensystem angeschlossen wird. Bild 3 zeigt, wie man solche Anschlüsse richtig in die GND-Fläche einer hochintegrierten Schaltung einbringt. Die Wärmefallen sind durchaus vertretbar. Diese Anschlüsse gelten dann gleichartig für alle übereinander gestapelten GND-Flächen. Bei den Vcc-Flächen wird entsprechend verfahren.

Niederfrequente Komponenten in den Spektren solcher Pulse, wie sie in langen Pulsen enthalten sind, können schmalbandig mit Kondensatoren oder breitbandiger mit Kondensatorgruppen abgedeckt werden. Diese müssen rechnerisch unter Berücksichtigung der Flächeneigenschaften ausgelegt werden [4]. Die Kondensatorgruppe wird unmittelbar unter der integrierten Schaltung angebracht und direkt in die Flächen kontaktiert.

Gute EMV und stabile Gerätefunktion stehen in kausalem Zusammenhang

Nachdem erläutert wurde, wie die Bereitstellung geeigneter Versorgungsspannung auch unter kritischer Strombelastung für großintegrierte Schaltungen ausssehen kann, soll nun der zweite Aspekt des Stromverteilungssystems betrachtet werden: die EMV.

Aus EMV-Rücksichten soll der Transport von elektromagnetischer Energie stets in eng begrenzten Räumen stattfinden. Das ist in Leiterplatten immer dann der Fall, wenn Hin- und

Rückstrom eng beieinander fließen. Im flächigen Stromverteilungssystem ist dies praktisch perfekt erfüllt. Es kommt noch ein zweiter Punkt hinzu: In einer verlustbehafteten Leitung nehmen die Verluste mit abnehmendem Wellenwiderstand zu. So erreicht z.B. die $\lambda/4$ -Resonanz eines kurzgeschlossenen Flächensystems in Leiterplatten nur mehr eine maximale Impedanz von etwa 2Ω bei $60 \mu\text{m}$ Substratdicke.

Das gestapelte Stromverteilungssystem in der betrachteten Platine stellt die Parallelschaltung von fünf solchen Systemen dar – das aber bei nur $50 \mu\text{m}$ Substratdicke, sodass praktisch keine Resonanzüberhöhung mehr zu erwarten ist. Das System ist im Wesentlichen reflexionsfrei. Das heißt aber, dass die elektromagnetische Energie weitgehend in den Leitungsverlusten vernichtet wird. Dies ist der Grund, warum richtig ausgelegte Flächensysteme außerordentlich EMV-günstig sind [2].

Entstörung des Signalleitungssystems:

Alle Signalleistung, die in eine Leitung eingebracht wird, erscheint unmittelbar, nachdem die mit ihr verknüpfte Datenübertragung abgeschlossen ist, als Störleistung. Wir brauchen diese Leistung zur Übertragung der Information. Sie verschwindet aber nicht von allein, wenn die Information übertragen ist. Es gilt also Vorkehrungen zu treffen, die diese Leistung am Ende der Signalleitung vernichten.

Eine solche Vorkehrung am Ende einer Leitung nennt man Terminierung. Sie setzt alle ankommende Signalleistung in Wärme um und bedingt damit die gewünschte Reflexionsfreiheit der Leitung. Das grundsätzliche Verfahren ist aus der HF-Technik hinlänglich bekannt. Bei Digitalsystemen sind die Verhältnisse jedoch so anders, dass sich die Verfahren praktisch nicht übertragen lassen. So ist z.B. der Eingang einer Digitalschaltung breitbandig eine komplexe, von der Frequenz abhängige Last. Terminieren muss man aber rein ohmsch mit dem Wellenwiderstand. Für einen einzelnen Eingang bei monodirektionalen Leitungen gibt es durchaus Lösungen. Bei Leitungen, die an mehreren Eingängen von Digitalschaltungen enden, funktionieren diese Lösungen jedoch nicht.

Deswegen bietet sich in Digitalsystemen ein anderer Weg an: Man begrenzt die bei Reflexionen an Leitungsenden entstehenden Über- und Unterschwinger und kann so einen erheblichen Teil der Störleistung gleich am Entstehungsort vernichten. Eine bekannte Möglichkeit ist

die Dioden-Terminierung. Hierbei wird erstens zwischen Signalleitung und Versorgungsspannung eine Diode geschaltet, die leitend wird, wenn die Signalspannung die Versorgungsspannung überschreitet.

Zweitens wird zwischen Signalleitung und Masse eine Diode geschaltet, die leitend wird, wenn die Signalspannung das Massepotenzial unterschreitet. Diese Lösung hat leider den Nachteil, dass jeweils noch die Schwellenspannung der Dioden überwunden werden muss. Da können z.B. die $0,8 \text{ V}$ an gewöhnlichen Siliziumdioden in einem 3-V-System die Wirkung praktisch zunichtemachen.

Aktive Terminierungen richtig einsetzen

Eine bessere Lösung sind die als IC erhältlichen aktiven Terminierungen. Sie weisen keine solchen Schwellenspannungen auf. Beide Lösungen sind darauf angewiesen, dass ein stabiles Vcc-/GND-System die Signalleitungen begleitet. Ist diese Randbedingung nicht erfüllt, so funktionieren die aktiven Terminierungen auch nicht. Der Gebrauch derselben im Zusammenhang mit unbrauchbaren Vcc-/GND-Systemen hat über die entstandenen Misserfolge leider gute Terminierungsschaltungen in Misskredit gebracht.

In der betrachteten Platine wurden alle Signalleitungen konsequent aktiv terminiert, mit dem Baustein PI7AT04 von Pericom [5].

In Bild 4 sieht man den Signalverlauf an einer aktiv terminierten Signalleitung. Er ist EMV-günstig und führt zu stabiler Funktion des Systems. Zum Vergleich sieht man in Bild 5 den Signalverlauf an einer nicht terminierten Leitung. Das Signal wurde einem handelsüblichen Demoboard entnommen. Das Ergebnis ist aus Sicht der EMV zu verwerfen. Aber auch die Funktion ist gefährdet, denn hier werden Pegelgrenzen verletzt, sodass eine stabile Funktion des Systems nicht mehr erwartet werden kann.

An diesem Beispiel kann man recht gut erkennen, wie sehr bei modernen Digitalsystemen EMV und stabile Funktion miteinander verwoben sind. Ohne eine gute EMV kann oft auch die stabile Funktion nicht gewährleistet werden: Das System ist nicht mehr eigenstörsicher.

Lagenaufbau der Leiterplatte:

Die bisherigen Ausführungen finden ihren Abschluss im EMV-richtigen Lagenaufbau der Platine (Bild 6). Folgender

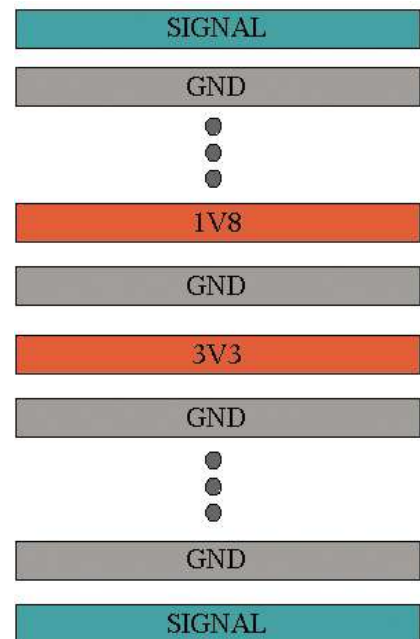


Bild 6: EMV-richtig. Schematische Darstellung des Lagenaufbaus der Leiterplatte.

Grundsatz ist zu implementieren: Jede Signallage und jede Vcc-Lage muss eine benachbarte Flächenlage (vorzugsweise Masse) führen, welche die Rückströme führt. Der schematisch dargestellte Lagenaufbau in Bild 6 wird nicht nur dieser Forderung gerecht. Den Kern bildet das gestapelte Vcc-/GND-System für die unterschiedlichen Versorgungsspannungen, bestehend aus Vcc-Lagen für die 3,3; 1,8 und 1,5 V mit ihren entsprechenden GND-Lagen. Die acht Signallagen werden ebenfalls jeweils von einer GND-Lage begleitet. Insgesamt ist ein 18-Lagen-Multilayer entstanden. Welch ein Aufwand! Das Ergebnis kann sich aber sehen lassen: Auf Anhieb die EMV-Abnahme mit 10 dB Sicherheitsabstand bestanden und das System ist eigenstörsicher – eine Eigenschaft, die nicht unterschätzt werden sollte, denn in der Funktion labile Systeme können im Nachhinein großen Ärger verursachen. (cm)

Literatur:

- [1] Dirks, C.: *Schnüffelsonden*, ELEKTRONIKPRAXIS Nr.1, 15. Jan. 2002, S. 34ff.
- [2] Seminarunterlage „EMV - Praxis 2003“ Teil 2.
- [3] Dirks, C.: *Geniestreich*, ELEKTRONIKPRAXIS Nr. 17, 11. September 1998, S. 24ff.
- [4] Seminarunterlage „EMV - Praxis 2003“ Teil 1.
- [5] Pericom: *Application Note 46*.

Die Wechselwirkung von Technik und Wirtschaft

Die Physik als Partner oder doch eher als Gegner?

Rudolf Weleba, Manager mit Führungserfahrung in Großunternehmen, verfolgt das Ziel, die Verbindung von Technik und Wirtschaft herauszuarbeiten. Weleba reflektiert das meltemi-Projekt und sieht darin ein Vorbild für die Kommunikation in unserer globalen Gesellschaft.

Vor eineinhalb Jahren bekam ich von einem Freund eine mir nur aus den Kreisen von Elektrotechnikern bekannte Zeitschrift in die Hand, mit dem Hinweis ich möge doch einen Artikel über die Leiterplatte lesen und meine Meinung darüber abgeben. Unverständnis machte sich bei mir breit. Was soll ich als Mann der Wirtschaft (allerdings mit technischem Background) mich damit auseinandersetzen? Mein Freund meinte nur, ich sollte nicht die Technik als Ansatz nehmen, sondern eine bestimmte philosophische Aussage in diesem Artikel genauer betrachten.

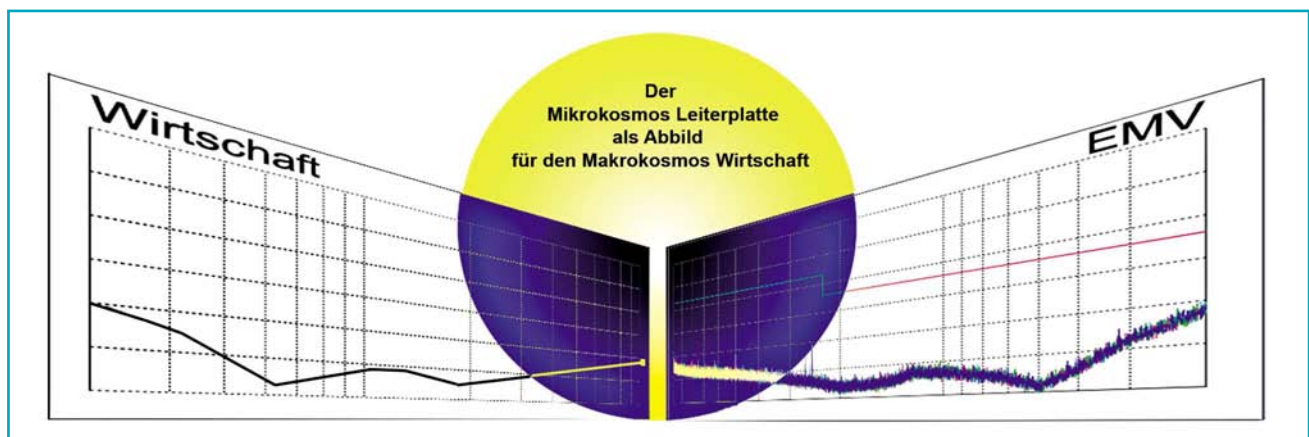
Das erste hineinlesen wurde von mir schon nach kurzer Zeit wieder beendet, denn damit sollten sich Techniker beschäftigen und nicht stolze Wirtschaftler. Allerdings fiel mir doch ein Leitsatz – Die Physik als Partner – dieses Schreibers auf, der mich Tage später dazu bewog doch noch einmal mit dem Lesen dieses kaum verständlichen Wissensgebietes zu beginnen. Von diesem Zeitpunkt an begann mich diese Materie immer mehr zu fesseln und das Interesse für dieses Spezialgebiet,

das globale Auswirkungen auf alle elektronischen Bauteile weltweit hat, gab den Anlass mich mit der Firma unit^el in Verbindung zu setzen und ein Treffen zu vereinbaren, das Tage später stattfand. Bei diesem ersten Gespräch, das den Vergleich mit einem Bahnhof sehr nahe kam (ich habe überhaupt nichts von den Leiterplatten und deren Auswirkungen verstanden) wurden mir die Schwierigkeiten bewusst, mit denen sich das Unternehmen auseinandersetzen muss, um ihre Arbeit auf dem Markt als wichtigen Bestandteil der Elektronik durchzusetzen.

Miteinander reden, Ideen und Gedanken austauschen

Weiters sind mir wieder die Dinge eingefallen, die ich selbst und viele Kolleginnen und Kollegen in Vorträgen und Seminaren ständig propagiert haben, wie miteinander reden, Ideen und Gedanken austauschen, wirtschaftliche Zusammenarbeit im Hinblick der fortschreitenden weltweiten Globalisierung, bessere und effizientere Zeiteinteilung und

noch viel mehr, vor allem aber die Pflege von Freundschaft und Partnerschaft. Sie werden mich wahrscheinlich nun fragen, was hat das alles mit der Elektrotechnik und im Besonderen mit der Leiterplatte zu tun. Eigentlich gar nichts und doch alles. Nehmen wir diesen philosophischen Gedanken, der sich über die gesamte Artikelserie als Synonym für diese Forschung herausgestellt hat – Die Physik als Partner – genauer unter die Lupe. Hier geht es nicht nur um Techniker, die diesen Ansatz schon in der Schule gelernt haben sollten, sondern es beinhaltet auch das Wort Kommunikation, d.h. Gespräche mit seinem Umfeld, der Beginn des Austausches von Informationen und die operative Vereinigung von Technik und Wirtschaft an einem Tisch. Aber tun wir das überhaupt oder sind wir alle schon soweit abgehoben das wir alle diese Grundformen des Gedankenaustausches negieren und jeder sein eigenes Süppchen kocht? Am Anfang ist nun mal das Gespräch um eine Partnerschaft aufzubauen bzw. die bestehenden Grundformen wie in der Physik zu beachten.



■ Das Zusammenwirken von Wirtschaft und Technik am Beispiel des meltemi-Projektes

Es gibt so viele Beispiele, die uns sehr deutlich vor Augen führen, dass Kommunikation und Partnerschaft in den oberen Managementkreisen nur Schlagwörter sind, die es zu missachten gilt. Die Wirtschaft sieht den Kunden als König, doch in der Realität ist der Kunde nur mehr das Versuchskaninchen der Konzerne. Entweder weil die technische Entwicklung bereits Ausmaße angenommen hat, die nicht mehr steuerbar sind oder, und dieser Eindruck trifft vielleicht eher zu, es darum geht, mehr Geld aus den Brieftaschen der Kunden zu ziehen. Und wieder werden Sie sich fragen, was hat das alles mit der Leiterplatte zu tun: wir wissen das ja sowieso und abgesehen davon ist sie ja nur ein vernachlässigbarer Faktor. Wenn wir sie jedoch genauer betrachten und ich als Laie mir die physikalischen Argumente und die technischen Prüfungen vor Ort ansehen, weiters die Schulungsstunden von Herrn Eigelsreiter zu Gemüte führe, so sehe ich eine Harmonie von Drähten, Platten und sonstigen Geniestreichen, die eine Einheit bilden, um ihrerseits den Partnern auf den Leiterplatten (CPU, FPGA usw.) deren Höchstleistungen zu ermöglichen.

Für mich als Wirtschaftler folgt daraus, dass alles perfekt organisiert in Verbindung steht und das Gespräch mit allen Beteiligten der Weg zum Erfolg darstellt. Der Kunde ist nicht mehr König, sondern sollte als Partner gesehen werden. Und: ich alleine bin nicht das Maß aller Dinge, sondern ich sehe mich als ein Drähtchen in der Entwicklung unserer Welt.

Sie werden nun mit Recht mit dem vorhin schon angesprochenem Argument kommen, dass die derzeitigen technischen Entwicklungen den einzelnen Unternehmen nichts anderes übrig lässt, als vorweg Halbzeugprodukte auf den Markt zu bringen und später erst das Nachrüstzeug. Der Markt ist unüberschaubar geworden und der Kunde ist zum unmündigen Zahler dieser kommunikationslosen Gesellschaft degradiert.

Die Gesetzmäßigkeiten der Physik und der Wirtschaft nicht außer Acht lassen

Beispiele davon sieht man oft genug auf den übergroßen Märkten wie der Autoindustrie und die Unterhaltungselektronik, wo von den so genannten Softwareupdates bis zu den Rückholaktionen bei Fehlentwicklungen alle Fassetten des Wirtschafts- und Technikdruckes sichtbar werden. Wir wollen immer mehr, aber wir können die Gesetzmäßigkeiten der Physik sowie der Wirtschaft nicht außer Acht lassen, trotzdem ist dies heute obligatorisch und falsche Marktprognosen programmiert. Würden wir allerdings diese kleine Leiterplatte als einen lebendigen Teil eines Ganzen betrachten, wo die physikalischen und technischen Gesetze den Stellenwert erhalten haben, die notwendig sind um optimale Prüfergebnisse zu erzielen, so würden wir in diesem System Leiterplatte auch den Kunden, den Markt und die Konzerne wieder erkennen, die ihrerseits vernünftig miteinander in Verbindung stehen sollten. Der Mikrokosmos Leiterplatte als Abbild für den Makrokosmos Wirtschaft.

Abschließend will ich Ihnen folgende Gedanken auf den Weg geben: die Software kann nur in Verbindung mit der Hardware bestehen; Führungskräfte sind abhängig von der Leistung ihrer Untergebenen und deren Motivation, die nur mit der Kommunikation aller Beteiligten entsteht; CPU und FPGA sollten wie Wirtschaft und Technik betrachtet werden, die wie diese feinen Drähtchen den Gesetzmäßigkeiten der Physik folge leisten. Und der Kunde ist genauso wenig König wie die Leiterplatte, beide sind Partner des Systems und verdienen es geschätzt und beachtet zu werden. Nur dann haben wir alle was davon. (cm)

Das neue Layoutprojekt „Die Leiterplatte 2010“

Entwickeln Sie das meltemi-Board mit den Experten nach!

ELEKTRONIKPRAXIS, FED, unit^el, Ilfa und Taube Electronic sowie die Seminarveranstalter Ilfa Akademie und Leiterplatten-Akademie alle Entwickler und Leiterplattendesigner einladen, das Projekt zu verfolgen oder sich aktiv daran zu beteiligen. Die Idee ist, das interaktiv erstellte Layout des meltemi-Boards, das stellvertretend für „Die Leiterplatte 2010“ steht, systematisch nachzuentwickeln.

Die Besonderheiten der meltemi-Baugruppe sind die intensive Berücksichtigung der Signalintegrität, der schnelle Datentransfer via LVDS, eine extreme EMV-Spezifikation und die kapazitive Nutzung von Powerplanes. Die Leiterplatte zum meltemi-Board ist 20-lagig, mit einem Multipowersystem in 50-µm-Abständen, gepluggten Vias und kontaktierter Kontur.

Die Konstruktion einer derart komplexen Baugruppe ist eine große Herausforderung für jeden Entwickler, der die Fortschritte in der Bauteiltechnologie und Möglichkeiten der Leiterplattenproduktion in der Layoutgestaltung am CAD-System zusammenführen muss.

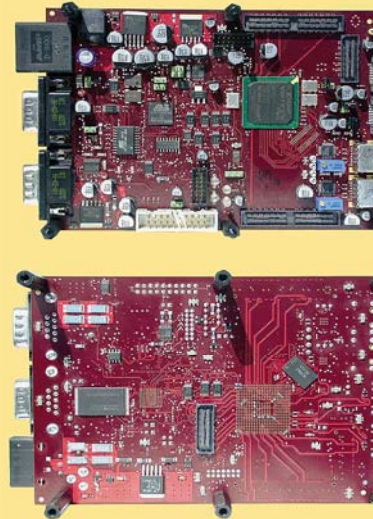
Eine Herausforderung für jeden Leiterplattendesigner

Weiterhin ergibt sich Handlungsbedarf für den Leiterplattenhersteller, weil der aktuelle Stand der Technik oft unbekannt ist. Optionen für die strategische Verbesserung der Eigenschaften von Baugruppen werden oft nicht ausgeschöpft. Zudem hat sich die Baugruppenproduktion in den letzten Jahren stark weiterentwickelt und diversifiziert. Die notwendigen Vorgaben an ein Layout bleiben oft unbeachtet.

Der Entwickler des meltemi-Board Gerhard Eigelsreiter stellt die Pläne für den Lagenaufbau und die Schaltung zur Verfügung. Das ursprünglich interaktiv erstellte Layout wird noch einmal entwickelt und die Vorgehensweise wird protokolliert und dokumentiert. Die Layouts werden produziert, die Baugruppen bestückt und dem EMV-Test unterzogen.

Das Ziel ist herauszuarbeiten, welche Kompetenz seitens eines Layouters erforderlich ist, um eine solche Aufgabenstellung zu lösen. Weiterhin wollen wir ermitteln, welche Softwareleistungen erforderlich sind, um eine solche Baugruppe zu entwickeln. Zur FED-Konferenz 2007 vom 13. bis 15. September in Bremen werden die Endergebnisse der Öffentlichkeit vorgestellt und danach im Internet zur Verfügung gestellt

Über die Projektlaufzeit werden die Fortschritte im Internet veröffentlicht und von einem offenen Forum begleitet. Detaillierte Informationen und Teilnahmemöglichkeiten am neuen Projekt erhalten Sie auf dem Internet-Portal von ELEKTRONIKPRAXIS unter www.elektronikpraxis.de/aktionen.

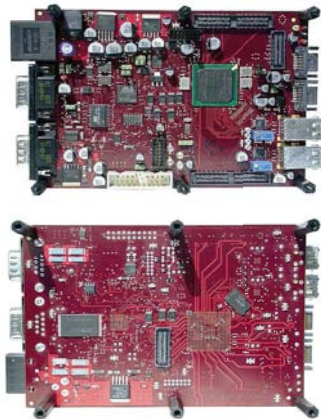


meltemi, eine Baugruppe für die Übertragung von Bilddaten im GBit-Bereich, steht stellvertretend für „Die Leiterplatte 2010“

Hardware mit einem langen Lebenszyklus

Die Spezifik der meltemi-Plattform

Für Applikationen in Bildverarbeitung, HDTV oder digitales Fernsehen, wo es reichlich Daten bei hohen Geschwindigkeiten zu übertragen gilt, ist die meltemi-Plattform konzipiert. Ein effektiver 20-Lagen-Multilayer-Aufbau mit integriertem Stromversorgungsstapel, impedanzdefinierter Leitungsführung, X2Y-Kondensatoren und Kantenkontaktierung ermöglichen Übertragungsbandbreiten von bis zu 60 GBit/s, verbunden mit hervorragendem EMV-Verhalten und maximaler funktionaler Stabilität und Betriebssicherheit, wie die Ergebnisse im EMV-Labor beweisen.



Im zweiten Teil des meltemi-Projektes ist die Hardware-Referenzplattform „meltemi economic“ entstanden – ein 6-Lagen-Multilayer mit 32-Bit-Single-Chip-Mikrocontroller. Flexible I/O-Struktur und frei programmierbare Hardwarebeschleuniger oder reprogrammierbare Logik (Spartan-3-FPGA) runden das Einsatzgebiet nach oben hin ab und verlängern die Lebensdauer der Hardware.

Um die sichere Funktion der Baugruppe zu gewährleisten, galt es u.a. folgende Aufgaben zu lösen: vier Stromversorgungssysteme breitbandig entkoppeln, d.h. es bleiben gerade mal zwei Signallagen für die Entflechtung, Aufteilung in zwei symmetrische, innen liegende Stromversorgungslagen mit

den beiden Signalleitungslagen jeweils außen. Sämtliche Spannungs-Pins sowohl der ARM7-CPU, als auch des Spartan-3-FPGAs sind einzeln durch Drosseln mit entsprechenden ohmschen Anteilen entkoppelt. Weitere Anforderungen sind impedanzdefinierte Signalleitungen, Kondensatorgruppen, Kantenkontaktierung und Kantenkondensatoren.

Aus der Herangehensweise haben die Experten Konstruktionsregeln und Handlungsstrategien für künftige Schaltungen abgeleitet.

Wer sich diesen Zeitaufwand sparen oder selbst experimentieren möchte, kann die meltemi-Plattform einschließlich mitgelieferter Dokumentation mit Schaltplan und Leiterplattenlayout bei unit[^]el erwerben; Ansprechpartner ist Gerhard Eigelsreiter.

Die Autoren der Beiträge

Gerhard Eigelsreiter

g.eigelsreiter@unitel.at
Tel. +43(0)316 998794123
Gerhard Eigelsreiter ist Inhaber der Firma unit[^]el, Spezialist für High-Speed-Embedded-Hardware, SBC-Entwicklung und FPGA-Design mit besten EMV-Eigenschaften und hoher funktionaler Stabilität in Graz/Österreich.

Dr. Helmut Keller

h.keller@unitel.at
Tel. +43(0)316 998794123
Dipl.-Ing. Dr. Helmut Keller ist Professor für Embedded Systems und digitale Signalverarbeitung am TGM in Wien.

Prof. Christian Dirks

EMVProf@emv.biz
Prof. Christian Dirks ist in der EMV-Forschung und seit fast drei Jahrzehnten in der EMV-Schulung tätig. Dirks hat seine Forschungsergebnisse in vier Büchern und zahlreichen Beiträgen veröffentlicht.

Nils Dirks

Nils.Dirks@DCC-online.de
Tel. +49(0)89 15923490
Nils Dirks, Inhaber von Dirks Corporate Consulting in München, Veranstalter der Seminarreihe EMV-Praxis, ist in den Bereichen EMV-Schulung, Beratung und Software tätig.

Thomas Thun

thomas.thun@tgm.ac.at
Ing. Mag. Thomas Thun ist stellv. Leiter der staatl. Versuchsanstalt für Elektrotechnik und Elektronik TGM und akkreditierten Prüfstelle in Wien.

Arnold Wiemers

a.wiemers@ifla.de
Tel. +49(0)511 959550
Arnold Wiemers, IPC-zertifizierter CID, CID+ und Instructor zeichnet als Geschäftsführer für den Bereich CAD-Layouts bei der Ifla GmbH in Hannover verantwortlich u.a. für CAD, CAM, Auftragsvorbereitung und techn. Dokumentation.

www.elektronikpraxis.de

Zusatzinformationen, technische Dokumentationen, Datenblätter und Applikationsbeispiele zu den Beiträgen im Magazin stehen Ihnen über den InfoClick-Service von ELEKTRONIK-PRAXIS zur Verfügung. Geben Sie einfach 206956 im InfoClick-Feld auf der ELEKTRONIKPRAXIS-Homepage www.elektronikpraxis.de ein. Mit einem Mausklick haben Sie Zugriff auf die unten stehenden Informationen.

- unit[^]el: Die Experten für High-Speed-Embedded-Systeme und das Projekt meltemi
- Ifla: Designspezifikationen, technische Publikationen und Ifla-Akademie
- EMV-Praxis: Die Seminarreihe EMV-korrektes Leiterplattendesign
- Virtex-II Pro and Virtex-II Pro X FPGA User Guide UG012 von Xilinx
- RocketIO – Transceiver User Guide UG024 von Xilinx
- Applikationsbericht µH-Feldsonde AC220 von Alice Meßtechnik
- Publikationen „Wenn Leiterplatten strahlen“ und „Vorteile dünner Substrate in Ground-/Powerplane-Systemen“
- High-Speed-Seminare für Schaltungsentwickler und Leiterplattendesigner des FED
- Beitrag „Die Mär vom Plattenkondensator“ als PDF
- Publikation „Absorptives Stromversorgungssystem in Leiterplatten“
- Technische Daten der Spartan-3-FPGAs von Xilinx
- Reprogrammierbare Logik der AT91SAM7S-Familie von Atmel
- Fachpublikationen zum Thema EMV-gerechtes Schaltungsdesign
- Silent, die Simulations-Software für Leiterplatten-Entkopplungen
- TAUBE ELECTRONIC: Experte für anspruchsvolles Leiterplattendesign und Baugruppenfertigung
- TGM Wien: Staatliche Versuchsanstalt und akkreditierte Prüfstelle
- Pericom: Datenblätter und Applikationsbeispiele zu den Terminierungschips
- WEDASoft: Entwicklungsdienstleistungen und EDA-Software

InfoClick

206956