

Inhaltsverzeichnis

Vorwort	<i>Es geht voran: Mit zuverlässiger Elektronik ins nächste Jahrzehnt Was Sie wissen müssen über das CAD-Design, die Leiterplattentechnologie und die Baugruppenproduktion</i>	3
1. Kapitel	Arnold Wiemers <i>Was unsere Welt zusammenhält Die Eigenschaften von Basismaterialien für elektronische Baugruppen</i>	4
2. Kapitel	Arnold Wiemers <i>Wenn das Einfache schwierig wird Die Prozessierbarkeit von SMD-Bauformen kleiner/gleich 0402</i>	9
3. Kapitel	Jennifer Vincenz <i>Padstacks: Was Hänschen nicht beachtet kann Hans nicht verarbeiten Simple Einstellungen mit weitreichenden Konsequenzen</i>	14
4. Kapitel	Rainer Taube <i>Risikofaktor Basismaterial Eine Untersuchung mit dem Ziel, Delaminationen von Leiterplatten zu verhindern</i>	20
5. Kapitel	Arnold Wiemers <i>Der Kontakt bestimmt das Sein Die Metallisierung von Bohrungen beeinflusst den Multilayeraufbau</i>	25
6. Kapitel	Jennifer Vincenz <i>CAD-Dokumentation: Nur eine lästige Pflicht ? Der Einfluß der Design-Dokumentation auf die Produktqualität</i>	30
7.1 Kapitel	Rainer Taube <i>Anforderungen an Anschlußflächen (Lötflächen) auf Leiterplatten Teil 1</i>	37
7.2 Kapitel	Rainer Taube <i>Anforderungen an Anschlußflächen (Lötflächen) auf Leiterplatten Teil 2</i>	43
7.3 Kapitel	Rainer Taube <i>Anforderungen an Anschlußflächen (Lötflächen) auf Leiterplatten Teil 3</i>	48
8. Kapitel	Arnold Wiemers <i>Das Aspekt-Ratio für Leiterbilder Elementare Vorgaben für die Konstruktion von Leiterbildstrukturen</i>	52
9. Kapitel	Jennifer Vincenz <i>CAD-Bibliothek: Gibt's doch alles fertig im Internet (?) Grundelemente und Aufbau der CAD-Bibliothek</i>	57
10. Kapitel	Arnold Wiemers <i>Konstruktion von Multilayersystemen Gesucht wird : Die Harmonie von Physik, Funktion und Wirtschaftlichkeit</i>	64

11. Kapitel	Arnold Wiemers <i>Die Dokumentation von Multilayersystemen</i> <i>Zuverlässigkeit und Funktion dürfen nicht dem Zufall überlassen werden</i>	69
12. Kapitel	Arnold Wiemers, Rainer Taube <i>Oberflächen von Leiterplatten</i> <i>Ohne Chemie gibt's keine Elektronik</i>	74
13. Kapitel	Jennifer Vincenz <i>Macht doch alles der Autorouter, oder ?</i> <i>Routingstrategien für das CAD-Layout</i>	79
14. Kapitel	Arnold Wiemers <i>Starrflexible Leiterplatten</i> <i>Mehr Komplexität für einfache Lösungen</i>	85
15. Kapitel	Arnold Wiemers <i>Drucke und Lacke auf Leiterplatten</i> <i>Wenn Leiterplatten bunt werden...</i>	90
16. Kapitel	Jennifer Vincenz <i>Plazierung - die halbe Miete</i> <i>Bauteilplatzierung im CAD-Layout</i>	97
17. Kapitel	Jennifer Vincenz <i>Varianten - wie verwalten ?</i> <i>Und noch eine handgetippte Liste...</i>	102
18. Kapitel	Arnold Wiemers <i>Verifikation von Leiterplatten</i> <i>Finde den Fehler bevor es zu spät ist</i>	107
19. Kapitel	Arnold Wiemers <i>Der Einfluß des m.n.-Formates auf die Qualität von Leiterplatten und Baugruppen</i> <i>....wenn nicht zusammenpaßt, was zusammenpassen sollte</i>	113
20. Kapitel	Arnold Wiemers <i>Highspeed-Multilayer</i> <i>....Geschwindigkeit ist Alles ?</i>	118
21. Kapitel	Arnold Wiemers <i>10 Klassische Irrtümer aus dem Bereich der Leiterplattentechnologie</i> <i>Mechanik versus Elektronik / Tausche ALT gegen NEU</i>	124
Anhang 1	<i>Informationen zu Frau Vincenz und der tecnotron elektronik GmbH</i>	131
Anhang 2	<i>Informationen zu Rainer Taube und der TAUBE ELEKTRONIK GmbH</i>	133
Anhang 3	<i>Informationen zu Arnold Wiemers und der LA - LeiterplattenAkademie GmbH</i>	135

Vorwort

Es geht voran: Mit zuverlässiger Elektronik ins nächste Jahrzehnt

Was Sie wissen müssen über das CAD-Design, die Leiterplattentechnologie und die Baugruppenproduktion

Das, was hinter uns liegt, ist nichts gegen das, was vor uns liegt. Wir wissen, daß die technischen und wirtschaftlichen Anforderungen an zukünftige hochwertige Industrieprodukte nur mit modernen elektronischen Baugruppen erfüllbar sind.

Die Umformulierung eines berühmten Zitates sagt uns: "Nach der Krise ist vor der Krise".

Wenn wir darüber nachdenken, was wir hinter uns gebracht haben, dann dürfte uns klar sein, welche Herausforderungen vor uns liegen.

Wir haben Eines bereits lernen dürfen : Die elektronische Baugruppe ist ein äußerst sensibles Produkt, das auf das exzellente, partnerschaftliche und harmonische Zusammenspiel der drei Protagonisten "CAD-Design", "Leiterplattentechnologie" und "Baugruppenproduktion" angewiesen ist.

Die Konstruktion einer elektronischen Baugruppe muß mit dem Blick nach vorn als eine ganzheitliche Aufgabenstellung gesehen werden. Die Zuverlässigkeit und der wirtschaftliche Erfolg hängen von dem Willen und der Kompetenz des Einzelnen ab, dieses Gemeinsame an der Aufgabenstellung zu erkennen und zu verstehen.

Das Erstellen eines CAD-Designs wird *ohne* Kenntnis der Baugruppenttechnologie nicht das benötigte qualitative Niveau haben können. Die erfolgreiche Konstruktion einer Schaltung wird im ersten Anlauf *ohne* die Berücksichtigung der physikalischen Eigenschaften einer Leiterplatte und *ohne* jedes Detailwissen über die Leiterplattentechnologie *scheitern*.

Wir wollen Ihnen in mit dieser Zusammenstellung von Fachartikeln zum Thema "CAD-Design, Leiterplattentechnologie und Baugruppenproduktion" die wichtigsten Aspekte kurz und informativ näher bringen.

Wir möchten, daß Sie Verständnis gewinnen für die Aufgaben und Probleme der "Anderen".

Damit wir gemeinsam vorankommen.

Diese Serie haben für Sie geschrieben :



Jennifer Vincenz
tecnotron elektronik GmbH



Rainer Taube
TAUBE ELECTRONIC GmbH



Arnold Wiemers
LA – LeiterplattenAkademie GmbH



1. Kapitel / Arnold Wiemers

Was unsere Welt zusammenhält

Die Eigenschaften von Basismaterialien für elektronische Baugruppen

Was ist "Basismaterial"?

Die einzelnen Bestandteile eines typischen Basismaterials sind : Klebstoff, Trägermaterial und Leitschicht. Beim **FR4**, dem mit Abstand meistgenutzten Basismaterial, besteht der Klebstoff aus Epoxydharz und das Trägermaterial aus verdrehten Glasfibrillen, die zu einem Glasgewebe verwoben sind.

"FR" steht für "Flame Retarding" und weist damit auf die unverzichtbare flammhemmende Eigenschaft des Materials hin. Die "4" steht für einen bestimmten FR-Typus. Es gibt auch die Typen "FR2" und "FR3", die heutzutage kaum noch in Benutzung sind, und "FR5" mit einer höheren Temperaturbelastbarkeit als "FR4".

Prepregs und Laminat

Bei der Herstellung von FR4-Basismaterial wird zuerst das Glasgewebe mit dem Epoxydharz getränkt. Das Ergebnis sind "Prepregs", ein Kunstwort, das für "**Preimpregnated**" steht und darauf hinweisen soll, daß die Epoxydharzmatrix zwar angetrocknet aber noch nicht ausgehärtet ist. Jedes Prepreg besteht aus genau einem Glasgewebetyp, der mit einer Nummer angegeben wird, zum Beispiel "106", "1080", "2116" oder "7628". Früher war diese Typenbezeichnung mit Bezug auf die Prepregdicke sehr verbindlich. Das 106er war ca. 50µm dick, das 1080er ca. 60µm, das 2116er ca. 115 und das 7628er ca. 180µm.

Die neuzeitliche Forderung nach einem sicheren aber auch kostengünstigen Verpressen von Multilayern hat zu diversen Prepregvarianten geführt, die sich in der Dicke der Harzbeschichtung unterscheiden. Es gibt weiterhin die Prepregs mit Standardharzgehalt aber jetzt auch mit mittlerem und hohem Harzgehalt. Die üblichen Kennungen sind dann "**SR**" für "Standard resin", "**MR**" für "Medium resin" und "**HR**" für "High resin". Inklusiv aller Fertigungstoleranzen kann die Dicke eines sogenannten 1080er-Prepregs neuerdings zwischen 56µm (= SR-Variante, untere Toleranz) und 84µm (= HR-Variante, obere Toleranz) schwanken.

Prepregs sind die *eine* Komponente für den Aufbau eines Multilayers. Die *andere* Komponente sind die **Laminat**, auch "Kerne" oder "Cores" oder "kupferkaschiertes Material" genannt. Für die Fertigung eines Laminats werden ein oder mehrere Prepregs ein- oder beidseitig mit Kupferfolie belegt und verpreßt (Bild 1-1).

Die Dicke des fertigen Laminats ergibt sich durch die Kombination der eingesetzten Prepregs. Umgangssprachlich sind "Dünnlaminat" mit Dicken zwischen 0.05mm und 0.86mm, und "Dicklaminat" mit Dicken zwischen 0.90mm und 3.2mm verfügbar. Die Dicke der Kupferkaschierung kann 5, 9, 12, 17, 35, 70, 105, 210 oder 420µm betragen.

Mit diesen Kupferdicken ist ursächlich keine direkte physikalische Eigenschaft verknüpft.

Die Bezeichnungen kommen historisch bedingt aus dem angloamerikanischen Sprachraum und sind lediglich ein Vielfaches oder ein ganzzahliger Teiler von 1 Unze (= 35µm).

Über diesen Bezug erklärt sich übrigens auch die klassische Leiterplattendicke von 1.50mm.

Sondermaterialien

Inzwischen gibt es Hunderte von Basismaterialien, die spezielle Eigenschaften für spezielle Anwendungen bieten. Durch andere Klebstoffe wie Cyanatester oder Polytetrafluoräthylen und durch andere Füllstoffe und Trägermaterialien wie Keramik, Polyimid oder diverse Kohlenwasserstoffe werden besondere Leistungen des Basismaterials bei hochfrequenten oder bei temperaturbelasteten Anwendungen erreicht.

Die Sondermaterialien liegen nicht in den vielen unterschiedlichen Dicken vor, wie dies bei FR4 der Fall ist.

Für viele Sondermaterialien gibt es keine eigenen Prepregs. Zudem sind Sondermaterialien oft erheblich teuer als FR4. Wenn die Anwendung das erfordert, dann ist es deshalb üblich, Hybrid-Multilayer zu bauen, die teils aus Sondermaterial und teils aus FR4 bestehen.

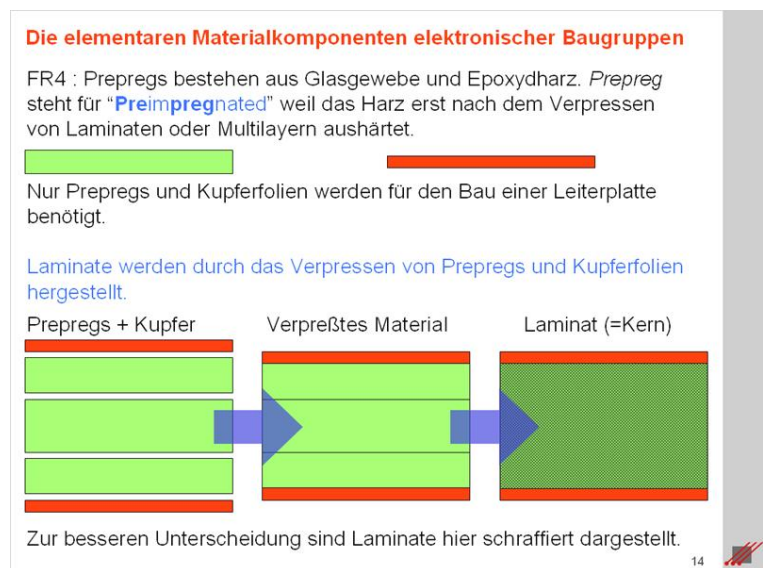


Bild 1-1 Prepregs und Kupferfolien sind die Rohstoffe der Elektronik. Laminare sind bereits abgeleitete Produkte

Technische Eigenschaften von FR4

Die absehbare Zukunft gehört dem FR4 und seinen Derivaten. Das Material ist stabil, die Isolation ist zuverlässig, das dielektrische Verhalten ist brauchbar, die Kosten sind akzeptabel, die Verarbeitung ist etabliert und die Hitzebeständigkeit ist tolerabel.

Die Derivate werden im Wesentlichen durch eine Modifikation der Epoxydharzmatrix erzeugt. Im Sog der Umstellung auf bleifreie Elektronik (~ RoHS) ist es üblich geworden, einen Teil des Harzvolumens gegen mineralische Füllstoffe auszutauschen. Damit wird die temperaturbedingte verstärkte Z-Achsen-Ausdehnung der Leiterplatte hinausgezögert (Kenngröße $CTE(z) = \text{"Coefficient of thermal expansion"}$).

In Folge der höheren Temperaturbelastbarkeit reduziert sich die Wahrscheinlichkeit, daß die Leiterplatte während der Baugruppenproduktion beim Löten Schaden nimmt.

Man spricht dann von "FR4 mit einem höheren Tg-Wert" oder auch von "Hoch-Tg-Material".

Der Standardwert für FR4 liegt bei 130°, höhere Tg-Werte sind 150° oder 175°, je nach Materialhersteller. Allgemein wird "Tg" etwas irreführend mit "Glasumwandlungstemperatur" übersetzt. Gemeint ist aber, daß das Epoxydharzgefüge ab Erreichen des Tg-Wertes weich und elastisch wird und daß demzufolge die Z-Achsen-Ausdehnung erheblich zunimmt.

Fehlerereignisse sind dann Risse der kontaktierten Vias und/oder Abrisse der innenliegenden Leiterbahnen von den Viahülsen.

Es können auch Delaminationen auftreten, die zu einer partiellen Auflösung des verpreßten Materialverbundes führen. Die Folge ist üblicherweise ein Ausfall der Baugruppe.

Ein höherer Tg-Wert erhöht die Dauerbetriebstemperatur einer Baugruppe nicht. Die Dauerbetriebstemperatur ist im Wesentlichen von der Epoxydharzmatrix abhängig und sollte bei FR4-Material 95° bis 100° nicht überschreiten.

Eine weitere Kenngröße ist der Td-Wert. "Td" steht für "Decomposition Temperature" und beschreibt den Temperaturwert, bei dem das Material 5% seiner Masse durch Ausgasen/Verdampfen verloren hat.

Seit Einführung der SMD-Technologie haben die Anforderungen an das Basismaterial zugenommen. Die Reduzierung der Bauformen für SMD-Bauteile führt auch zu einer Reduzierung der SMD-Flächen auf der Leiterplatte, weil sonst ein zuverlässiges Löten nicht möglich ist (i.e. verdrehte Bauteile, Tombstoning).

Wenn ein SMD-Pad kleiner wird, dann wird auch die Grundfläche kleiner, mit der dieses Pad auf der Leiterplatte haftet. Einfache mechanische Belastungen, Vibration und Brems- oder Beschleunigungskräfte können zu einem Abriß des Bauteiles führen.

Das Reflowlöten reduziert die Haftung zwischen SMD-Pad und Leiterplatte zusätzlich um bis zu 75%, je nach Basismaterialtyp, Leiterplattenoberfläche und Anzahl der Reflowzyklen.

Leider führen die Maßnahmen zur Erlangung eines hohen Tg-Wertes im Gegenzug oft zu einer Reduzierung der Kupferhaftung. Man findet bei Standardmaterial Abzugskräfte von zirka 2 N/mm, die bei Hoch-Tg-Material auf bis zu 0.8 N/mm absinken können.

Die Dokumentation des eingesetzten Materials

Die neuen integrierten Bauteilkomponenten zeichnen sich durch eine extrem schnelle Flankenanstiegszeit im Bereich um 0.3ns aus, Tendenz fallend. Komplexere FPGAs werden im Niedrigvoltbereich betrieben mit Spannungspegeln, die bei 1V₅ liegen.

Der sichere Betrieb von Baugruppen mit solchen Komponenten ist nur dann zuverlässig, wenn die Leiterplatte das geeignete Umfeld mit definierten physikalischen Eigenschaften liefert.

Um die Aspekte der **EMV** und der **Powerintegrität** bedienen zu können, müssen Prepregs und Lamine mit Dicken von 50µm zur Verfügung stehen.

Die schnelle und störungsfreie Signalverarbeitung erfolgt zunehmend per LVDS (= **Low Voltage Differential Signaling**). Um eine funktionierende **Signalintegrität** zu gewährleisten, muß ein geeigneter Lagenaufbau möglich sein und die Qualität der eingesetzten Basismaterialien muß stimmen (Bild 1-2).

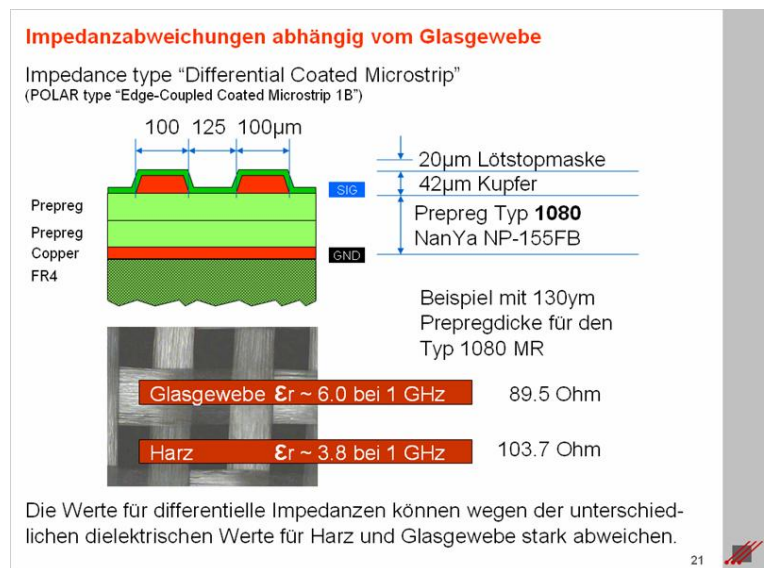


Bild 1-2

Abweichende physikalische Eigenschaften eines differentiellen Leiterbahn-paares durch ungeeignetes Basismaterial

Diese Aufgabe ist seitens der Leiterplattentechnologie nur durch die überlegte Geometrie des Lagenaufbaus lösbar. Das bedeutet natürlich, daß die erforderlichen Prepreg- und Laminatdicken verfügbar sein müssen.

Damit die Impedanzeigenschaften der Leiterbahnen definiert werden können, müssen die am CAD-System gerouteten Leiterbahnbreiten auf die prozessierbaren Kupferschichtdicken abgeglichen werden können. Dazu ist die Kenntnis der dielektrischen Eigenschaft und des Verlustfaktors inklusive der materialtypischen Toleranzen notwendig.

Zum Variantenreichtum der Basismaterialien gesellt sich die individuelle Bevorzugung von Materialien und Prozeßstrategien seitens des jeweiligen Leiterplattenherstellers.

Der Entwurf eines Multilayers im Vorfeld einer Schaltungsentwicklung durch den Laien kann deshalb erstmal nur den Charakter eines Vorschlages haben. Die verbindliche Lagenaufbaubeschreibung mit der Angabe der diskret verfügbaren Materialien und mit der Berechnung der erforderlichen physikalischen Eigenschaften muß durch einen Fachmann erfolgen. Da es nur wenige externe Experten gibt, empfiehlt es sich, erstmal bei seinem Leiterplattenhersteller nachzufragen.

Der verbindlich in einen Multilayerlagenaufbau umgesetzte Vorschlag muß alle wichtigen Kenngrößen zum Basismaterial enthalten: Welche Prepregs und welche Lamine werden eingesetzt (Dicke, Harzgehalt, Epsilon-R, Tangens Delta, Tg, Z-Achsen-Ausdehnung, Abzugskraft), welche Impedanzwerte finden sich für eine definierte Kupferdicke und für eine definierte Leiterbahnbreite und welche Gesamtdicke hat der Multilayer (empfohlen sind maximal +,-6% Dickentoleranz).

Diese Informationen müssen aussagefähig dokumentiert sein.

Die Beschreibung der eingesetzten Materialien muß vor dem Abschluß des Schaltplankonzeptes vorliegen.

Wie sonst sollte eine Funktionssimulation möglich sein, wenn wichtige Parameter für die entsprechenden Softwareprogramme fehlen?

Mit der Layoutarbeit müssen die Materialparameter in das CAD-System importiert werden können.

Die damit festgelegten Constraints (= Vorgabewerte) sind eine wichtige Unterstützung während der Erstellung des CAD-Layoutes.

Die Informationen zu den Eigenschaften der verbauten Basismaterialien sind für den Baugruppenproduzenten ebenfalls von großem Wert. Er kann seine Lötprofile auf die Kupfervolumina und die Temperaturbelastbarkeit der in der Leiterplatte verbauten Basismaterialien optimal anpassen (Bild 1-3).

Nicht zuletzt sorgt die dokumentierte Beschreibung der Basismaterialeigenschaften einer Leiterplatte/eines Multilayers für eine reproduzierbare Produktion und führt zu elektronischen

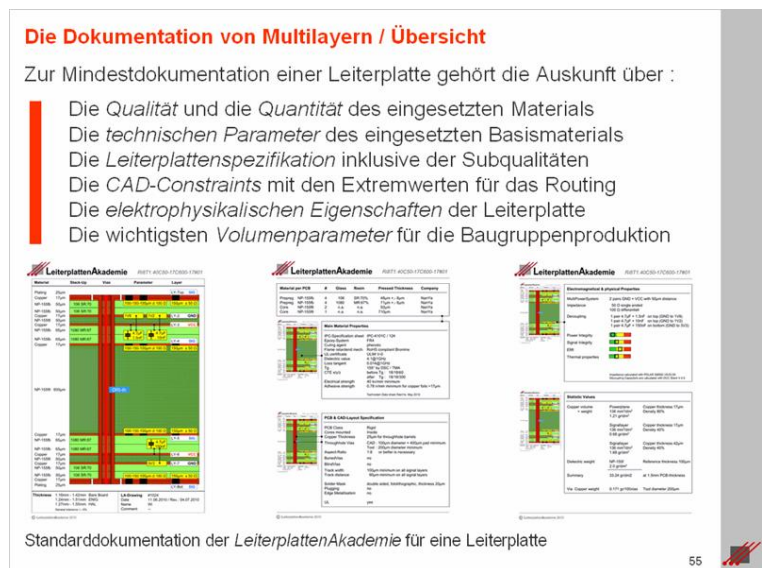


Bild 1-3 Eine aussagefähige Dokumentation der eingesetzten Basismaterialien in Graphik und Text

Baugruppen gleicher Qualität. Dies ist insbesondere von Vorteil, wenn der Übergang vom Prototypen zur Serie oder vom inländischen zum ausländischen Leiterplattenlieferanten sichergestellt sein soll.

Hinweis

Informieren Sie sich über die technische Qualität von Basismaterialien im Internet oder durch ein Gespräch mit Ihrem Leiterplattenhersteller. Nutzen Sie die physikalischen Eigenschaften von Basismaterialien für Ihr Schaltungskonzept. Sorgen Sie durch eine korrekte Dokumentation des eingesetzten Basismaterials für eine durchgehend hohe Produktqualität Ihrer Baugruppe.



2. Kapitel / Arnold Wiemers

Wenn das Einfache schwierig wird

Die Prozessierbarkeit von SMD-Bauformen kleiner/gleich 0402

Wie groß ist "klein"?

Früher konnte man die kleinsten SMD-Bauformen sehen und staunen. Heute kann man sie zumindest noch *fühlen*. Das Limit für die weitere Reduzierung der Größe von zweipoligen Bauteilen ist anscheinend das Handling durch die Bestückungsautomaten. Wenn die Bauteile kleiner sind, als die Öffnung der Aufnahmepipette, dann ist mit Komplikationen zu rechnen.

Die Bezeichnung "0402" gibt die X-,Y-Dimension der Grundfläche des Bauteilkörpers in Inch an, in Form von gedachten Nachkommastellen. Aus $0.04\text{in} \cdot 25.4 = 1.016\text{mm}$ ergibt sich der metrische Wert in X-Richtung und $0.02\text{in} \cdot 25.4 = 0.508\text{mm}$ ist dann der metrische Wert in Y-Richtung. In der Praxis ist man großzügig und gibt der Bauform die auf ganzzahlige 10tel Millimeter abgerundete metrische Schlüsselbezeichnung "1005".

Die Bezeichnung "0201" steht dann theoretisch für eine Grundfläche von $0.508\text{mm} \times 0.254\text{mm}$. In der Praxis geht man von $0.6\text{mm} \times 0.3\text{mm}$ aus und dementsprechend ist die metrische Schlüsselbezeichnung "0603".

Bedauerlicherweise gibt es auch eine Bauform "0603" auf Inch-Basis, was zu Irritationen führen kann.

Anlage im CAD-System

Jedes Bauteil muß in der CAD-Bibliothek virtuell angelegt worden sein, bevor es in ein Layout eingebaut werden kann. Die geometrische Konstruktion des Bauteiles ist nur dann sinnvoll möglich, wenn die Anforderungen der realen Leiterplattenfertigung und der Baugruppenproduktion bekannt sind.

"Kleinere" Bauteilkörper benötigen letztlich auch "kleinere" Anschlußflächen auf der Leiterplatte. Die Anschlußfläche darf aber nicht *zu* klein sein. Für die Leiterplattenfertigung wird eine ätzbare Bild-Pad-Struktur gefordert. Für die Baugruppenproduktion ist eine Mindestpadfläche notwendig, damit genügend Lot aufgebracht werden und damit sich ein guter Lotspalt und ein guter Lotmeniskus beim Löten ausbilden.

Es wird noch lange kontrovers diskutiert werden, welche Anschlußflächengeometrie letztendlich denn die Beste für ein diskretes Bauteil ist. Das ist gut so, wenn daraus eine Abstimmung und eine Anpassung zwischen den Disziplinen "CAD-Layout" und "Baugruppenproduktion" entstehen.

Bei einem SMD-Bauteil der Bauform 0201 könnte möglicherweise folgendes Padbild in der CAD-Bibliothek vorgegeben sein: Die Padgeometrie ist $300\mu\text{m} \times 300\mu\text{m}$ und der Mittenabstand der Pads zueinander ist $600\mu\text{m}$. Der Abstand von Padflanke zu Padflanke ist dann $300\mu\text{m}$ (Bild 2-1).

Bei einem Routing nach HDI-Regeln (= **H**igh-**D**ensity-**I**nterconnect) beträgt die minimale Leiterbahnbreite $100\mu\text{m}$, der minimale Strukturabstand beträgt ebenfalls $100\mu\text{m}$.

Zweimal Abstand plus einmal Leiterbahnbreite ergeben $300\mu\text{m}$. Damit würde genau eine Leiterbahn zwischen den beiden Pads der BF 0201 hindurchpassen. Empfehlenswert ist das jedoch nicht.

Mit dem Druck des Lötstoplackes würde diese Leiterbahn mit einer zusätzlichen Dicke von bis zu 30µm beschichtet. Um diesen Betrag wäre die Leiterbahn höher, als die benachbarten Lötflächen. Der kleine und leichte Bauteilkörper würde auf dem Lack aufliegen. Ein Aufrichten oder Verdrehen des Bauteiles beim Löten *könnte* zu einer qualitativen Einschränkung führen.

Damit das vermieden wird, muß das CAD-System vom Anwender mit Constraints bedient werden, damit im abschließenden DRC (= Design Rule Check) eventuelle Routing-Fehler auch erkannt werden können. Beispielsweise könnte der Bereich zwischen den Pads über die Bibliothek als Sperrfläche deklariert werden.

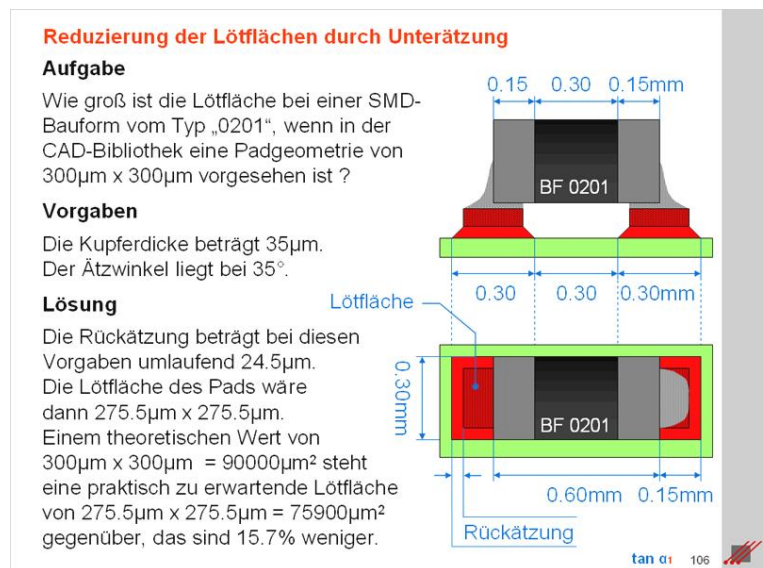


Bild 2-1 Eine mögliche Padgeometrie für die Bauform "0201" und die verbleibende Lötfläche nach dem Ätzen

Ätzen der Leiterbildstruktur

Die Strukturierung des Leiterbildes erfolgt beim Leiterplattenhersteller in einem Subtraktivverfahren. Zu Beginn besteht jede (...später elektrisch leitende...) Lage einer Leiterplatte aus einer durchgehenden Kupferfolie. Nach der fototechnischen Strukturierung der Leiterbahnen und Lötflächen werden die nicht benötigten Kupferbereiche durch einen Ätzprozeß entfernt (Bild 2-2).

Auf Grund der Strömungseigenschaften des Ätzmediums ist der geometrische Querschnitt einer geätzten Leiterbahn kein Rechteck sondern ein Trapez. Mit der breiteren Seite haftet die Leiterbahn auf dem Dielektrikum, die schmalere Seite ist die Oberseite der Leiterbahnen. Man spricht dann von der Unterätzung oder Rückätzung des Leiterbildes.

Die "schmalere Seite" verringert aber auch die Lötfläche der SMD-Pads, die letztlich ja nichts anderes ist, als "Leiterbildoberfläche".

Die in der CAD-Bibliothek als optimal festgelegten Padgeometrien werden dadurch verfälscht.

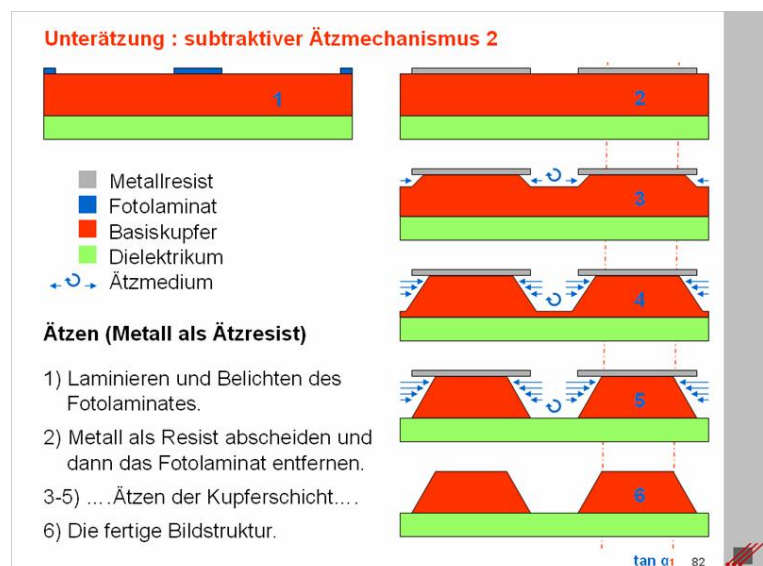


Bild 2-2 Das Ätzen von Bildstrukturen mit Metall als Ätzresist

Die Rückätzung hängt nur von der Kupferdicke ab und hat dann einen festen Betrag. Bei SMD-Bauformen vom Typ "1206" oder "0805" spielt dieser Betrag praktisch keine Rolle.

Bei der Bauform "0201" beträgt die Reduzierung der Lötfläche allerdings bereits bis zu 15%.

Im Idealfall ist die Lötfläche auf das Lotvolumen abgestimmt, das wiederum über die Dicke und die Öffnungen der Lotpastenschablone vorgegeben wird. Die Sensibilität der Bauformen "0402", "0201" und natürlich erst recht der Bauform "01005" erfordert eine sehr feine und engtoleriertere Abstimmung zwischen Lotvolumen und Lötfläche. Eine nicht berücksichtigte Abweichung der Lötfläche von -15% hat ein verändertes Lötverhalten zur Folge.

Die Rückätzung führt nicht nur im Querschnitt zu einem Leiterbahntrapez sondern auch zu einer grundsätzlichen Verringerung der Leiterbahnbreite an sich. Um diese Verringerung auszugleichen, muß von der CAM des Leiterplattenherstellers ein passender Zuschlag auf die D-Codes in den Gerber-Files gegeben werden.

Weil die Verringerung von der Kupferdicke abhängt, muß der Zuschlag mit unterschiedlichen Werten erfolgen, je nachdem, welche Kupferdicke die jeweilige Lage der Leiterplatte hat. Man nennt das die "Kupferdickenabhängige Blendenkompensation", oder auch einfach den "Ätzzuschlag".

Ein weiterer Effekt der Physik des Ätzens ist, daß das Ende eines Leiterbahnnetzes, also das Lötpad, immer einer höheren Aktivität des Ätzmediums ausgesetzt ist, als das bei einer langgezogenen Leiterbahnflanke der Fall ist.

Löt pads werden auf drei Seiten von frischem Ätzmedium intensiver umspült, so daß sie im Ergebnis deutlicher in ihrer Geometrie reduziert werden. Besonders ist das bei den singulären Lötflächen von BGAs zu beobachten.

Der gleiche Effekt sorgt auch dafür, daß rechteckige SMD-Pads praktisch nicht prozessierbar sind. SMD-Pads, die in der CAD-Bibliothek rechteckig angelegt worden sind, werden durch das Ätzen Abrundungen mit einem Radius von zirka 60µm erfahren. Dem Löten der Bauteile ist das sogar zuträglich, weil die abgerundete Padform dem Benetzungsverhalten des Lotes eher entspricht.

Tangens Alpha

Vorhersehbare Toleranzen sind akzeptabel. Die Voraussetzung ist jedoch, daß die tendenziellen Abweichungen bereits zum Zeitpunkt der CAD-Bibliotheksarbeit berechnet werden können.

Seitens des Autors gibt es dafür einen mathematischen Ansatz, der die Kupferdicke über die trigonometrische Tangensfunktion in Bezug zur Unterätzung setzt (Bild 2-3).

Der Wert für "Tangens Alpha" wird damit zu einer festen Kenngröße, mit der das typische Ätzergebnis für den Prozeß des Leiterplattenherstellers ermittelt werden kann.

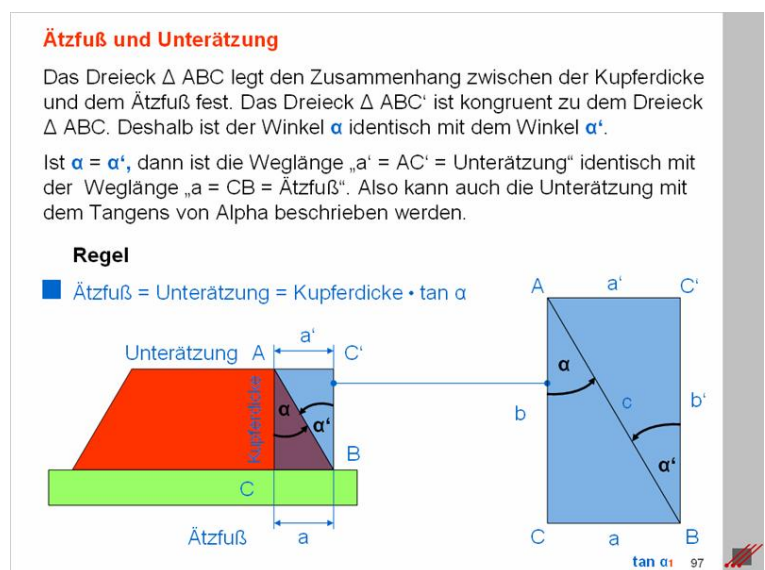


Bild 2-3

Die Abhängigkeit des Ätzfußes, der Unterätzung und der Rückätzung vom Tangens Alpha des Ätzwinkels

Mit dem Übergang zur MFT (= **M**icro **F**ineline **T**echnology) mit 50µm schmalen Leiterbahnen und Leiterbahnabständen kann auf mathematische Berechnungsmodelle nicht mehr verzichtet werden.

Eine Schlußfolgerung aus dem Ansatz für den "Tangens Alpha" ist bereits offensichtlich. Wenn die Diskrepanz zwischen der unteren und der oberen Weite einer Bildstruktur aufgelöst werden muß, weil sonst eine Bauteilmontage durch Löten oder Bonden unzuverlässig oder gar kritisch wird, dann ist die einzige Lösung in einer Reduzierung der Kupferdicke zu finden.

Der erste Schritt wäre sicherlich, auf zu kontaktierenden Bestückungsebenen die Kupferdicke von jetzt 42µm auf 35µm zu senken, später dann wohl auf 30µm.

Solche Veränderungen sind weitreichend. Eine geringere Kupferdicke bedeutet schließlich ja auch eine geringere Stromtragfähigkeit von Versorgungsleitungen, eine veränderte Impedanz für Signalleitungen und eine geringere Entwärmungskapazität im Betrieb der elektronischen Baugruppe.

Obwohl die Bauform "0201" schon kleine Padgeometrien aufweist, ist sie nicht der Treiber für diese Entwicklung. Die Montage von Bauteilen, die gebondet werden müssen, stellt höhere Anforderungen.

Wenn Bondpads bei einer Kupferdicke von 35µm eine minimale Geometrie von 80µm x 80µm haben müssen, dann ist die Rückätzung CAM-seitig mit einem Ätzzuschlag nicht mehr ausgleichbar.

Ein typischer Wert für den Ätzwinkel "Alpha" ist 25°. Das entspricht einem tan von 0.47 und daraus errechnet sich eine Reduzierung der Bondfläche im Durchmesser von zirka 32µm. Die effektive Bondfläche wäre nach dem Ätzen 48µm x 48µm und damit faktisch unbrauchbar.

Es gibt nur den Weg, die Flächenreduzierung in der CAD-Bibliothek zu kompensieren. Dort müßte also das Bondpad mit einer Geometrie von 112µm x 112µm angelegt werden.

Und das bedeutet dann in der Konsequenz, daß in der CAD-Bibliothek eine Fertigungstoleranz auf seiten des Leiterplattenherstellers ausgeglichen werden muß, damit der Baugruppenproduzent trotzdem das Bonden zuverlässig durchführen kann.

Maschinentoleranzen und Datenformate

Es wird mißverständlich angenommen, daß eine am CAD-System festgelegte Koordinatenposition von einer Maschine ohne Verluste angesteuert werden könnte.

Eine CNC-gesteuerte Maschine, die für die Produktion von Leiterplatten eingesetzt wird, hat eine Positioniergenauigkeit von +/- 3µm. Vorausgesetzt, die Maschine ist hochwertig und in kontinuierlicher Wartung.

Es gibt für einen Multilayer ca. 2 Dutzend Arbeitsgänge, bei denen die teilfertige Leiterplatte vorher ausgerichtet werden muß (...man spricht dann vom "Registrieren"). Das Aufnehmen und das Registrieren können in Summe zu Abweichungen von +/- 100µm führen. Insbesondere gilt diese Toleranz für den Versatz zwischen Bild und Mechanik.

Bildgeometrien und Bohrungen sind also nur ungefähr dort, wo sie idealerweise sein sollten. Bei kleinen SMD-Flächen kann sich das fatal auswirken, weil ja auch die Lasermaschinen für das Schneiden der Lotpastenschablone, die Lotpastendrucker sowie die Bestückungsmaschinen vergleichbaren Bedingungen unterliegen.

Entscheidend ist, welche Paßsysteme für die Registrierung in das Layout integriert werden. Wegen des Versatzes zwischen Bild und Mechanik ist für die *SMD-Bestückung* eine mechanische Referenz ungeeignet. Das funktioniert nur mit Paßmarken, die Teil des Leiterbildes sind.

Andererseits taugen die nichts, wenn *bedrahtete* Bauteile bestückt werden sollen, dazu ist wiederum eine Paßbohrung als Referenz die bessere Lösung.

Es ist die Aufgabe des CAD-Designs, die notwendigen Referenzen als Paßbohrungen und Paßmarken in das Layout einzubringen.

Viele Maschinen, die für die Produktion der Leiterplatte und der Baugruppe eingesetzt werden, müssen die Koordinaten des CAD-Postprozesses nutzen. Der Postprozeß rechnet üblicherweise die CAD-interne Koordinatenauflösung herunter. Das hat fatale Folgen.

Aus historischen Gründen ist im CAD-System voreingestellt, Bilddaten im Format "Gerber 2.3in" und Bohrdaten im Format "Sieb&Meyer 3.2mm" (...oder auch "Excellon 3.2mm") auszugeben.

"2.3in" bedeutet, in kleinster Auflösung können drei Stellen hinter dem Komma ausgegeben werden. Das wären dann 0.001in oder 1mil oder 25.4µm. Paßt die Position eines SMD-Pads oder einer Leiterbahn nicht in das 25.4µm-Raster, dann wird während des Postprozesses die Position in X- und/oder Y-Richtung auf- und/oder abgerundet.

Weil es kein ganzzahliges Vielfaches gibt, das eine beliebige ganzzahlige metrische Koordinate in eine ganzzahlige zöllige Koordinate umsetzt, stimmen Bilder und Bohrungen sowieso nie überein. Das ist so, seitdem es CAD-Systeme gibt (...nebenbei ist es außerdem bemerkenswert, daß die Koordinaten in amerikanischen "Inch" angegeben werden, die sich dann aber in einem englischen "Zölligen" Koordinatensystem wiederfinden).

Man muß deshalb nicht auf Bauformen wie "0201" warten, bis ein Versatz auffällig wird, der sich aus dieser Vorgehensweise ergibt. Spätestens aber zeigt sich beim Prozessieren dieser Bauform, daß eine gelaserte Schablone (...Datenausgabe 2.3in) niemals richtig zu einer Leiterplatte passen kann, die ausschließlich über Bohrungen referenziert wird (...Datenausgabe 3.2mm, Versatz bis zu +,- 100µm).

Hinweis

Berücksichtigen Sie bei der Arbeit am CAD-System die Reduzierung der Lötflächen durch die Rückätzung.

Arbeiten Sie systematisch um künftige Erfahrungen zuverlässig einfließen lassen zu können.

Überprüfen Sie den Postprozeß Ihres CAD-Systems und geben Sie *alle* Daten einheitlich im Format 3.3mm aus.



3. Kapitel / Jennifer Vincenz

Padstacks: Was Hänschen nicht beachtet, kann Hans nicht verarbeiten

Simple Einstellungen mit weitreichenden Konsequenzen

Was genau ist eigentlich ein Padstack?

Die präzise Beschreibung eines Padstacks ist auf den zweiten Blick gar nicht so einfach, wie es zunächst den Anschein erweckt. Denn schon allein der Begriff Pad muss genau genommen erläutert werden, da, wie so oft, keine einheitliche Definition existiert.

Wir sprechen von Pads, wenn wir Bauteilanschlüsse meinen, sowohl gebohrte als auch SMD-Anschlüsse. Wir sprechen aber auch von Pads, wenn wir die Anschlußflächen von Vias, also Durchkontaktierungen, meinen.

Damit haben Elemente mit einer unterschiedlichen Funktion im Design und in den Fertigungsdaten die gleiche Bezeichnung.

Um die Verwirrung jetzt komplett zu machen ist "kein Pad" eigentlich auch ein Pad, denn auch die Definition, daß innerhalb eines Padstacks auf einer Ebene *keine* grafische Darstellung vorhanden sein soll, muß unter anderen Aspekten, wie zum Beispiel Abstandsregeln, als ein dem Rechenalgorithmus zugängliches Objekt vorhanden sein.

Tasten wir uns also zunächst langsam heran und beschränken wir uns auf eine offensichtliche und zudem leicht nachvollziehbare Aussage :
Ein Padstack ist die grafische Darstellung einer Bauteilanschlußfläche, eines Vias oder einer Montagebohrung auf allen Ebenen im Leiterplatten-Design-Programm (Bild 3-1).

Das ist aber nur die halbe Wahrheit. Gleichzeitig repräsentiert der Padstack auch das *physikalische* Erscheinungsbild dieser Bauteilanschlüsse, Vias und Bohrungen auf der Leiterplatte und beeinflusst somit deren Produzierbarkeit.

Und in der virtuellen Welt der EDA-Software kann an den Padstack eine ganze Reihe von Eigenschaften geknüpft sein, die den möglichen Anschluß an dieses Element regeln und die damit

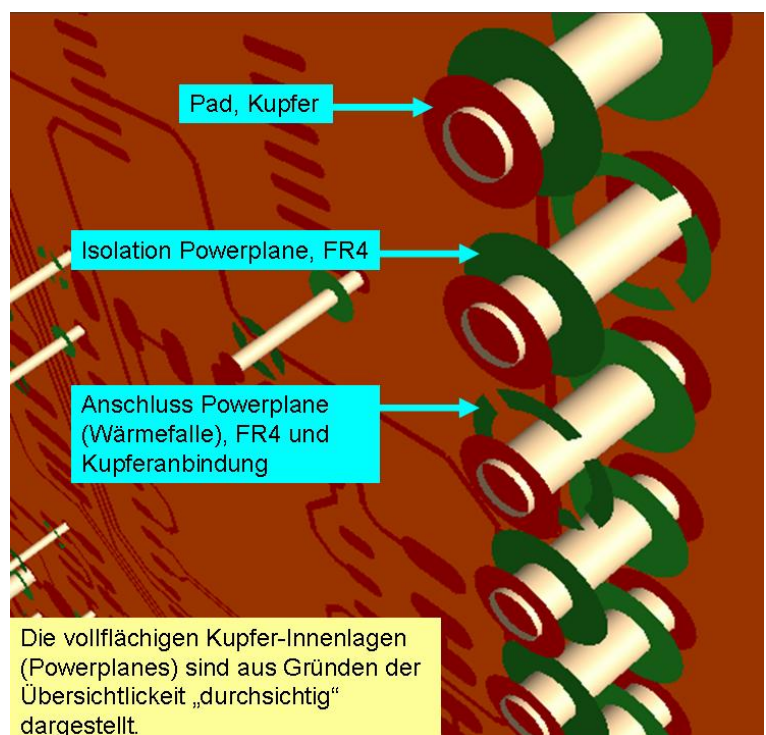


Bild 3-1 Dreidimensionale Darstellung eines Padstacks in einem 6-Lagen-Multilayer

natürlich Einfluß auf das elektrische und thermische Verhalten in der realen Welt der Leiterplatte und Baugruppe haben.

Nehmen wir uns also eine Lupe und betrachten den Delinquenten einmal näher. Prinzipiell besteht ein Padstack aus grafischen Formen, also Polygonen, die den jeweiligen Funktionsebenen im Layout zugewiesen werden. Dies muß glücklicherweise heutzutage nicht mehr manuell vorgenommen werden, die Eingabemasken der Software-Programme weisen das gewählte Polygon in der definierten Größe automatisch den jeweiligen Funktionsebenen zu.

Üblicherweise ist das zunächst erst einmal für alle Ebenen oder auch Layer eines Leiterplatten-Designs die gleiche Form. Wirklich für alle Ebenen? Tatsächlich ist das auf den verschiedenen Ebenen erzeugte Polygon nicht grundsätzlich gleich, auch wenn wir es in der Eingabemaske für alle Ebenen gleich definiert haben.

Wird eine Lage als Powerplane ausgewiesen, so wird für die an diese Powerplane angeschlossenen Pads und Vias eine Darstellung des Anschlußbildes an die Kupferfläche erzeugt, die sogenannte Wärmefalle oder auch "Heat Isolation" oder auch "Thermalpad" (Bild 3-2).

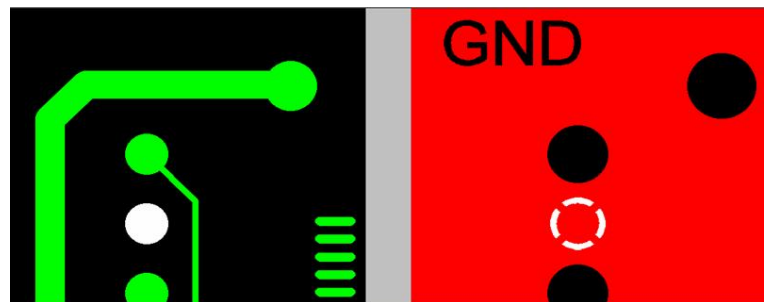


Bild 3-2 Links : Pad.
Rechts : Wärmefalle (~ Heat Isolation oder Thermalpad) in einer Powerplane.

Natürlich kann auch ganz bewußt auf einem oder mehreren Layern eine andere Form gewünscht sein. Denken wir beispielsweise an Designs für die Raumfahrt. Oft dürfen hier weder eine Lötstopmaske oder ein anderer Druck aufgebracht werden. Dennoch würden wir gern beispielsweise den Pin 1 eines THT-ICs (IC-Baustein in konventioneller Durchstecktechnik) kennzeichnen, um einen Verdrehenschutz zu gewährleisten.

Sicherlich können wir dem gesamten Padstack des Pin 1 auch eine andere Geometrie geben, beispielsweise ein Quadrat.

Nachgewiesenermaßen ist das Lötverhalten allerdings besser, wenn alle Pads eines ICs gleich sind. Hier bietet es sich an, für den Pin 1 nur auf der Bestückungsseite (auch Top Layer oder Primärseite genannt) eine andere Form zu definieren, auf der Lötseite aber bleiben die Pads rund und eine Abweichung im Lötverhalten ist somit minimiert.

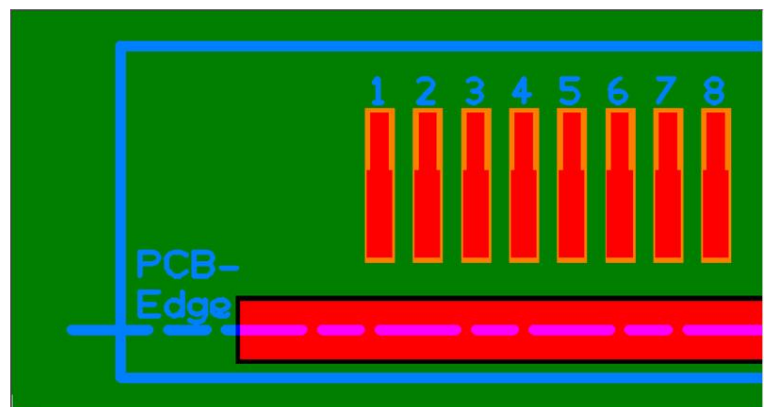


Bild 3-3 Solder Mask Defined Pad. Die aktive Lötfläche wird durch die Freistellung in der Lötstopmaske definiert].

Ein anderes Beispiel sind "Solder Mask Defined Pads" für oberflächenmontierte Bauteile (SMD-Bauteile). Hier wird die eigentlich aktive Lötfläche über die Lötstopmaske definiert. Nun mögen Sie denken, dies ist eher ein Sonderfall, weil üblicherweise die aktive Lötfläche über das Kupferpad dimensioniert wird. Zuweilen ergibt sich aber

eine bessere Prozessierbarkeit, beispielsweise ein besseres thermisches Verhalten, wenn die aktive Lötfläche über die Freihaltung in der Lötstopmaske definiert wird (Bild 3-3).

Es ist in kritischen Highspeed-Designs eine häufige Forderung, Kondensatoren stets vollflächig an Masse anzuschließen.

Spätestens für kleine Bauformen der Chip-Kondensatoren ergibt sich daraus die Notwendigkeit, zumindest das vollflächig angeschlossene Pad in der Größe über die Lötstopmaske zu definieren, da sich mit der üblichen Parametrisierung der Lötstopmaske (... "alle Lötstopmaskenpads 100µm größer") real auf der Leiterplatte für das Bauteil sonst zwei unterschiedlich große Pads ergeben würden.

Dies würde zu erheblichen Schwierigkeiten in der Baugruppenproduktion führen (Bild 3-4).

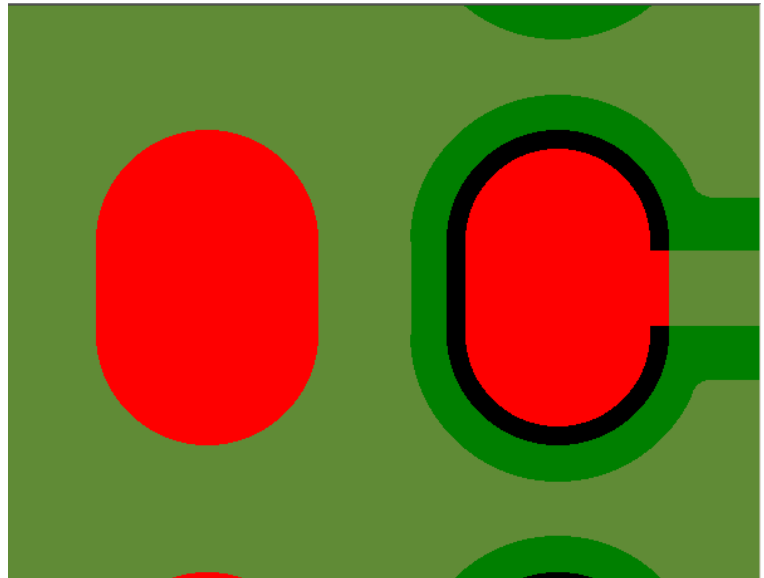


Bild 3-4

Die parametrisierte Freihaltung der Lötstopmaske ergibt unterschiedlich große Lötanschlüsse

Im Falle des dargestellten Pads ergibt die parametrisierte Lötstopmaskenfreihaltung von 50µm umlaufend (~ entspricht 100µm im Durchmesser) eine um gut ein Drittel (34 Prozent) größere aktive Lötfläche, auch wenn dies optisch auf den ersten Blick gar nicht so dramatisch aussieht.

Mit reinen Automatismen kommen wir hier also nicht weiter und es kann in Abhängigkeit vom Design notwendig werden, gezielt einzelne Padstacks auf einzelnen Lagen manuell anzupassen.

Wahre Größe zeigt sich im Kleinen

Wie wird denn nun ein Padstack dimensioniert? Um zu einer Lösung zu kommen, die alle an der Prozeßkette beteiligten zufriedenstellt, müssen wir genaugenommen das Pferd von hinten aufzäumen.

Wir müssen zunächst die Abnahmekriterien des fertigen Produktes betrachten. Da gibt es für THT-Bausteine beispielsweise Forderungen an den Lotdurchstieg, die den Bohrdurchmesser mitbestimmen. Wir haben also den Pin-Durchmesser plus einen Freiraum, der es dem Lot erlaubt, am Pin hochzusteigen und so eine sichere Verbindung zu gewährleisten.

Jetzt befinden wir uns allerdings schon in den Tiefen der Prozeßtechnik. Genaugenommen müssen wir außer dem eigentlichen Lötverfahren (Wellenlötung, Selektiv-Wellenlötung, Through-Hole-Reflow, Handlötung) nicht nur die Eigenschaften des Lotes kennen, sondern auch Eigenschaften des Basismaterials, die Wärmeleitfähigkeitsparameter des Bauteilpins, die Verarbeitungstemperatur, ja, eigentlich das gesamte Fertigungsverfahren inklusive der Funktionsweise der Produktionsmaschinen.

Für viele Standardprodukte, wie doppelseitige Leiterplatten der Dicke 1.6mm mit 17µm oder 35µm Basiskupfer oder auch 4 oder 6 Lagen Multilayer mit einer Enddicke von 1.6mm und mit 17µm oder 35µm Basiskupfer und maximal 2 Powerplanes, ist das als nicht ganz so kritisch zu betrachten.

Hier greift die Daumenregel "Pindurchmesser + 0.25 bis 0.4 mm = Nominal-Bohrdurchmesser". Für die automatische Bestückung axialer oder radialer Bauteile sollte die obere Toleranzgrenze verwendet werden. Für Through-Hole-Reflow gilt als Faustformel "Pindurchmesser + 0.2 bis 0.3 mm = Nominal-Bohrdurchmesser". Der "Durchmesser" rechteckiger Pins wird über die Diagonale gemessen. Anzuwenden ist die untere Toleranzgrenze.

Wir bewegen uns aber immer weiter in Grenztechnologiebereiche hinein. Ein Beispiel sind hochlagige Multilayer mit vielen Masselagen, typisch für impedanzdefinierte Schaltungen. In solchen Fällen müssen selbst für die Dimensionierung eines einfachen THT-Padstacks präzise Prozeßparameter betrachtet werden, wie die Wärmeaufnahme und die Wärmedistribution in der Leiterplatte, um eine Vorhersage über den Lotdurchstieg treffen und damit den benötigten Bohrdurchmesser bestimmen zu können. Die Kommunikation mit dem Baugruppenproduzenten wird deshalb unerlässlich.

Eine weitere Forderung für Lötstellen ist die Lötflanke, die über Abnahmekriterien festgelegt ist. Für die Ausbildung einer korrekten Lötflanke wird eine ausreichende Padfläche, für THT-Lötstellen ein geschlossener Restring, benötigt. An dieser Stelle müssen wir zusätzlich zum Wissen um das Lötverhalten Kenntnis über die Toleranzen der Leiterplattenfertigung haben, um das Pad ausreichend groß dimensionieren zu können. Sollten wir ausnahmsweise das Glück haben, daß Platz in unserem Design keine Rolle spielt (...was in heutigen Designs eher unwahrscheinlich ist), könnten wir uns schlicht großzügig zeigen und frei nach dem Motto "viel hilft viel" ein paar Zehntel mehr spendieren.

Leider wäre auch dies aber eher kontraproduktiv, denn bei zu großen Pads ist möglicherweise dann die Lotverteilung so unglücklich, daß keine korrekte Flanke ausgebildet wird.

Wir müssen also auch hier Prozeßparameter berücksichtigen. Die Erfahrung hat jedoch gezeigt, daß beispielsweise für THT-Lötstellen die Dimensionierung des Restrings von umlaufend 0.3 mm üblicherweise für eine gute Lotflanke sorgt.

Noch komplexer wird das Thema, wenn wir die Berechnung von SMD-Pads betrachten. Im Gegensatz zu den Lötstellen durchgesteckter Pins ist bei den SMD-Bauteilen der neuesten Generation (Leadless Chip Carrier, QFN, SON) nicht einmal mehr die äußerliche Begutachtung der Lötstelle möglich. Selbst wenn an der Außenkante des Bausteins noch ein Anschluß sichtbar ist, muß er nicht zwangsläufig benetzbar sein und demzufolge muß auch keine klassische Lötflanke ausgebildet werden (Bild 3-5).

Auch für BGAs und Flip Chips ist eine visuelle Inspektion der Lötstelle nur für die jeweils äußere Reihe möglich. Entweder müssen aufwendige Geräte und Techniken für die Inspektion der Lötstellen zum Einsatz kommen, was einen Kostentreiber darstellt, oder wir müssen schlicht darauf vertrauen, daß die Lötstellen in Ordnung sind. Dies ist nur mit korrekt dimensionierten und auf den Prozeß abge-

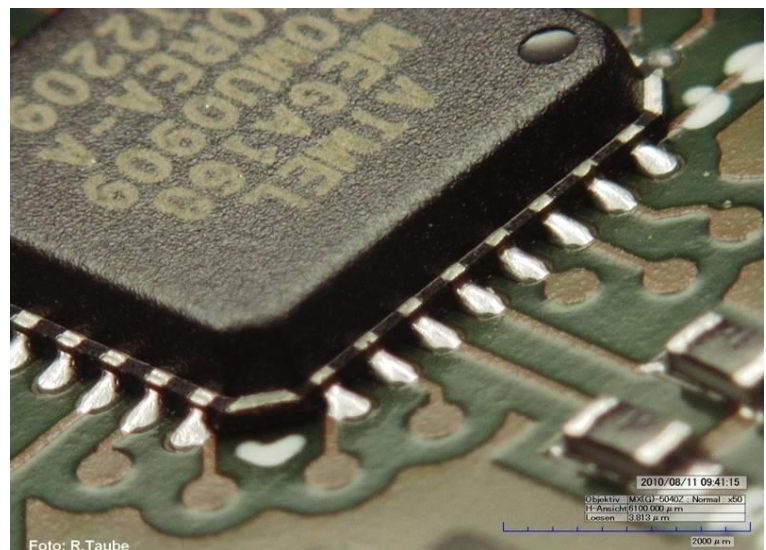


Bild 3-5

Gelöteter QFN-Baustein.
Eine klassische Lötflanke wird nicht
zwangsläufig ausgebildet

stimmten Padstacks möglich. Eine Faustformel, wie früher häufig üblich (... "wir geben an den langen Seiten immer 4 Zehntel zu") wird aller Voraussicht nach mindestens zu Schwierigkeiten bei der Verarbeitung führen, wenn nicht zu schlechten Lötgergebnissen.

Es kann nicht vorausgesetzt werden, daß jeder Designer jeden möglichen Prozeß und jede Maschine auf dem Markt wie seine Westentasche kennt. Die tägliche Praxis ist daher, sich mit Daumenregeln, Richtlinien und nicht zuletzt den Vorschlägen auf den Datenblättern der Bauteilhersteller dem Optimum anzunähern.

Leider läßt sich das, wie so Vieles in der Leiterplatten- und Baugruppenteknik, nicht prinzipiell in eine pauschale Formel gießen. Versuche dazu hat es dennoch immer wieder gegeben. Angefangen mit der IPC-782, die den Ansatz über eine Art "Worst-Case-Scenario" wählte. Vereinfacht dargestellt war damit gemeint, daß die größtmögliche Toleranz des Bauteilanschlusses plus die größtmögliche Toleranz der Platzierung plus größtmögliche Fertigungstoleranz das Pad ergab.

Die Praxis hat gezeigt, daß dies oft viel zu große Pads ergab, was bei kleinen, massearmen Bauteilen zu größten Schwierigkeiten führte. Als Beispiel sei hier die vermehrte Neigung zu Tombstoning (i.e. "Grabsteineffekt") genannt.

Eine deutliche Verbesserung der Prozessierbarkeit brachte die IPC-7350iger-Reihe. Die Toleranzbetrachtungen orientierten sich dort sehr viel näher an der Praxis. Der mit dieser Richtlinien-Reihe ausgelieferte kostenfreie Land-Pattern-Viewer gibt für eine Vielzahl von Standard-SMD-Bauteilen einen guten Anhaltspunkt für die Dimensionierung der SMD-Pads.

Dennoch empfiehlt es sich, speziell für Komponenten der Bauform 0402 (Metrisch 1005) und kleiner sowie QFN oder anderer Bausteine mit verdeckten Anschlüssen, mit dem Baugruppenproduzenten Rücksprache zu halten.

Nicht zuletzt bleiben noch die Empfehlungen der Bauteilhersteller selbst, die Datenblätter. Diese sollten allerdings nicht ungeprüft übernommen werden. Nicht selten finden sich darin zum Teil grobe Fehler in der Umrechnung zwischen Inch und Millimeter oder simple Zahlendreher.

Ein Abgleich, beispielsweise mit der vorgenannten Richtlinie, gibt zumindest einen Anhaltspunkt, ob die angegebenen Maße Sinn machen.

Wer so viele Informationsquellen als möglich nutzt, hat die größten Chancen, sich dem Optimum zu nähern.

Hinweis

Mit zunehmender Vielfalt der Löt- und Verbindungstechnologien und zunehmender Komplexität des Produkts sowie steigenden Anforderungen an die Zuverlässigkeit sowohl der Prozesse als auch der fertigen Baugruppen wird deutlich, daß nur eine umfangreiche und vertrauensvolle Kommunikation bereits im Vorfeld des Designs zielführend ist.

Auch der Einkauf wird sich an den Gedanken gewöhnen müssen, daß die Entscheidung, wer welches Produkt wie fertigt, zukünftig nicht mehr im Nachhinein getroffen werden kann. Diese Entscheidung ist bereits Bestandteil des Designprozesses und damit genaugenommen Bestandteil des Produktes und muss somit zu Beginn der Designarbeit festgelegt werden.

Der Designer *muß* in jedem Fall in diesen Entscheidungsprozeß eingebunden werden.

Dies gilt in ganz besonderem Maße für kritische Produkte im grenztechnologischen Bereich.



Ist die Entscheidung getroffen, wie und von wem das Produkt gefertigt wird, ist es Aufgabe des Designers, das Feintuning für die Dimensionierung der Padstacks durchzuführen und auf die Prozesse der Fertigung abzustimmen.



4. Kapitel / Rainer Taube

Risikofaktor Basismaterial

Eine Untersuchung mit dem Ziel, Delaminationen von Leiterplatten zu verhindern

Vorbemerkung

Arnold Wiemers hat in seinem Artikel über die "Eigenschaften von Basismaterialien", bereits gezeigt, daß sich hinter der allgemeinen Bezeichnung "FR4" eine große Vielfalt von Materialien mit ganz unterschiedlichen Eigenschaften verbergen kann.

Während sich die Anwender in der Regel mit den elektrischen Kennwerten ganz gut auskennen, war es in Zeiten bleihaltiger Lötprozesse meistens nicht erforderlich, die thermomechanischen Eigenschaften der Basismaterialien genauer zu betrachten.

Nach der Umstellung auf bleifreie Lötprozesse mußten viele Leiterplatten- und Baugruppenhersteller leidvoll erfahren, daß ihre Leiterplatten durch die höhere thermische Belastung delaminierten.

Ein Grund dafür ist die Tatsache, daß trotz höherer Anforderungen auch heute noch die meisten Leiterplatten nur mit der allgemeinen Materialspezifikation "FR4" bestellt werden.

Um das Risiko einer derart unzureichenden Spezifikation besser einschätzen zu können, hat die FED/VdL (heute ZVEI)-Projektgruppe "Design" vor fast 3 Jahren schon ein gemeinsames Projekt von Materialherstellern, Designern, Leiterplattenherstellern und Baugruppenproduzenten gestartet. In diesem Projekt wurden die Grenzen des Einsatzes von Standardbasismaterialien in den bleifreien Lötprozessen mit ZinnSilberKupfer-Loten (i.e. SAC-Lote) bzw. ZinnKupfer-Loten (i.e. SC-Lote) untersucht.

Lagenaufbau der Testboards

Dazu wurde in der Projektgruppe "Design" ein 8 Lagen-Testboard entworfen und mit dem jeweiligen Standardbasismaterial der 6 beteiligten Hersteller in verschiedenen Lagenaufbauvarianten produziert. Als Standardbasismaterial wurde dabei ein Material betrachtet, welches bei den beteiligten Leiterplattenherstellern *dann* eingesetzt wird, wenn keine speziellen Anforderungen durch den Kunden in der Bestellung festgelegt sind.

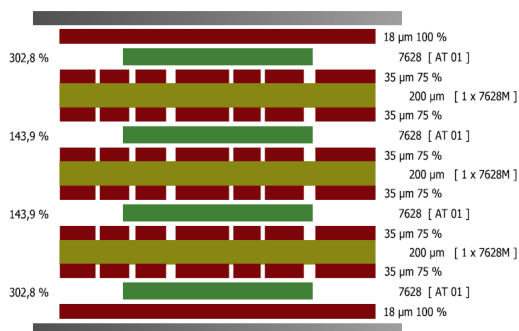
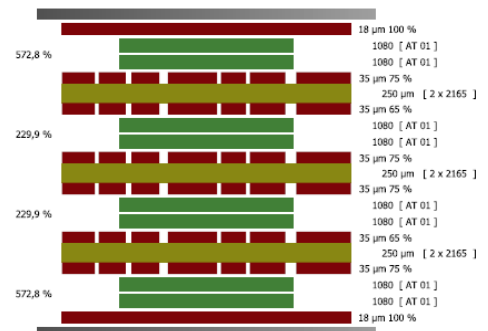


Bild 4-1 Lagenaufbau 1 :
8ML mit 1x Prepreg 7628
Harzgehalt 45%



Lagenaufbau 3 :
8ML mit 2x Prepreg 1080
Harzgehalt 64%

Die untersuchten Multilayer unterschieden sich jeweils im Harzgehalt der Prepregs. Die Bilder der Lagenaufbauten zeigen die beiden am häufigsten verwendeten Aufbauten (Bild 4-1).

Testverfahren und Temperaturprofil

Moderne elektronische Baugruppen mit einem komplexen Spektrum an Bauteilen erleben während der Fertigung sehr häufig mehrere Lötprozesse und sollen in der Regel auch durch einen möglicherweise erforderlichen Bauteilaustausch nicht geschädigt werden.

Daher hat sich allgemein durchgesetzt, daß Leiterplatten, die ohne Einschränkungen für bleifreie Lötprozesse einsetzbar sein sollen, mindestens 6 thermische Belastungen ohne Beschädigung überstehen müssen.

Für die Tests einigte man sich auf das Qualifikationsprofil aus J-STD-020, mit dem auch elektronische Bauteile auf eine ausreichende Lötwärmebeständigkeit getestet werden (260°C, min. 30 sec. über 255°C, ca 100 sec. über dem Liquidus von SAC-Loten).

Um eine bessere Aussagekraft der Testergebnisse zu erreichen, wurden die Versuche sowohl bei einem Baugruppenproduzenten (...der Firma TAUBE ELECTRONIC) wie auch am Fraunhofer ISIT in Itzehoe durchgeführt.

Damit sichergestellt war, daß die Testmuster an beiden Orten die gleiche thermische Belastung erfuhren, wurden die Belastungsprofile zur Kontrolle grafisch überlagert, wie das in der folgenden Abbildung erkennbar ist (Bild 4-2).

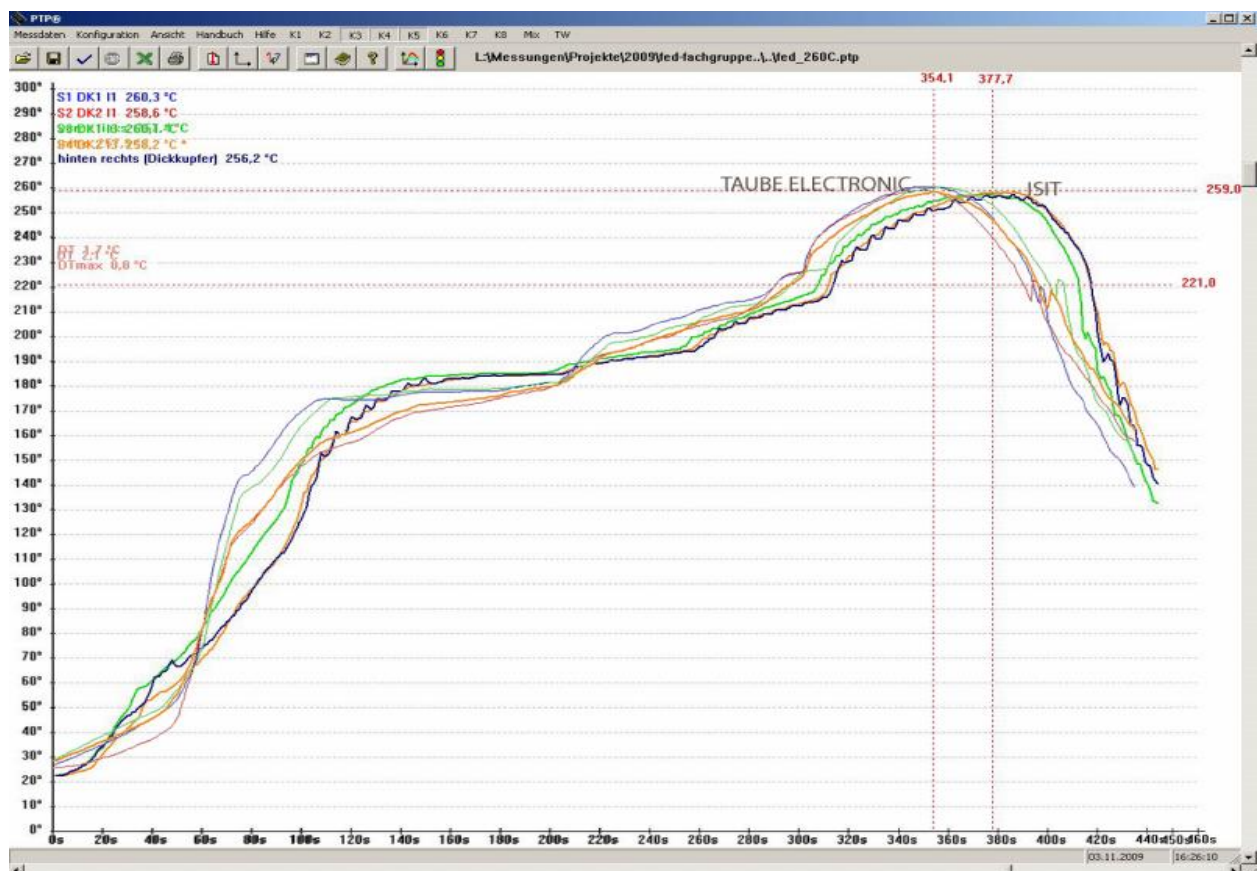


Bild 4-2 260°C Qualifikationsprofile TAUBE ELECTRONIC & ISIT grafisch überlagert

Ergebnisse

Die Ergebnisse der Belastungstests sind in den folgenden Tabellen dargestellt (Bild 4-3, Bild 4-4). Die Tests am Fraunhofer ISIT erfolgen ca. ½ Jahr später als bei TAUBE ELECTRONIC.

Firma	Basismaterial- Hersteller	Basismaterial Typ	STII	LA	P1/260°	P2/260°	P3/260°	P4/260°	P5/260°	P6/260°	F/%
Hersteller1	Hersteller1	Typ1	210	1	0	0	0	0	0	0	0,37
	Hersteller2	Typ2	212	1	0	0	0	0	0	0	0,26
Hersteller2	Hersteller3	Typ3	180	4	0	0	1	1	1	1	0,24
	Hersteller4	Typ4	216	4	0	0	0	0	0	1	0,33
Hersteller3	Hersteller5	Typ5	183	?	0	0	0	0	0	1	0,17
Hersteller4	Hersteller6	Typ6	176	?	0	1	1	1	1	1	0,17
Hersteller5	Hersteller3	Typ7 ¹⁾	188	1	0	0	0	0	1	1	0,25
	Hersteller3	Typ7 ¹⁾	188	2	0	0	0	0	0	1	0,25
	Hersteller3	Typ7 ¹⁾	188	3	0	0	0	0	0	0	0,19
Hersteller6	Hersteller5	Typ8	208	1	0	0	1	1	1	1	0,19
	Hersteller4	Typ4	216	1	0	0	0	0	0	1	0,22

Bild 4-3 Ergebnisse der 260°C Belastungstests bei TAUBE ELECTRONIC

Firma	Basismaterial- Hersteller	Basismaterial Typ	STII	LA	P1/260°	P2/260°	P3/260°	P4/260°	P5/260°	P6/260°	F/%
Hersteller1	Hersteller1	Typ1	210	1	0	0	0	0	0	1	0,29
	Hersteller2	Typ2	212	1	0	1	1	1	1	1	0,27
Hersteller2	Hersteller3	Typ3	180	4	1	1	1	1	1	1	0,21
	Hersteller4	Typ4	216	4	0	0	1	1	1	1	0,33
Hersteller3	Hersteller5	Typ5	183	?	0	0	0	0	1	1	-
Hersteller4	Hersteller6	Typ6	176	?	1	1	1	1	1	1	0,20
Hersteller5	Hersteller3	Typ7 ¹⁾	188	1	0	0	1	1	1	1	0,16
	Hersteller3	Typ7 ¹⁾	188	2	0	0	0	1	1	1	0,18
	Hersteller3	Typ7 ¹⁾	188	3	0	0	0	0	1	1	0,24
Hersteller6	Hersteller5	Typ8	208	1	0	1	1	1	1	1	-
	Hersteller4	Typ4	216	1	1	1	1	1	1	1	-

Bild 4-4 Ergebnisse der 260°C Belastungstests am FHG-ISIT

Zusammengefaßt lassen sich aus der Untersuchung die folgenden Schlußfolgerungen ziehen :

1. "Standardbasismaterialien" (Spezifikation nur "FR4") sind ein erheblicher Risikofaktor in den bleifreien Lötprozessen mit SAC/SC-Loten
2. Aufbauten mit harzarmen Prepregs (1x 7628) delaminieren deutlich früher als Aufbauten mit harzreichen Prepregs (2x 1080)
3. Gleichmäßiger und höherer Kupferbelag auf den Layern verbessert das Delaminationsverhalten
4. Das Trocknen der Leiterplatten verbessert das Delaminationsverhalten nur um 1-2 Belastungsstufen



5. Die längere Lagerung von Leiterplatten (...über mehrere Monate) führt zu einer früheren Delamination der Multilayer

Risikominimierung

Eine Vermeidung der in dem Projekt deutlich gewordenen Risiken ist nur durch eine bessere Kommunikation zwischen Leiterplattendesignern, Leiterplattenherstellern und Baugruppenproduzenten zu erreichen.

Dazu sind in allen Gruppen erweiterte Kenntnisse erforderlich:

Der **Leiterplattendesigner** muß das Basismaterial abhängig von den elektrophysikalischen Anforderungen (z.B. Signalintegrität), der Produkteinsatzumgebung und der Wärmebelastung durch die Verarbeitungs- und Lötprozesse festlegen.

Der **Leiterplattenhersteller** muß wissen, wie die Leiterplatte während der Baugruppenfertigung thermisch belastet wird, wenn er die Materialauswahl vornehmen soll.

Der **Baugruppenproduzent** muß die Materialeigenschaften der Leiterplatte und ihres Lagenaufbaus kennen, damit er die dafür geeigneten Lötverfahren auswählen und die Risiken des Materials erkennen und minimieren kann

Die Untersuchungsergebnisse zeigen ganz deutlich, daß eine pauschale Spezifikation von Basismaterial nur mit dem Begriff "FR4" ein erhebliches Risiko darstellt.

Der international bekannte Zuverlässigkeitsexperte Werner Engelmaier hat in einer Reihe von Veröffentlichungen in den letzten Jahren auf die große Bedeutung insbesondere der Lamineigenschaften "Td" (i.e. Materialersetzungstemperatur) und Zcte (i.e. Z-Achsenausdehnung) ergänzend zum "Tg"-Wert hingewiesen und für eine erste Einschätzung der Brauchbarkeit von Basismaterialien für SAC/SC-Lötprozesse den sogenannten "Solder Temperature Impact Index", kurz : STII, entwickelt.

Dieser stellt einen Indikator für die Überlebensfähigkeit (= Survivability) von Materialien in bleifreien Lötprozessen mit SAC- & SC-Loten dar und berechnet sich nach folgender Formel :

$$\text{STII} = (\text{Tg}(\text{TMA}) + \text{Td})/2 - 10 \times \text{Zcte}(50 - 260 \text{ °C})$$

Der STII sollte für die uneingeschränkte Einsatzfähigkeit eines Basismaterials in bleifreien Lötprozessen mit SAC-/SC-Loten mindestens den Wert "215" haben.

Die für die Berechnung erforderlichen Materialparameter sind zunehmend in den Basismaterialdatenblättern zu finden, so daß heute jeder Anwender den "Solder Temperature Impact Index" eines Materials ohne große Schwierigkeiten selbst ermitteln kann.

Zu beachten ist dabei, daß Engelmaier in seiner Formel mit dem "Tg" gemessen nach der "TMA"-Methode rechnet, während die meisten Datenblattangaben den "Tg" gemessen nach der "DSC"-Methode angeben. Weil die "DSC"-Meßmethode aber einen um ca. 10 höheren Wert ergibt, muß für die Berechnung mit der Engelmaier-Formel also der DSC-Wert um 10 reduziert werden.

Wie sich gezeigt hat, spielt neben der thermischen Belastbarkeit des Basismaterials vor allem der Harzgehalt der Prepregs eine entscheidende Rolle. Daher sollten Lagenaufbau-Konstruktionen mit

nur einem einzigen harzarmen Prepreg möglichst vermieden werden, wenn die Leiterplatten in den Fertigungsprozessen mehrfach hohen Löttemperaturen ausgesetzt werden müssen.

Solche Aufbauten mit nur einem Prepreg sind zwar preiswerter, stellen aber auch ein größeres Risiko dar und sollten mit dem Leiterplattenhersteller unter Betrachtung aller Verarbeitungsbelastungen festgelegt werden damit Delaminationen mit Sicherheit vermieden werden (Bild 4-5).

Es zeigt sich weiterhin, daß es durch eine längere Lagerung offensichtlich zu Veränderungen in den Materialien kommen kann, die auch durch Trocknung nicht mehr zu kompensieren sind. Daher wäre eine weitere Maßnahme zur Vermeidung des Delaminationsrisikos, die Lagerzeiten der Leiterplatten bis zur Produktion der Baugruppen zu reduzieren und vor allem auch zwischen den Lötprozessen die Lagerzeiten möglichst kurz zu halten.

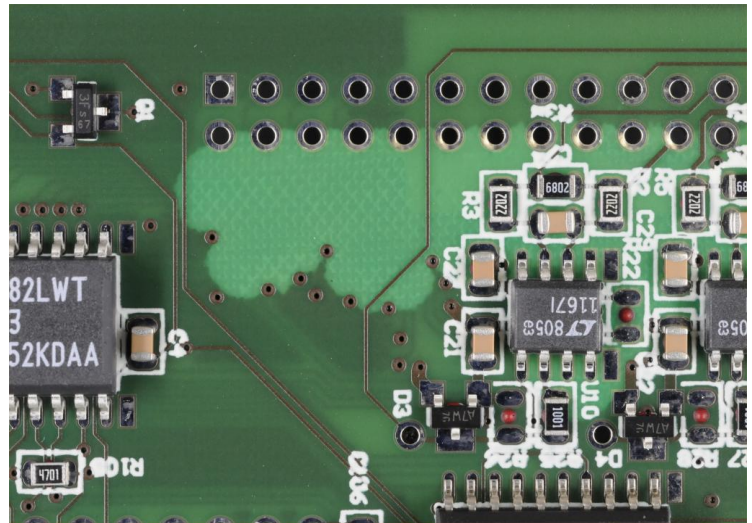


Bild 4-5 Delamination auf den äußeren ML-Lagen

Hinweis

Wenn Sie wissen wollen, wie groß der Sicherheitsbereich einer konkreten Leiterplatte ist, bzw. wie weit Sie sich mit Ihren Lötprozessen vom Ausfall entfernt bewegen, können Sie ohne größeren Aufwand folgenden Versuch machen :

Nehmen Sie 8 Leiterplatten aus dem zu untersuchenden Fertigungslos.

Trocknen Sie die Hälfte davon 24 Stunden bei 120°C.

Belasten Sie anschließend die Testmuster mit dem 260° Profil aus J-STD-020 so oft, bis die erste Leiterplatte delaminiert.

Mit diesem Versuch können Sie auf einfache Weise ermitteln, wie groß der Sicherheitsabstand in Ihrem Fertigungsprozeß für den konkreten Typ von Leiterplatten ist und in wieweit eine Trocknung der Leiterplatten das Delaminationsrisiko vermindern kann.

Natürlich kann dieser Versuch mit etwas eingeschränkter Aussagekraft auch mit einer geringeren Anzahl von Testmustern durchgeführt werden.

5. Kapitel / Arnold Wiemers

Der Kontakt bestimmt das Sein

Die Metallisierung von Bohrungen beeinflusst den Multilayeraufbau

Kontakt ist alles

Im Prinzip sind Bohrungen ein Störfaktor für jede elektronische Baugruppe. Das im Bereich einer Bohrung nicht vorhandene Basismaterial ist eine Komplikation für jeden Leiterbahnverlauf. Man würde sofort auf Bohrungen verzichten. Wenn man könnte. Doch erst eine metallisierte Bohrung verknüpft die einzelnen Signalwegabschnitte zu einem funktionalen Netz und versorgt die Baugruppe mit Energie, die das Konglomerat aus Plastik und Metall zum Leben erwecken läßt. Das Metallisieren der Bohrungen, auch als das "Kontaktieren der Bohrwandungen" bezeichnet oder einfach nur "Kontaktieren" genannt, ist also ein unverzichtbarer Fertigungsabschnitt für die Produktion einer Leiterplatte.

Wie das Kupfer in die Hülse kommt....

Die CAM des Leiterplattenherstellers setzt die CAD-Daten zu einem "Produktionsnutzen" um. Kombiniert mit einem umlaufenden Service-Rahmen, der Paßmarken, Aufnahmebohrungen, etc. enthält, ergibt sich die Produktionsvorlage, die auf dem "Produktionszuschnitt" untergebracht wird. Der Produktionszuschnitt besteht üblicherweise aus den verpreßten Basismaterialien mit dem bereits fertigen Leiterbild auf den innenliegenden Kernen. Wenn ein Multilayer Buried Vias enthält, dann besteht der Produktionszuschnitt temporär aus einem teilfertigen Materialblock.

In den Produktionszuschnitt werden durch "Bohren" oder "Lasern" die erforderlichen Löcher eingebracht. Dem schließt sich der galvanotechnische Prozeß des Kontaktierens an. Der Dickenaufbau des notwendigen Hüsenkupfers erfolgt in einem Galvanoautomaten in einem kathodisch-anodischen Verfahren mit Hilfe eines elektrischen Feldes. Damit dieser Prozeß funktionieren kann, müssen die Dielektrika in der Hülse vorab jedoch elektrisch leitend werden, zum Beispiel durch eine Beschichtung mit Graphit (Bild 5-1).



Bild 5-1 Galvanotechnisches Metallisieren

Die für den Kontaktierungsprozeß benötigten chemischen Reagenzien werden in wäßriger Lösung in den Galvanobädern zur Verfügung gestellt. Die gebohrten Produktionszuschnitte werden in diese Bäder getaucht. Die Reagenzien müssen die Bohrhülsen für eine genau definierte Zeit durchfluten, damit die Chemie wirken kann. Anschließend müssen die Reagenzien genauso definiert und rückstandsfrei wieder aus der Hülse herausgespült werden.

Das Durchfluten der Hülsen hängt ab von der Bewegung des Produktionszuschnittes im Bad, vor allem aber vom Lochdurchmesser (= Bohrdurchmesser) und von der Hülsenlänge (= Dicke der Leiterplatte oder des teilefertigen Materialblocks).

Notwendigkeit und Definition des AspektRatio

Ein Multilayer funktioniert ohne kontaktierte Bohrungen nicht. Das Kontaktierungskupfer hat aber einen noch weitergehenden Einfluß. FR4, das hauptsächlich eingesetzte Basismaterial, ist ein schlechter Wärmeleiter. Die Entwärmung einer Leiterplatte/Baugruppe findet primär über die Leiterbilder und das Hülsenkupfer statt.

Weiterhin muß die mechanische Stabilität der Leiterplatte berücksichtigt werden. Die Dicke des Hülsenkupfers vermindert die Z-Achsenausdehnung (= Gefahr der Delamination) und muß auf das mögliche Einpressen von Bauteilen (...Stifte, Bolzen, Nieten) abgestimmt sein.

Mit der Verkleinerung der Leiterbildgeometrien sind auch die Bohrdurchmesser verkleinert worden. Enddurchmesser von Vias von 200µm sind Standard geworden. Höherwertigere Baugruppen benötigen bereits Leiterplatten mit Enddurchmessern von Vias von 150µm oder von 100µm.

Wenn die Bohrdurchmesser kleiner werden, dann gewinnen die physikalischen Strömungsverhältnisse im Galvanobad an Bedeutung. Der Kapillareffekt und die Oberflächenspannung des Wassers und/oder der eingesetzten chemischen Lösungen beeinträchtigen die Durchflutung der Hülsen.

Da die Leiterplatte/Baugruppe zuverlässig funktionieren muß, ist für den CAD-Designer die *vorausschauende* Aussage wichtig, unter welchen Bedingungen Mängel in der Kupferbelegung der Hülse zu erwarten sind, oder anders gesagt, unter welchen Bedingungen die Produktionssicherheit hoch ist.

Erst dann kann für das CAD-Design die minimal mögliche Geometrie von Bohrungen festgelegt werden.

Somit gibt es offensichtlich einen Zusammenhang zwischen dem Durchmesser einer Bohrung und der kontaktierbaren Tiefe dieser Bohrung.

Historisch vereinfacht wurde dieser Zusammenhang als eine mathematische Relation (...i.e. Verhältnis (= engl.: "Aspect-Ratio")) definiert (Bild 5-2) :

$$\text{AspektRatio} = \text{Bohrwerkzeugdurchmesser } [\mu\text{m}] : \text{Kontaktierbare Bohrtiefe } [\mu\text{m}]$$

Ist das AspektRatio bekannt, dann kann mit diesem Ansatz gerechnet werden. Nun ist das jedoch nicht ganz so einfach, weil das AspektRatio einerseits von der Qualität der Galvanoanlage des

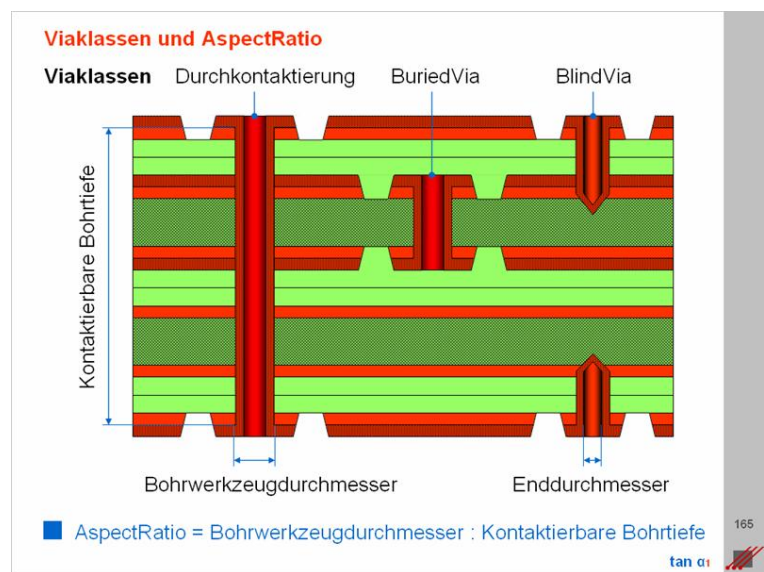


Bild 5-2 Formulierung des AspektRatio

jeweiligen Leiterplattenherstellers abhängt. Und andererseits, weil das AspektRatio nicht für alle Bohrklassen identisch ist.

Bei DK-Bohrungen (= durchkontaktierte Bohrungen und Buried Vias) kann die Bohrhülse mit Chemie *durchflutet* werden. Ein üblicher Wert für das AspektRatio von DK-Bohrungen liegt hier bei 1:8. Bei Blind Vias muß die Chemie *vorwärts* in die Hülse eingebracht und *rückwärts* wieder entfernt werden. Ein üblicher Wert für Blind Vias liegt hier bei 1:1.

Bei einem AspektRatio von 1:8 ergibt sich für DK-Bohrungen nach der obigen Definition der Ansatz :

$$1 : 8 = \text{Bohrwerkzeugdurchmesser } [\mu\text{m}] : \text{Kontaktierbare Bohrtiefe } [\mu\text{m}]$$

Die Multiplikation beider Seiten der Gleichung mit "Kontaktierbare Bohrtiefe [μm]" ergibt :

$$(G1) \quad \text{Bohrwerkzeugdurchmesser } [\mu\text{m}] = \text{Kontaktierbare Bohrtiefe } [\mu\text{m}] : 8$$

Also ergibt sich für das vorgegebene AspektRatio der kleinste mögliche Bohrwerkzeugdurchmesser, wenn die Kontaktierbare Bohrtiefe durch 8 dividiert wird. Demzufolge wird hier eine *Minimalbedingung* beschrieben.

Beispiel :

Nehmen wir mal an, für eine zu kontaktierende Leiterplatte mit der klassischen Enddicke von 1.6mm (= 1600 μm) soll der kleinste Bohrwerkzeugdurchmesser ermittelt werden.

Durch Einsetzen in die Gleichung (G1) ergibt sich :

$$\text{Bohrwerkzeugdurchmesser } [\mu\text{m}] = 1600 [\mu\text{m}] : 8 = 200 [\mu\text{m}]$$

Damit ist also 200 [μm] bei einem AspektRatio von 1:8 der kleinste Bohrwerkzeugdurchmesser.

Nun kann die Gleichung für die Definition des AspektRatios aber auch nach der „Kontaktierbaren Bohrtiefe [μm]“ aufgelöst werden. Es ergibt sich dann :

$$(G2) \quad \text{Kontaktierbare Bohrtiefe } [\mu\text{m}] = \text{Bohrwerkzeugdurchmesser } [\mu\text{m}] \times 8$$

Also ergibt sich die größte mögliche Kontaktierbare Bohrtiefe, wenn der Bohrwerkzeugdurchmesser mit 8 multipliziert wird. Hier wird eine *Maximalbedingung* beschrieben.

Beispiel :

Nehmen wir mal an, die maximal Kontaktierbare Leiterplattendicke (= Länge der DK-Bohrung) für einen Bohrwerkzeugdurchmesser von 150 [μm] soll ermittelt werden.

Durch Einsetzen in die Gleichung (G2) ergibt sich :

$$\text{Kontaktierbare Bohrtiefe } [\mu\text{m}] = 150 [\mu\text{m}] \times 8 = 1200 [\mu\text{m}]$$

Somit ist bei einem AspektRatio von 1:8 die *maximal* zuverlässig kontaktierbare Leiterplattendicke 1200 [μm].

Die gleichen Berechnungsverfahren gelten auch für Blind Vias. Ein AspektRatio von 1:1 (...gekürzt "1") führt dabei zu einem überschaubaren Ansatz:

$$(G3) \quad 1 = \text{Kontaktierbare Bohrtiefe } [\mu\text{m}] : \text{Bohrwerkzeugdurchmesser } [\mu\text{m}]$$

Multiplizieren beider Seiten mit "Bohrwerkzeugdurchmesser [μm]" ergibt, daß folgendes gilt:

$$\text{Bohrwerkzeugdurchmesser } [\mu\text{m}] = \text{Kontaktierbare Bohrtiefe } [\mu\text{m}]$$

Auch hier ein Beispiel :

Ein Blind Via, das mit einem Bohrwerkzeug von 200 [μm] gebohrt wurde, ist somit bis zu einer Tiefe von ebenfalls 200 [μm] zuverlässig kontaktierbar.

Das klingt einfach und unkompliziert. Es handelt sich bei AspektRatios von 1:8 oder 1:7 oder 1:6 allerdings zweifelsfrei um Vereinfachungen, damit auch die Berechnungen auf der Seite des CAD-Designers und/oder des CAM-Bearbeiters einfach sind.

Die Realität der Praxis hat diese Vereinfachung jetzt eingeholt. Bei Leiterplatten in MFT-Technologie (= **Micro-Fineline-Technology**) muß man sich in die Grenzbereichen der Leiterplattentechnologie vorwagen.

Ergo müssen dann die *tatsächlichen* AspektRatios für eine Berechnung herangezogen werden und dann bleibt es nicht mehr bei 1:1 sondern bei beispielsweise 1:1.13 (... für BlindVias) oder bei 1:8.5 (... für DK-Bohrungen).

Bohrwerkzeugdurchmesser versus CAD-Bohrdurchmesser

Der Ausdruck "Tool" bei der Dokumentation der Bohrlgende im Zuge des CAD-Postprozesses wird irrtümlicherweise als "Bohrwerkzeug" interpretiert. Gemeint ist jedoch der *Enddurchmesser* der Bohrung auf der fertigen Leiterplatte.

Würde der Leiterplattenhersteller mit dem unter "Tool" notierten Durchmesser bohren, dann wäre der Enddurchmesser zu klein. Das Metallisieren der Viahülse (= umlaufend 25 μm Kupfer) und das Aufbringen der Endoberfläche (= umlaufend maximal 20 μm für HAL) verkleinern den Enddurchmesser um aufgerundet zirka 100 μm .

Die automatische Bestückung bedrahteter Bauteile kann dann zu einem Problem werden. Es hat sich deshalb eingebürgert, auf das "Tool" einen pauschalen Zuschlag von 100 μm zu geben. Der so ermittelte Wert ist dann der effektive Durchmesser für das Bohrwerkzeug.

Kollisionen

Bedauerlicherweise ist die Praxis uneinheitlicher. Der Materialbezug des AspektRatios ist auf FR4 ausgelegt, im Grenzbereich gelten für andere Materialien abweichende Werte.

Nicht jeder Leiterplattenhersteller gibt einen Zuschlag von 100 μm auf Vias. Manche schlagen auch nur 75 μm oder 50 μm zu. Das erschwert die zuverlässige Vorberechnung der Kupfervolumina.

Weil inzwischen auch Bohrwerkzeuge von 100 μm Durchmesser verfügbar sind, ergibt sich die kuriose Situation, daß der Einsatz dieses Bohrwerkzeuges nur dann erfolgt, wenn am CAD-System ein Enddurchmesser von 100 μm - 100 μm (wg. Zugabe) = 0 μm definiert wird.

Bei impedanzdefinierten Leiterplatten müssen für die klassischen Werte von 50 Ohm Single Ended und/oder 100 Ohm differentiell relativ große Lagenabstände von 120 μm bis 150 μm gewählt werden. Die Anzahl der mit einem Blind Via noch erreichbaren Lagen wird dadurch reduziert.

Um mehr Lagen mit einem Blind Via zu erreichen, müßte der Blind-Via-Durchmesser zunehmen. Das verschlechtert aber die geometrischen Rahmenbedingungen für das kompakte Routing hochdichter Bauteile (i.e. BGA).

Aus dem AspektRatio kann sich eine ganze *Kaskade an Schlußfolgerungen* ergeben. Betrachten wir als Beispiel die CAD-Arbeit an einem 8-Multilayer mit folgenden Vorgaben : Die Leiterbahnbreite und der Leiterbahnabstand sollen mit 100µm vorgegeben sein. Die Gesamtdicke ist 1.6mm. Das Via hat einen Enddurchmesser von 200µm. Der Leiterplattenhersteller kann ein AspektRatio von 1:8 zuverlässig produzieren.

Nehmen wir mal an, daß sich während des Layoutens ergibt, daß 2 weitere Lagen benötigt werden. Nehmen wir weiter an, daß sich die Dicke des Multilayers dadurch um 0.2mm auf 1.8mm verändert.

Bei einem AspektRatio von 1:8 muß dann der Via-Enddurchmesser von 200µm auf 250µm erhöht werden (...das rechnerisch ermittelte Werkzeug von 225µm ist nicht verfügbar). In Folge erhöht sich der Durchmesser der Viapads um 50µm. Dadurch reduziert sich aber der elektrische Sicherheitsabstand zu bereits gerouteten Vias und Leiterbahnen von 100µm auf 75µm. In Folge muß der minimale

Mittenabstand benachbarter Vias erhöht werden. Und das bedeutet ein umfangreiches Neurouting bereits fertiger Leiterbilder inklusive der notwendigen Verschiebung bereits platzierter Bauteile.

Hinweis

Das AspektRatio für einen Bohrungstyp ist für den CAD-Layer eine unverzichtbare Kenngröße für die Konstruktion eines Multilayersystems.

Die Kontaktierungsstrategie muß Teil der Multilayer-Dokumentation sein. Lassen Sie sich Ihren Aufbau *vor* Beginn der CAD-Arbeit vom Leiterplattenhersteller Ihres Vertrauens bestätigen, bei dem Sie Ihre Prototypen und Vorserien beziehen.

Klären Sie im Vorfeld jedoch auch bereits das AspektRatio Ihres Serienherstellers ab.

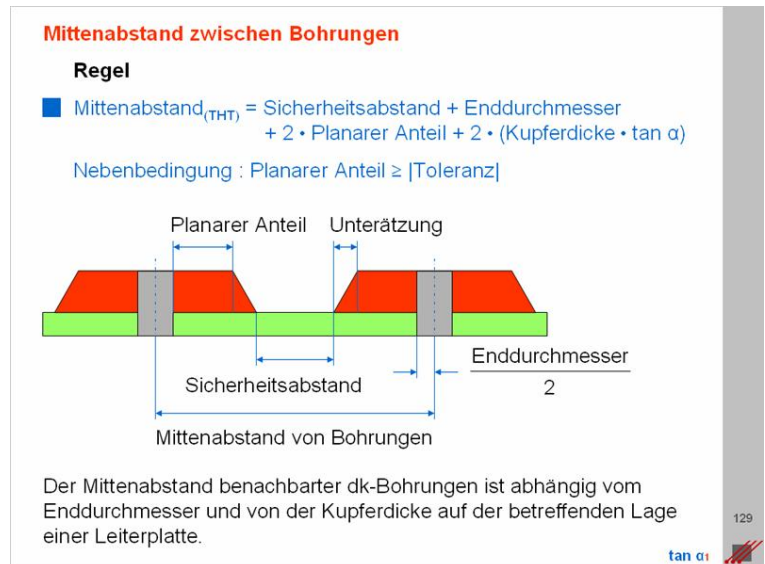


Bild 5-3 Der Einfluß des AspektRatios auf den Mittenabstand von Vias

6. Kapitel / Jennifer Vincenz

CAD-Dokumentation: Nur eine lästige Pflicht?

Der Einfluß der Design-Dokumentation auf die Produktqualität

Ohne Dokumentation ist alles nichts

Ich geb's ja zu, auch ich bin nicht unbedingt begeistert von der zunehmenden Fülle an nötiger Dokumentation. Aber jammern und klagen hilft nichts. Ohne eine vollständige Dokumentation wird es innerhalb der Produktionskette aller Wahrscheinlichkeit nach zu Fehlern, mindestens aber zu Verzögerungen, kommen. "Hurra, das Design ist fertig, flugs ein paar Gerberdaten ausgegeben und ab damit auf den Server des Einkaufs" ist eine - leider - immer noch häufig anzutreffende Praxis in vielen Unternehmen und vielfach wird verkannt, welchen Kosten eine solche Vorgehensweise verursachen kann.

Die Dokumentation am CAD-Arbeitsplatz ist vielschichtig. Recht offensichtlich ist noch die Forderung, die Mechanik der Leiterplatte, der Baugruppe oder des Gerätes zu dokumentieren.

Aber was ist eigentlich für eine vollständige Fertigungsdokumentation nötig? Wer benötigt in der Prozeßkette welche Daten? Wie werden Änderungen dokumentiert?

Wo genau beginnt eigentlich die Dokumentation?

Basisdokumentation

Um diese Fragen zu beantworten, müssen wir uns die gesamte Prozeßkette vor Augen führen. Im Prinzip beginnt Dokumentation mit den ersten Gesprächen für eine Produktentwicklung. Absprachen, Festlegung von Meilensteinen, Entscheidungen und Entscheidungsträger sollten protokolliert und damit auch dokumentiert sein.

In jedem Fall müssen die grundsätzlichen Anforderungen an die Leiterplatte und die Baugruppe dokumentiert werden. Das sind der Einsatz- und Temperaturbereich für den Betrieb des Gerätes und die Anforderungen an Störfestigkeit, Abstrahlverhalten und elektrische Sicherheitsanforderungen.

Die nächsten Schritte in der Prozeßkette laufen häufig parallel ab: die drei Aktivitäten Schaltplanentwicklung, Bibliothekserstellung und Mechanik-Konstruktion führen zu Dokumenten, die sinnvollerweise im CAD-Design zusammengeführt werden. Für die verschiedenen Aufgabenstellungen, zumindest, was die Mechanik-Konstruktion, die Schaltplanerstellung und die Bibliotheksarbeit betrifft, werden meist unterschiedliche Tools verwendet. Das birgt zwangsläufig in sich die Notwendigkeit, die Ausgabeformate abzustimmen, um eine fehlerfreie Weiterverarbeitung der Informationen sicherzustellen.

Die Bibliothek sollte in jedem Fall intern dokumentiert werden. Dies kann innerhalb des EDA-Tools beispielsweise mit Attributen oder Kommentaren geschehen, die das Datum der Erstellung, den Bearbeiter und den Prüf- und Freigabestatus dokumentieren.

Zusätzlich bietet sich eine Listenausgabe aller freigegebenen Bauteile an. Außerdem bieten manche Software-Tools die Ausgabe eines Bibliotheks-Datenblatts an, das alle relevanten Informationen des Bibliothekselements, wie Part- oder Bauteilbezeichnung, Schaltplan-Symbol, Footprints und ähnliches ausweist (Bild 6-1).

Für Dienstleister kann es nötig sein, die Bibliothek auch dem Kunden gegenüber zu dokumentieren. Im Umkehrschluß sollte auch eine vom Kunden übernommene Bibliothek dokumentiert sein.

C:\Users\Public\Documents\Pulsonix\Tecnotron\Libraries\BeispielLib\BeispielLibrary1.pal


M74HC4060M1R

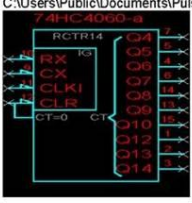
Description : COUNTER
 Part Family : 74/74HC/74HC4060
 Name Stem : U
 Pin Count : 16

Attributes

Category : Logic/Counter
 <3D Package> : SOIC
 <Component Height> : 2.5mm
 <Hyperlink> : C:\Datenblätter\IC\M74HC4060.pdf
 <Spice Device> : 4060
 <Spice Value> : 4060
 <Value-BBV> : M74HC4060M1R
 Bauform : SO16-150
 BestNrHersteller : M74HC4060M1R
 BestNrIntern : 302-016-0001
 Hersteller : ST
 LeistungMax : 0.5W
 SpannungACmax : n/a
 SpannungDCmax : 7V
 TempKoeffizient : n/a
 Toleranz : n/a
 Type : Counter

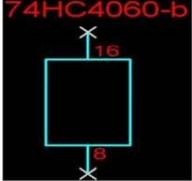
Footprint
 SOIC-16-150





Gate b Symbol "PowerBox2Pins"

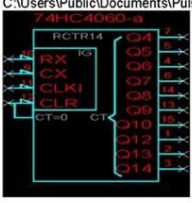
Terminal	Pin Name	Footprint Pin	Logic Name	Pin Swap
1	16	16	VCC	0
2	8	8	GND	0



Additional Pin Information

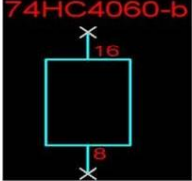
Footprint Pin	Net Name	Pin Type	Pin Network
1		Output	
2		Output	
3		Output	
4		Output	
5		Output	
6		Output	
7		Output	
8		Ground	
9		Output	
10		Output	
11		Input	
12		Input	
13		Output	
14		Output	
15		Output	
16		Power	

C:\Users\Public\Documents\Pulsonix\Tecnotron\Libraries\BeispielLib\BeispielLibrary1.pal



Gate b Symbol "PowerBox2Pins"

Terminal	Pin Name	Footprint Pin	Logic Name	Pin Swap
1	16	16	VCC	0
2	8	8	GND	0



Additional Pin Information

Footprint Pin	Net Name	Pin Type	Pin Network
1		Output	
2		Output	
3		Output	
4		Output	
5		Output	
6		Output	
7		Output	
8		Ground	
9		Output	
10		Output	
11		Input	
12		Input	
13		Output	
14		Output	
15		Output	
16		Power	

Bild 6-1 Bauteilbibliothek (Pulsonix) mit Angabe der Footprints, Gates und Pins

Für mechanische Konstruktionsunterlagen ist die Dokumentation im DXF-Format sowie als PDF-Datensatz üblich.

Nun mag sich der Eine oder Andere fragen: Warum eine Ausgabe in zwei Formaten? Ist das nicht "doppelt gemoppelt"? Nun, wenn wir davon ausgehen, daß nicht jeder, der nachfolgend in der Prozeßkette die Daten benötigt, das gleiche Tool zur Verfügung hat, dann werden diese Daten aller Voraussicht nach in ein anderes Tool importiert werden. Ein Datenimport ist aber auch immer eine Form von Konvertierung und dann ist eine Fehlinterpretation nie ganz auszuschließen. Somit ist es hilfreich, wenn die Daten zusätzlich in einer druckbaren Version vorliegen (...die natürlich vom Ersteller des Datensatzes geprüft sein sollte).

Wichtig sind die Angabe der Referenzmaße, z.B. auf die Außenkontur der Leiterplatte, und die Angaben über geforderte Toleranzen.

Dies gilt im gleichen Maße für die Schaltpläne. Auch diese sollten grundsätzlich zu allen elektronisch austauschbaren Formaten immer auch als PDF ausgegeben werden.

Zusätze und Links

Besonderheiten, wie beispielsweise eine definierte Impedanz für bestimmte Signale, sollten grundsätzlich als Texthinweis an den betreffenden Signalen im Schaltplan eingefügt sein.

Es kann nicht grundsätzlich davon ausgegangen werden, daß entsprechende Attribute oder sonstige dem Signal zugefügte Eigenschaften bei der Konvertierung durch ein anderes Tool übernommen werden.

Heutige EDA-Tools zur Schaltplanerfassung können üblicherweise sogenannte "intelligente" - auch "searchable" (= durchsuchbare) genannte - PDF-Files erzeugen. In diesen kann über die Suchmaske des PDF-Viewers nach Texten, beispielsweise Bauteilnamen, gesucht werden.

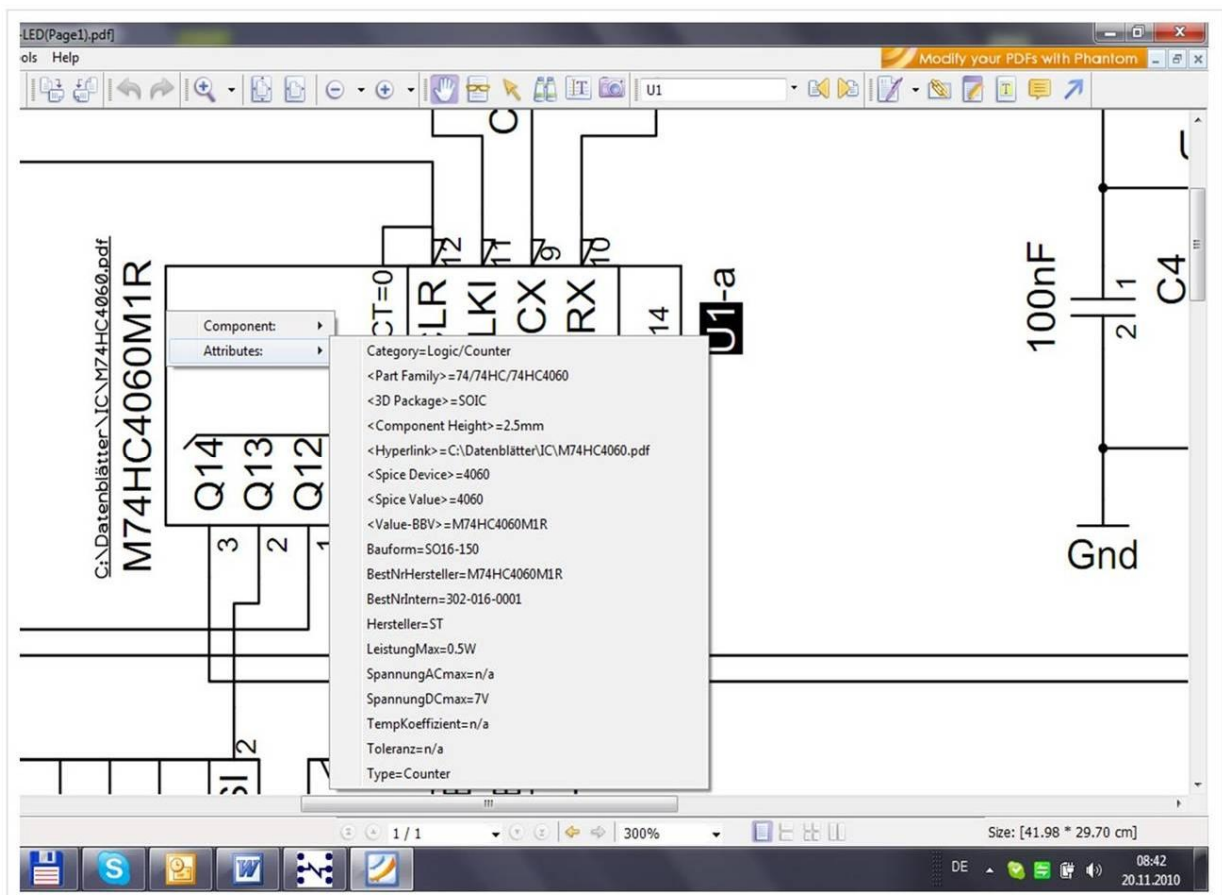


Bild 6-2 Schaltplanausgabe in PDF mit eingebundenen Links

Auch die Einarbeitung von Hyperlinks ist heute möglich. Auf diese Art und Weise können Datenblätter, Hinweise oder Handlungsanweisungen im Schaltplan hinterlegt werden und auch diese sind im PDF-Datensatz "klickbar" (Bild 6-2).

Multilayerlagenaufbau

Aus dem Schaltplan entsteht die Stückliste für die Bauteilbeschaffung. Die Stückliste muss alle zu beschaffenden Teile, also auch Sockel, Kühlkörper, Halter, Schrauben, Unterlegscheiben und ähnliches enthalten.

Elementar ist die Dokumentation des physikalischen Aufbaus der Leiterplatte. Dazu reicht es bei Weitem nicht mehr aus, lediglich die Lagenzahl und die Enddicke der Leiterplatte anzugeben. Heute müssen für einen Multilayeraufbau die Materialien explizit beschrieben sein. Auch die Angabe "FR4" ist nicht mehr ausreichend, da es FR4-Materialien mit unterschiedlichen elektrischen und mechanischen Eigenschaften gibt. So haben beispielsweise der Harzgehalt und das Harzsystem einen Einfluß auf die Impedanz der Leitungen und müssen daher definiert und dokumentiert werden. FR4-Materialien mit unterschiedlichen Füllstoffen haben unterschiedliche Ausdehnungskoeffizienten und beeinflussen damit - speziell während des Lötprozesses - die mechanische Stabilität der Leiterplatte.

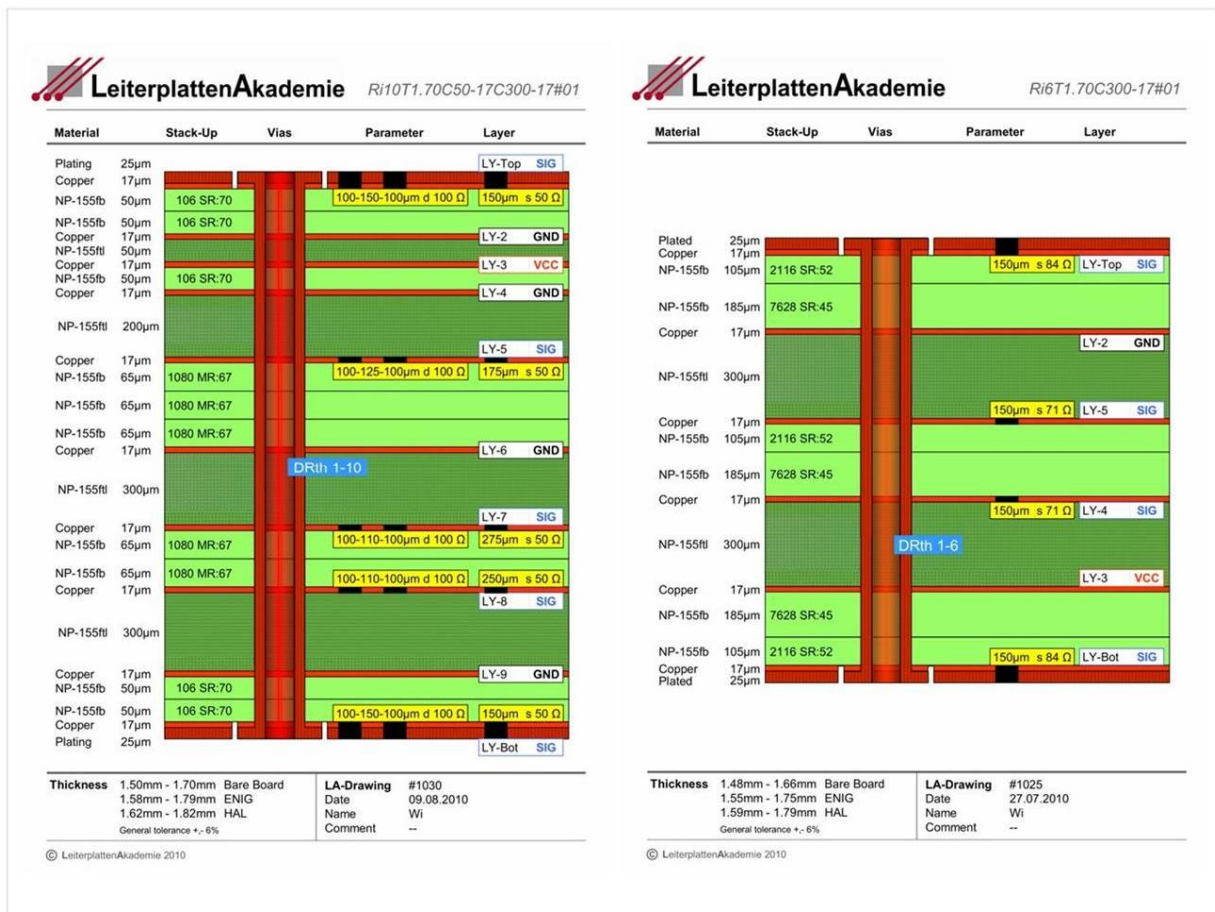


Bild 6-3 Dokumentation von Multilayerlagenaufbauten

Die dielektrischen Abstände zwischen den einzelnen Lagen müssen ebenso beschrieben sein, wie die Zuordnung der Datensätze zur jeweiligen Lagenposition im Multilayeraufbau und die Kupferdicken der elektrischen Lagen.

Besondere Eigenschaften einzelner Lagen (z.B. eine geforderte Impedanz) oder eines Funktionsmoduls in einem Multilayer (z.B. eine kapazitiv aufgebaute Stromversorgung oder ein komplexes MultiPowerSystem) müssen ebenfalls dokumentiert werden.

Zusätzlich ist die Angabe der Kontaktierungsstrategie für die Produktion der Leiterplatte notwendig (Bild 6-3).

Standardformate

Zur Mindestdokumentation einer Leiterplatte gehören neben dem Multilayeraufbau und den Fertigungsdaten auch Bohrpläne, am besten kombiniert mit dem Umschnittmaßplan.

Als Format sollte Extended-Gerber (RS-274X) bevorzugt werden. Die dazugehörigen Bohrdaten (...und in Abstimmung mit dem Leiterplattenhersteller auch Fräsdaten) werden im Extended-Excellon-Format mit Heider ausgegeben.

Die Fertigungsdaten für Leiterplatten werden üblicherweise im Extended-Gerber-Format (RS-274X) ausgegeben. Außer den elektrischen Lagen beinhaltet das auch die Vorlagen für alle Drucke. Zu nennen sind hier Lötstoplack, Bestückungsdruck, Abziehlack, Heatsinkpaste und Carbonlack.

Die Daten für Coverlays und Lotpastenschablonen zählen ebenfalls dazu.

Lotpastenschablonen gehören auch zur Dokumentation für die Bestückung der Baugruppe.

Es wird empfohlen, zu Kontrollzwecken auch in diesem Fall alle Lagen zusätzlich als PDF-Datei auszugeben.

Baugruppenproduktion

Für die Bestückung der Leiterplatte sind Bestückungspläne unverzichtbar. Diese müssen außer der Kennung für die Referenz (...Bauteilreferenz, Component Name, z.B. "R12") die Lage des Bauteils anzeigen und für gepolte Bauteile die Polung eindeutig darstellen.

Leiterplattenspezifikation				Leiterplattenspezifikation			
Projekt-Nummer		XXX9B000		Erstellt		11.02.2009 / jvi	
Anfragedaten		Bestelldaten		X			
Kunde	Muster GmbH			Abteilung	R&D		
Ansprechpartner	Herr Mustermann		Lieferanschrift		Muster GmbH, Werk 1, Goethe-Str. 1-10		
PLZ/Ort	12345 Musterstadt			Rechnungsanschrift	Muster GmbH, FiBu, Postfach 1234		
PLZ/Ort	54321 Anderestadt			Bestell-Nummer	Ae 45454545-333		
Platinenspezifikation							
Platinenbezeichnung	(Projektname o. Nummer) 998877-66			Revision	1.0		
Zeichnungsnummer	998877-66.01		Layout-Typ	SMD-Ferleiter			
CAD-Layout-Nummer	XXX9B000		Lagen	8 Lagen ML			
Multilayer-Bautyp	R18.40C50-17C600-17#0 I(#1024)						
Basis-Material	nach ML-Bauanweisung		End-Material	FR4 1.500mm 35µm			
Anzahl Bohrungen	353		Anzahl SMD	348			
Kontur/Ausfräsungen	--- cm		Standard-Programm	rechteckig ja			
Ritzen	--- cm		NDK-Bohrungen > 6mm	nein			
Oberflächenveredelung	Zinn (Chemisch)		Steckerleistenvergoldung	nein			
Lötstoplack	doppelseitig		Farbe	grün			
Bestückungsdruck	doppelseitig		Farbe	weiß			
Abziehlack	ohne		Farbe	---			
Viadruck	ohne		Farbe	---			
Carbonlack	ohne		Heatsink	ohne			
Coverlay	ohne		Impedanzprüfung	2 Coupons pro Panel			
Elektronische Prüfung	doppelseitig		SMD-Adapter	ja			
Platinenmaß (Einzelplatte)	45 x 90 mm						
Liefermützen	10-fach		Liefermaß	210 x 285 mm			
Anzahl Musterplatten	20		Entspricht Anzahl Liefermützen	2			
Liefertermine							
Leiterplatten	Do. 12. 2. 2009 / KW 7		Bestückt	Fr. 25. 3. 2009 / KW 13			
Bestücken Anliefern	Fr. 20. 2. 2009 / KW 8		Firma	Assemblyman			
Besonderheiten							
UL-Logo	ja		Kundenlogo	vorhanden		Kalenderwoche	ja
Info-Text (T)	UL-Logo in vorgegebenes Feld auf LS einbringen: siehe Zeichnung! Fertigung nach IPC-Class 2. ROHS-Konform						
Projekt-Nummer		XXX9B000					
Daten per email	x		Daten auf CD-ROM				
File-Name	Format		Bemerkung				
XXX9B000.pdf	PDF		Alle Gerberfiles als PDF				
XXX9B000.MIT	ASCII		Bauteil-Mittelpunkt-Koordinaten (Mein-Format)				
XXX9B000-MIT.XLS	Excel		Bauteil-Mittelpunkt-Koordinaten				
XXX9B000.NET	ASCII		CAD-Netzliste PADs ASCII				
XXX9B000-IPC.NET	IPC-D-356		Netzliste Bare Board Test IPC-D-356				
XXX9B000.CAD	GenCad		Netzliste ICT GenCAD				
XXX9B000-DOKU.DOC	MS-Word-Dokument		diese Datei				
Bohrdaten / Mechanik							
File-Name	Format		Bemerkung				
Bohr- und Umschnittdaten							
XXX9B000.DRI-TH	Excellon		Bohrdaten in Excellon 3.3 metrisch				
XXX9B000.UM	Gerber-RS274X		Umschnittmaßplan (outline + measures)				
XXX9B000.DR-Plan	Gerber-RS274X		Umschnitt + Bohrungen in Gerber (outline + drills)				
Sonderlayer / Servicedrucke							
XXX9B000.BBR	Gerber-RS274X		Bestückungsplan BS/Bauteilreferenz (assembly plan TOP/reference)				
XXX9B000.BBV	Gerber-RS274X		Bestückungsplan BS/Bauteilwert (assembly plan TOP/values)				
XXX9B000.BLR	Gerber-RS274X		Bestückungsplan LS/Bauteilreferenz (assembly plan BOT/reference)				
XXX9B000.BLV	Gerber-RS274X		Bestückungsplan LS/Bauteilwert (assembly plan BOT/values)				
XXX9B000.PST-BOT	Gerber-RS274X		Lotpastendruck BS (Solderpaste TOP)				
XXX9B000.PST-TOP	Gerber-RS274X		Lotpastendruck LS (Solderpaste BOT)				
XXX9B000-MIT.CSV	Gerber-RS274X		Bauteilkoordinaten/Mittelfile (Component Coordinates) CSV-Format				

Bild 6-4 Beispiel für eine Leiterplattenspezifikation (...Auszug)

Außerdem muß die Art, beziehungsweise der Wert des Bauteils angegeben sein (z.B. "74HCT00" oder "100R_1%").

Für die Maschinenbestückung werden die Koordinaten der Bauteilmittelpunkte ausgegeben, entweder als ASCII-File oder als Excel-Datei. Die zentralen Informationen in dieser Liste sind die Art des Bauteils, die Koordinatenposition und die Drehrichtung. Die Kennung für die Bauteilreferenz, der sogenannte "Referenzbezeichner", ist für den Bestückungsautomaten nicht relevant.

Schlußendlich sind für den Test der Leiterplatte und/oder der Baugruppe Netzlisten oder Testfiles nötig. Oft werden diese Daten vom Leiterplattenhersteller oder vom Baugruppenproduzenten bzw. vom Testhaus aus den bereitgestellten Gerberdaten erzeugt.

Eine Ausgabe aus dem Leiterplattendesign ist wünschenswert, Formate und Syntax bedürfen jedoch meist der Absprache. So ist beispielsweise die elektrische Verbindungsliste (enthält die Information "IC1 Pin 1 ist mit R25 Pin verbunden") für den elektrischen Test der Leiterplatte ohne Nutzen, da hier die Information "Koordinatenposition ,X1Y1' ist mit Koordinatenposition ,X2Y2' verbunden" benötigt wird.

Die Dokumentation des Designs umfaßt also mindestens die Ausgangsunterlagen, die dem Designer zur Verfügung gestellt wurden, die damit verbundenen Absprachen und Entscheidungen, sowie die Datenausgaben für die Produktion der Leiterplatte und der Baugruppe. Dazu kommen noch die Spezifikationen der Leiterplatte und der Baugruppe, die sämtliche für den Hersteller der Leiterplatte beziehungsweise Baugruppe relevanten Informationen beinhalten (Bild 6-4).

Auf allen Dokumenten müssen mindestens die Bezeichnung der Baugruppe/Leiterplatte und der Revisionsstand sowie der Bearbeiter angegeben sein.

Dokumentenverteiler

Häufig stellt sich im Unternehmen die Frage, wer welche Dokumente zur Verfügung gestellt bekommt, da oftmals aus Sicherheitsgründen nicht jedem Beteiligten in der Prozeßkette alle Informationen zum Produkt offengelegt werden sollen.

Manchmal führt diese Einschränkung jedoch zu einer nicht ausreichenden Dokumentation für einzelne Beteiligte der Prozeßkette.

So wird beispielsweise dem Baugruppenproduzenten oft der Multilayerbauplan nicht beigelegt, da noch vielfach die Meinung herrscht, "das müsse der gar nicht wissen". Tatsächlich ist der Multilayeraufbau jedoch von elementarem Informationswert für den Baugruppenproduzenten. Nur mit Kenntnis des genauen Aufbaus und der Lagenverteilung (...wie viele Powerplanes hat das Layout und wo liegen diese, welche Kupferdicken gibt es auf den einzelnen Lagen) kann bereits im Vorfeld der Baugruppenproduktion eine Annäherung an das korrekte Lötprofil erfolgen.

Ohne diese Information ist es wahrscheinlich, daß das Lötprofil durch aufwendige Verfahren, wie Probelötungen mit Meßsonden, in einer Art "Try And Error"-Prozeß ermittelt werden muß.

In der nachfolgenden Tabelle ist exemplarisch eine Verteilung der Dokumente dargestellt. Der "Auftraggeber" kann hierbei entweder tatsächlich als externer Auftraggeber eines Dienstleisters verstanden werden, jedoch ebenso als die beauftragende Stelle innerhalb eines Unternehmens.

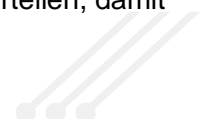


Dokument	Auftraggeber	Intern Design	Leiterplattenhersteller	Baugruppenproduzent	Baugruppentest	Beispiel Formate
Produktdefinition, Beschreibung	X	X		X		Text
Absprachen	X	X				Text
Entscheidungen	X	X				Text
Bibliothek	Nach Absprache	X				EDA-System abhängig, Graphisch mit Texterläuterung
Mechanik, Gehäusekonstruktion	X	X				DXF, PDF
Schaltplan	X	X				EDA-System abhängig, zusätzlich PDF
Stückliste/BOM	X	X		X	Nach Absprache	ASCII, Excel
Verbindungsliste des Schaltplans	X	X			Nach Absprache	ASCII
Multilayerbauplan	X	X	X	X	X	Graphische Darstellung, Excel
PCB-Designfile	Nach Absprache	X			Nach Absprache	EDA-System abhängig
Elektrische Lagen	X	X	X	X	X	Gerber, ODB++, zusätzlich PDF
Bohrdaten, Fräsdaten	X	X	X			Excellon oder Sieb&Meyer
Druckmasken (Lötstop, etc...)	X	X	X	Nach Absprache	Nach Absprache	Gerber, ODB++, zusätzlich PDF
Lotpastenvorlage	X	X	X	X		Gerber, ODB++, zusätzlich PDF
Bohrplan, Umschnittmaßplan	X	X	X	X		Gerber, ODB++, zusätzlich PDF
Besondere Verfahrenshinweise	X	X	X	X		Text, Gerber, ODB++, zusätzlich PDF
Bauteil-Koordinaten	X	X		X	Nach Absprache	ASCII, Excel
Bestückungspläne	X	X		X		Gerber, ODB++, zusätzlich PDF
Testfiles	X	X		X	X	ASCII

Hinweis

Eine akribische Dokumentation des Designs ist nötig. Von dieser Pflicht kann der Designer nicht entbunden werden. Alle Dokumente müssen mit dem Design archiviert werden.

Es ist unerlässlich, ausreichende Informationen an alle Beteiligten der Prozesskette zu verteilen, damit das Produkt fehlerfrei hergestellt werden kann.



7.1 Kapitel / Rainer Taube

Anforderungen an Anschlußflächen (Lötflächen) auf Leiterplatten Teil 1

Vorwort

Die Vielfältigkeit der Anforderungen an das Leiterplattendesign findet zunehmend ihren Ausdruck in unzähligen "Design for ..." Schlagworten, von denen, aus nicht immer nachvollziehbaren Ursachen, mal das eine, mal das andere mehr im Zentrum der Aufmerksamkeit steht.

"Design for Manufacturing" oder "Design for Manufacturability" (DFM) gehört sicherlich zu den am häufigsten genannten, weil man im Laufe der Zeit erkannt hat, daß neben der Entwicklung der Funktionalität der elektronischen Baugruppe die Berücksichtigung und Planung der Fertigbarkeit bereits während des Designprozesses einen wesentlichen Einfluß auf die Produktqualität und die Herstellkosten des Produktes hat.

Aber auch DFM ist ein weites Feld. Manchmal wird darunter nur die Herstellbarkeit der Leiterplatte verstanden, zunehmend fallen aber auch Aspekte der Baugruppenproduktion unter diesen Begriff. In einen umfassenden und kontrollierten Designprozeß müssen sowohl die Anforderungen der Leiterplattenherstellung wie auch die der Baugruppenproduktion einbezogen und umgesetzt werden.

Einer der wesentlichen Faktoren für zuverlässige und wirtschaftlich herstellbare Baugruppen sind optimale Anschlußflächen für die Lötung von Bauteilen auf die Leiterplatte.

Im aktuellen Beitrag soll zunächst näher auf die allgemeinen Anforderungen an Anschlußflächen eingegangen werden, die sich aus den Lötverfahren ergeben. Später, im Teil 2, werden dann Fehlerbilder, Lösungsansätze und die Anforderungen an Anschlußflächen für aktuelle Bauformen beschrieben, speziell die neuen Bauteile ohne ausgeformten Anschluß (BTC = Bottom Termination Components).

SMD-Anschlußflächen und Lötverfahren

Seit Einführung der SMD-Technik Anfang der 80er Jahre des vorigen Jahrhunderts, also vor ca. 30 Jahren, ist die Festlegung der richtigen Anschlußflächen auf Leiterplatten Gegenstand ständiger Diskussionen unter Leiterplattendesignern und zwischen Designern und Baugruppenproduzenten.

Oft können Designer die Auswirkungen von Anschlußflächen nicht richtig einschätzen, weil sie oft im Vorfeld nicht wissen, wo die Baugruppen produziert und wie die Baugruppen später gelötet werden sollen, oder, weil sie nur begrenzte Kenntnisse über die speziellen Anforderungen und Eigenarten der verschiedenen Lötverfahren besitzen.

Daher sind Designer oft gezwungen unkritisch auf die Bibliotheksdefinitionen von Bauteilherstellern und CAD-Systemen zurückzugreifen oder sie verlassen sich - in den letzten Jahren zunehmend - auf Anschlußflächendefinitionen in Normen wie IEC 61188-5-XX oder die 1999 erstmalig veröffentlichte IC-Richtlinie IPC-7351, teilweise sogar noch auf die inzwischen durch IPC-7351 abgelöste IPC-782, die, als sie in 1987 veröffentlicht wurde, ein erster Versuch war, Anforderungen an SMD-Anschlußflächen in Form einer Richtlinie zu veröffentlichen.



Alle diese Ansätze haben den Nachteil, daß sie bei der Anschlußflächendefinition wenig oder gar nicht auf die Eigenarten der Lötverfahren Rücksicht nehmen, sondern im Prinzip unter Berücksichtigung von Bauteil-, Leiterplattenfertigungs- und Platzierungstoleranzen von Bestückungsautomaten universelle Anschlußflächen beschreiben, die für alle Lötverfahren gelten sollen und die von vielen Designern auch so verwendet werden (Bild 7-1).

Sowohl bei IEC wie auch bei IPC werden je nach der verfügbaren Leiterplattenfläche die Anschlußflächen lediglich in Dichteklassen unterschieden, wodurch suggeriert wird, daß ohne weitere Konsequenzen bei ausreichend Platz auf der Leiterplatte die jeweils größeren Anschlußflächendefinitionen verwendet werden können.

Das kann jedoch, wie später noch gezeigt wird, insbesondere beim Reflowlöten fatale Folgen haben.

Hinzu kommt, daß in der Anfangszeit der SMD-Technik Wellenlöten das hauptsächlich eingesetzte Massenlötverfahren war, daß mit relativ großen Toleranzen gerechnet wurde, daß die Bauteilbauformen im Vergleich zu heute relativ groß waren und daß man auch davon ausging, daß die Lötstelle um so zuverlässiger ist, je größer das Lotvolumen in der Lötstelle ist.

Dieser Ansatz führte insbesondere bei den immer kleiner werdenden Bauteilen, mit denen wir es heute zu tun haben, zunehmend zu Problemen bei der Baugruppenfertigung. Daher ist es wichtig, daß der Leiterplattendesigner die Eigenarten der Lötverfahren kennt und bereits während des Leiterplattendesigns das Lötverfahren festlegt und für das jeweils festgelegte Lötverfahren die optimale Anschlußflächen auch im CAD-Design einsetzt.

Anforderungen der Massendlötverfahren an die SMD-Anschlußflächen

Grundlegender Unterschied bei allen SMD-Massendlötverfahren ist, ob die Bauteile durch Kleber vor dem Lötens fixiert werden oder ob sie während des Lötens frei beweglich auf dem Lot aufschwimmen. Ersteres ist bei allen Wellenlötverfahren der Fall, letzteres bei allen Aufschmelzlötverfahren (...also beim Reflowlöten).

Über diesen grundlegenden Unterschied hinaus haben alle Varianten dieser Verfahren Eigenarten, z.B. aufgrund des vorhandenen Lotvolumens und der prozeßbedingten Wärmekapazität, die weitere Anforderungen hinsichtlich optimaler Anschlußflächen nach sich ziehen.

Die üblichen Lötverfahren sind nachfolgend erläutert.

1. Wellenlöten

Beim Wellenlöten werden vor dem Lötprozeß alle **SMD-Bauteile** durch Kleber **fixiert**.

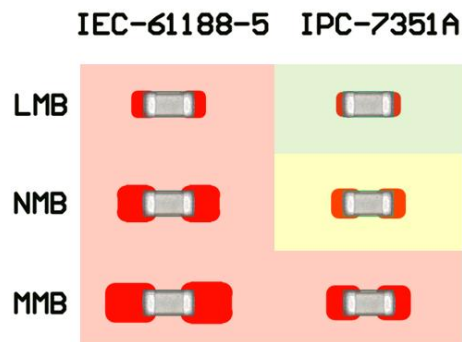


Bild 7.1-1 Vergleich von IEC 61188-5 und IPC-7351 Anschlußflächen für G0402 - Nur die Variante LMB aus IPC-7351A ist für das Reflowlöten brauchbar

Daher besteht im Gegensatz zum Reflowlöten bei korrekter Dosierung und Aushärtung des Fixierklebers kein Risiko für Verdrehungen und für das Aufstellen von Bauteilen (Tombstoning) während des Lötprozesses.

Im Gegensatz zum Reflowlöten wird darüber hinaus das Lotvolumen durch die Lötwellen zugeführt (Bild 7-2).

Das Lotvolumen und auch die Wärmekapazität sind nahezu unendlich im Vergleich zum Lotbedarf der einzelnen Lötstelle. Es besteht also kein Risiko, daß der Prozeß nicht genügend Lot für die geforderte Lötstelle zur Verfügung stellt.

Die Probleme beim Wellenlöten entstehen im Gegensatz dadurch, daß die Bauteile komplett in das Lotbad eingetaucht werden und daß durch Lotüberschuß Brücken zwischen benachbarten Anschlüssen entstehen. Deshalb lassen sich Bauteile mit Bauformen < G0603 und < Pitch 1.27mm nicht problemlos wellenlöten.



Bild 7.1-2 Vergleich von IEC 61188-5 und IPC-7351 Anschlußflächen für G0402 - Nur die Variante LMB aus IPC-7351A ist für das Reflowlöten brauchbar

Die Größe der Anschlußfläche ist insofern kritisch, als Bauteilanschluß und/oder Anschlußfläche durch die Lötstelle erreicht werden müssen - deshalb müssen Anschlußflächen und Bauteilabstände bei einer Wellenlötung deutlich größer sein, als bei einer Reflowlötung.

Darüber hinaus haben auch der Wellendruck und die Turbulenz der Lötwellen großen Einfluß auf die Größenanforderungen der Anschlußflächen.

Grundsätzlich aber gilt bei Wellenlötung von SMD-Bauteilen: es sind eher größere Anschlußflächen zu verwenden, damit die Anschlußfläche und das Bauteil sicher benetzt werden und es sind außerdem die Abstände zwischen den Bauteilen so groß wie möglich auszuführen, damit die Bildung einer Lotbrücke vermieden wird. Da die Bauteile durch den Kleber fixiert sind, gibt es kein Risiko aufgrund zu großer Anschlußflächen.

2. Reflowlöten (Konvektion)

Im Gegensatz zum Wellenlöten wird beim Aufschmelzlöten (Reflowlöten) vor dem Bestücken Reflowpaste auf die Anschlußflächen der Leiterplatte aufgebracht.

Die Bauteile werden anschließend in dieses Depot aus Lotpaste bestückt, welche aus einem Gemisch von Lotkugeln und Flußmittel



Bild 7.1-3 Verschiedene Lötfehler durch zu große Anschlußflächen beim Reflowlöten

besteht. Dadurch sind während der Transport- und Lötprozesse die **SMD-Bauteile nicht fixiert**, sondern werden nur durch die Klebekraft des Flußmittels auf der Paste gehalten. Deshalb können sich die Bauteile beim Aufschmelzen der Lotpaste auf dem Lotdepot frei bewegen (Bild 7-3).

Im Gegensatz zum Wellenlöten ist deshalb die Größe der Anschlußflächen kritisch. Zu große Anschlußflächen können im Zusammenhang mit einer Reihe von anderen Einflußfaktoren zu einer ganzen Reihe von Fertigungsfehlern führen. Daher ist beim Reflowlöten eine genaue Kenntnis der Einflußfaktoren und ihrer Auswirkungen auf das Lötresultat außerordentlich wichtig, um diese Fertigungsfehler zu vermeiden.

Zu berücksichtigen ist weiterhin, daß die für die Lötstelle zur Verfügung stehende Lotmenge durch die aufgebrauchte Lotpaste begrenzt wird, die zu ca. 50% aus Flußmittel besteht.

Die Öffnung der Lötstopmmaske kann bei sehr kleinen Anschlußflächen kritisch werden, insbesondere dann, wenn die Anschlußflächen mit sehr breiten Leiterbahnen mit der übrigen Schaltung verbunden werden, über die ein Teil des gedruckten Lotes aus der Lötstelle abfließen kann.

Kritisch sind auch fehlende Lötstopstege zwischen Anschlußflächen und Durchkontaktierungen sowie Bauteile auf einer Leiterplatte mit sehr unterschiedlichem Pastenbedarf, der gegebenenfalls durch spezielle Druckverfahren wie Pastendruck mit Stufenschablonen oder JET-Dispensen ausgeglichen werden muß.

Grundsätzlich gilt also beim Reflowlöten, daß die Anschlußflächen eher deutlich kleiner sein müssen als beim Wellenlöten, um Probleme in der Baugruppenfertigung zu vermeiden. Da aber Brückenbildung durch den Lötprozeß kaum auftritt, können die Bauteile wesentlich enger plaziert werden als beim Wellenlötprozeß (...limitierende Faktoren stammen hier eher aus der Leiterplattenfertigung, z.B. durch die minimale Lotstopstegbreite, oder aus dem Bestückungsprozeß, z.B. durch die Platziergenauigkeit der Bestückungsmaschinen).

3. Reflowlöten (Dampfphasenlöten)

Das Dampfphasenlöten ist eine Sonderform des Reflowlötens, bei dem die Wärmeübertragung durch Kondensation einer verdampften Flüssigkeit auf der Baugruppe erfolgt. Neben der konstanten Temperatur, mit der eine Überhitzung von empfindlichen Bauteilen sicher verhindert werden kann, herrscht in der Dampfphase praktisch eine sauerstofffreie Atmosphäre, was die Oxidation der Lotpaste deutlich reduziert und die Benetzung der Oberflächen beim Löten verbessert.

Durch das Verfahren steht für den Lötprozeß eine sehr große Wärmekapazität zur Verfügung, was zur Folge hat, daß die Nebenwirkungen von schlechten Anschlußflächendimensionierungen sich in der Dampfphase noch deutlicher auswirken können als beim Konvektionsreflowlöten, wo die Wärmeübertragung in der Regel langsamer erfolgt.

Das Tombstoningrisiko z.B. ist in der Dampfphase deutlich höher und Dimensionierungsfehler treten insbesondere bei kleinen 2pol. Bauteilen wie G0402 und G0201 noch deutlicher zutage.

4. Selektivlöten

Das Selektivlöten ist eine Sonderform des Wellenlötens und kommt als Ergänzung für die Lötung von bedrahteten Bauteilen zunehmend zum Einsatz, weil ein großer Teil des heutigen Bauteilspektrums mit herkömmlicher Lötwellen nicht mehr gelötet werden kann. In der Regel ist dann Selektivlöten der

dritte Lötprozeß für bedrahtete Bauteile, nachdem die SMD-Bauteile auf der Ober- und Unterseite der Leiterplatte bereits im Reflowverfahren gelötet wurden.

Das Selektivlöten **muß!** unbedingt bereits in der Designphase eingeplant und berücksichtigt werden, weil bei diesem Verfahren spezielle Anforderungen hinsichtlich der Abstände zu benachbarten SMD-Bauteilen einzuhalten sind, die oft abhängig sind von den für den Prozeß verwendeten Anlagen und Lötdüsen (z.B. 5-8mm je nach Anlage und Lötdüse).

Weiterhin ist insbesondere beim bleifreien Selektivlöten ähnlich wie beim Handlöten die schwierige Wärmedynamik der bleifreien Selektivlötstelle zu berücksichtigen. Die Anforderung ist hier, ebenso wie beim Hand- und Wellenlöten, in der durchkontaktierten Bohrung den nach IPC-A-610 geforderten Durchstieg von 75% zu erreichen.

Um dieses Ziel zu erreichen sind designseitig die folgenden Regeln zu beachten:

- Anschlußflächen (Restringe) auf der Unterseite (Lotquellseite) sollten für einen guten Wärmeeintrag möglichst vergrößert werden.
- Anschlußflächen (Restringe) auf der Oberseite (Lotzielseite) sollten für eine geringe Wärmeableitung möglichst verkleinert werden.
- Innenlagenanbindungen **müssen!!!** für geringe Wärmeableitung als Wärmefallen ausgeführt werden.

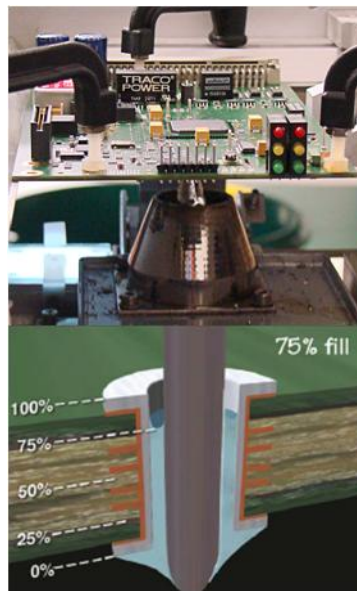


Bild 7.1-4 Selektivlöten - kritisch ist die Anforderung nach 75% Lotfüllung in der Bohrung auch im bleifreien Lötprozeß gemäß IPC-A-610.

5. Handlöten

Bis auf die Abstandsanforderungen zu benachbarten Bauteilen gelten die Anforderungen für das Selektivlöten in gleicher Weise, wenn bedrahtete Bauteile nachträglich per Hand eingelötet werden sollen.

Beim Handlöten ist besonders kritisch ein ausreichend großer Restring auf der Lotquellseite, also dort, wo die Lötspitze die Anschlußfläche kontaktiert, damit ein ausreichender Wärmeübergang möglich ist.

In bleifreien Lötprozessen ist selbst dadurch oft kein ausreichender Wärmeeintrag zu erreichen und es ist - insbesondere bei Bauteilen mit großer thermischer Masse - erforderlich, den Lötprozeß durch Infrarotvorheizung oder Heißluft zu unterstützen (Bild 7-5).

Bleihaltige und bleifreie Lote

Erste Untersuchungen nach der Umstellung auf bleifreie Lötprozesse zeigten, daß sich die Anforderungen an Anschlußflächen für SMD-Bauteile nicht grundsätzlich ändern, wenn bleifrei gelötet wird.

Es findet aber eine allgemeine Verschiebung der Prozesse an die Grenzen der Belastbarkeit von Materialien und von Prozeßtoleranzen statt, die es erforderlich macht, alle Einflußfaktoren in ihrer Wirkung genauer zu betrachten, um durch optimale Designs der Verengung von Prozeßfenstern möglichst entgegenzuwirken.

Bei der Beschreibung des Selektivlötens wurde schon deutlich, wie eine Verbesserung des Durchstiegsverhaltens im Selektiv- und Handlötprozeß durch angepaßte Anschlußflächen auf der Lotquell- und Lotziel-seite sowie auf den Innenlagen erreicht werden kann.

Die in Europa in der Regel verwendeten bleifreien Lote (SAC/SC) haben bekanntlich einen deutlich höheren Schmelzpunkt und eine schlechtere Benetzungsfähigkeit, was eine andere Profilierung beim Löten erfordert und höhere Anforderungen an die Flußmittel stellt.

Dadurch wird der Lötprozeß insgesamt deutlich kritischer und fehleranfälliger.

Ebenfalls werden höhere Anforderungen an die Leiterplatten- und Bauteiloberflächen gestellt, an den Lötstopplack und in Verbindung mit den ständig kleiner werdenden Bauteilen auch an die Präzision der Pastendruck- und Bestückprozesse.

In diesem Zusammenhang wachsen ebenso die Anforderungen an die Genauigkeit und die Prozeßkompatibilität der Anschlußflächen auf den Leiterplatten.

Auf diese Zusammenhänge soll anhand einer Reihe von Fehlerbildern, insbesondere in Verbindung mit den Lötprozessen von SMD-Bauteilen, die durch optimierte Anschlußflächen beseitigt oder entschärft werden können, im 2. Teil des Artikels eingegangen werden.

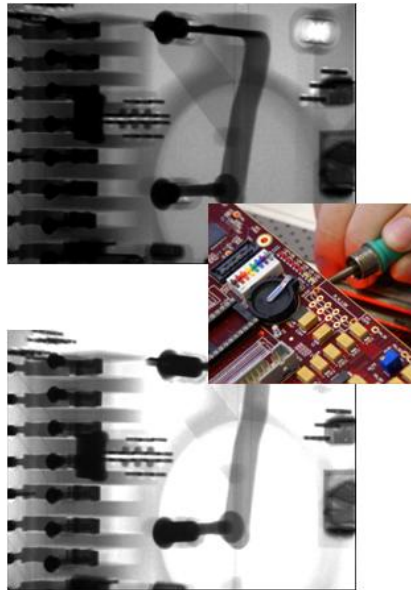


Bild 7.1-5 Beim Handlöten kann Unterstützung durch Infrarotunterheizung oder Heißluft erforderlich sein, um den ausreichenden Durchstieg des Lotes in der Bohrung zu erreichen.

7.2 Kapitel / Rainer Taube

Anforderungen an Anschlußflächen (Lötflächen) auf Leiterplatten Teil 2

Vorwort

Im ersten Teil zum Thema "Anschlußflächen auf Leiterplatten" wurden zunächst allgemein die unterschiedlichen Anforderungen der verschiedenen Lötverfahren auf das Leiterplattendesign beschrieben, weil diese in den Richtlinien zur Anschlußflächendimensionierung häufig zu wenig berücksichtigt werden.

Während dies bei den relativ großen Bauteilrastern in der Anfangsphase der SMD-Fertigung noch weitgehend tolerierbar war, treten die Risiken eines solchen Vorgehens bei Bauteilrastern von 500µm und Strukturbreiten von 200-300µm immer deutlicher zutage und führen teilweise zu schwer beherrschbaren Problemen in der Baugruppenfertigung.

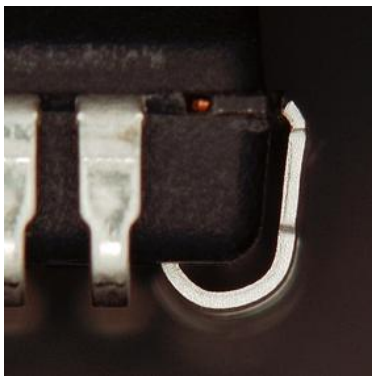
Entwicklung von Bauteilgehäusen und Anschlußtypen

Unter dem Druck, eine immer größere Funktionalität auf immer kleinerem Raum unterzubringen, hat seit der Einführung der SMD-Technik eine ständige Evolution der Bauteilgehäuse stattgefunden. Während sich die zweipoligen Bauteile seit der Einführung der SMD-Technik abgesehen von ihrer Miniaturisierung nur wenig verändert haben, sind bei mehrpoligen Bauteilen deutliche Entwicklungsstufen erkennbar.

Vom heutigen Entwicklungsstand aus lassen sich die SMD-Gehäuse von **mehrpolygonen Bauteilen** im Wesentlichen in 3 Typen einteilen:

Bild 7.2-1 Am häufigsten findet man die nachfolgend dargestellten Anschlußtypen.

Typ 1 Bauteile mit geformten Anschlüssen am Gehäuserand mit verschiedenen Unterfamilien, die sich durch die Art der Ausformung des Anschlusses unterscheiden

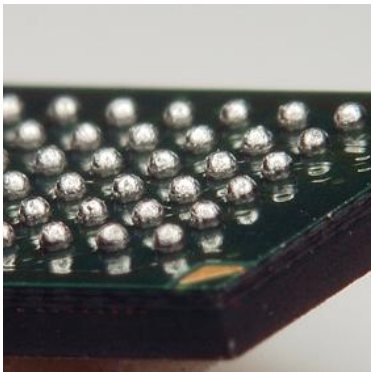


J-förmiger Anschluß (z.B. PLCC) RM 1.27, Einsatz stark rückläufig

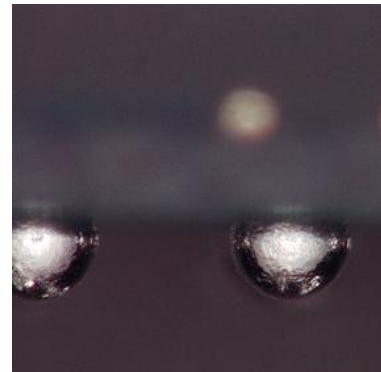


S-förmiger Anschluß (z.B. S/SO/SOT/QFP mit RM1.27-0.4mm)

Typ 2 Bauteile mit ball- oder säulenförmigen Anschlüssen im Flächenraster auf der Gehäuseunterseite - Ball Grid Arrays oder Column Grid Arrays (BGA/CGA)

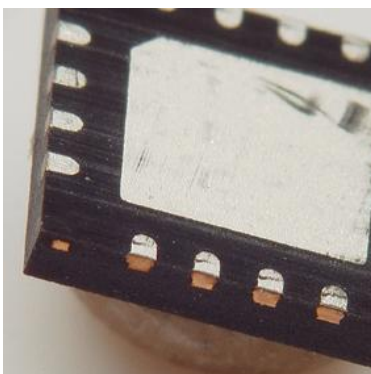


Ball Grid Array
Sicht auf die das Rasterfeld mit Solderballs

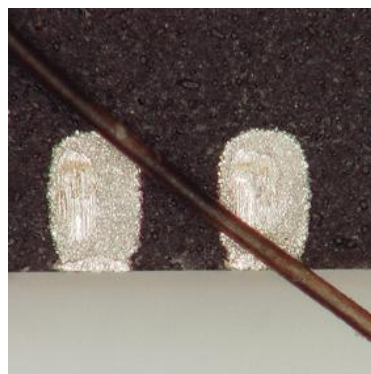


Ball Grid Array
Sicht auf einzelne Solderballs

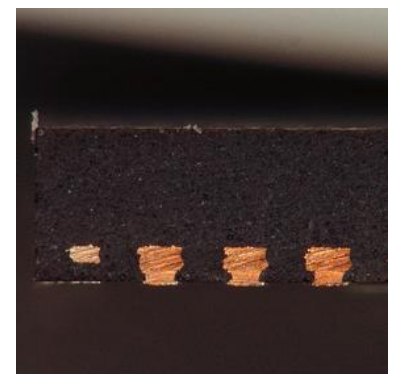
Typ 3 Bauteile mit Anschlußflächen auf der Gehäuseunterseite, die unter der Bezeichnung "Bottom Termination Components (BTC)" geführt werden



Aufsicht auf die Unterseite eines QFN16-Gehäuses



Größenvergleich einer QFN-Anschlußfläche zu einem Haar



Sicht auf die nicht benetzbaren QFN-Schnittkanten

Anforderungen an Anschlußflächen

Die Anforderungen an alle Anschlußflächen resultieren im Wesentlichen aus der Form des jeweiligen Anschlußstyps. Da inzwischen immer mehr Bauteile auf den Markt kommen, bei denen verschiedene Anschlußstypen an einem Gehäuse auch in ganz unterschiedlichen Rasterkonfigurationen verwendet werden, wird es immer wichtiger, daß der Leiterplattendesigner wieder in die Lage versetzt wird, Anschlußflächen selber zu definieren.

Natürlich ist es unmöglich im Rahmen eines solchen Artikels auf alle Typen im Einzelnen einzugehen und Bauteile der Anschlußstypen 1 und 2 sind hinsichtlich ihres Verhaltens im Lötprozeß auch relativ unproblematisch.

Daher soll im Folgenden der Fokus auf den Bauteilen liegen, die in der Baugruppenfertigung derzeit die meisten Probleme verursachen: dies sind kleine 2-polige Bauteile und alle neuen Bauteile mit Bottom Terminations/Anschlußflächen nur auf der Unterseite.

Korrekte Anschlußflächen für kleine 2-polige Bauteile (\leq I0402/M1005) definieren

Die Entwicklung bei 2-poligen Bauteilen - vornehmlich Widerstände und Kondensatoren - ist durch eine ständige Miniaturisierung gekennzeichnet und auch dadurch, daß sich diese Bauteile ab der Bauform 0402 (metrisch 1.0mm x 0.5mm) nur noch im Reflowverfahren löten lassen.

Wie bereits erwähnt, liegen beim Reflowlöten die Bauteile auf dem gedruckten Lotpastendepot nur auf, sind also nicht fixiert und können sich beim Aufschmelzen der Paste unter dem Einfluß der Benetzungskräfte des Lotes auf dem Lotdepot frei bewegen.

Dies führt vor allem bei zu großen Anschlußflächen mit einem Überschuß an Lotpaste - wie sie aufgrund der Angaben in IPC-7351 und IEC 61188-5 häufig anzutreffen sind - zu mehreren Fehlerbildern.

1. Verdrehungen

Bei Verdrehungen sind in der Regel weitere Einflußfaktoren wirksam, insbesondere gilt das für breite Leiterbahnen, die in entgegengesetzte Richtungen seitlich von den Anschlüssen weggeführt werden (Bild 7.2-2).

Auch miteinander verbundene Anschlußflächen ohne Trennung durch einen Lötstoppsteg können zu starken Verdrehungen von Bauteilen führen. Dies ist insbesondere kritisch, wenn es sich um Anzeigeelemente wie z.B. Leuchtdioden handelt, die an einer definierten Position sitzen müssen.

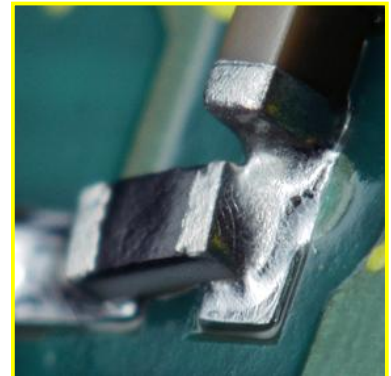


Bild 7.2-2 Verdrehungen

2. Offene Lötstellen

Wenn Anschlußflächen nicht nur zu groß sind sondern darüber hinaus deren Mittelpunkte auch weiter auseinander liegen, als das Bauteil lang ist, dann kann das Bauteil beim Löten mit einem Bauteilanschluß so weit ins Zentrum der zugehörigen Anschlußfläche gezogen werden, daß der andere Bauteilanschluß keine Verbindung mehr zum aufgeschmolzenen Lot auf der anderen Seite bekommt oder nur noch eine sehr geringe Überlappung von Bauteilanschluß und Anschlußfläche entsteht (Bild 7.2-3).

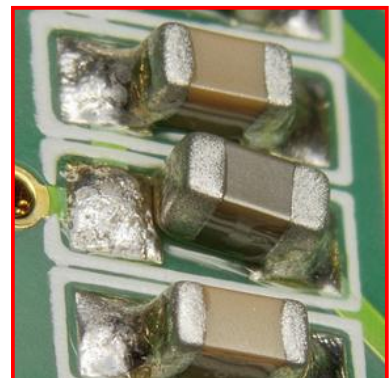


Bild 7.2-3 Offene Lötstellen

3. Partielles oder vollständiges Tombstoning

Beim häufig bei sehr kleinen Bauteilen auftretenden Grabstein-effekt (~ Tombstoning) wird das Bauteil nicht nur auf die gegenüberliegende Anschlußfläche gezogen sondern es richtet sich außerdem auch mehr oder weniger auf (Bild 7.2-4).

Dieser Effekt tritt dann auf, wenn die Benetzungskraft, die an der Stirnfläche wirkt, größer ist, als die Benetzungskraft, die im Lotspalt wirkt, also in dem Bereich zwischen der Bauteilanschlußunterseite und der Anschlußfläche auf der Leiterplatte.

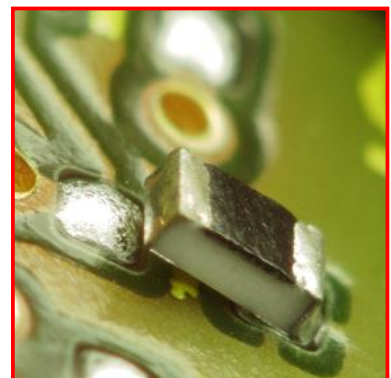


Bild 7.2-4 Tombstoning

Insbesondere partielles Tombstoning, bei dem das Bauteil nur geringfügig angehoben wird, so daß keine Lötverbindung mehr entsteht, ist bei kleinen Bauteilen in der visuellen Prüfung schwer zu erkennen. Die Korrektur von Bauteilen mit Tombstoning ist sehr aufwendig und risikoreich, da die Haftung der betroffenen Anschlußflächen auf der Leiterplatte äußerst gering ist.

Ziel bei der Definition von Anschlußflächen für 2-polige Baueile muß es also sein, Bewegungen des Bauteils auf den Lotdepots auch dann zu verhindern, wenn es geringfügigen Plazierungsversatz und/oder geringfügige Benetzungs- und Temperaturunterschiede an den zu verbindenden Oberflächen gibt.

Um dieses Ziel zu erreichen, müssen die Benetzungskräfte im Lotspalt immer größer sein als die Benetzungskräfte an den Stirnflächen des Bauteils. Umgekehrt ist zu beachten, daß das Risiko für Tombstoning um so größer wird, je größer die Stirnfläche des Bauteilanschlusses im Verhältnis zur Anschlußunterseite ausfällt.

Dies ist besonders bei keramischen Vielschichtkondensatoren der Fall, die oft in großer Zahl zum Abblocken der Spannungsversorgung an FPGAs verwendet werden. Bei ungünstig dimensionierten Anschlußflächen findet man gerade bei diesem Bauteiltyp sehr häufig Tombstoning.

Durch Einhalten der folgenden allgemeinen Grundregeln bei der Anschlußflächendimensionierung können die beschriebenen Fehlerbilder sicher vermieden werden:

- Regel 1** Der Mittelpunkt der Bauteilanschlußunterseite und der Anschlußfläche auf der Leiterplatte sollten möglichst nahe beieinander liegen.
- Regel 2** Der Überstand der Anschlußfläche über den Bauteilanschluß hinaus **außerhalb** des Bauteilkörpers (Pad Protrusion) sollte zwischen 25% und 50% der Bauteilanschlußhöhe liegen.

Die Größe des Überstandes läßt sich auch ohne große Mathematik relativ einfach dadurch ermitteln, daß man von der gewünschten oder geforderten Anstiegshöhe des Lotes unter 45° eine Linie auf die Anschlußfläche projiziert.

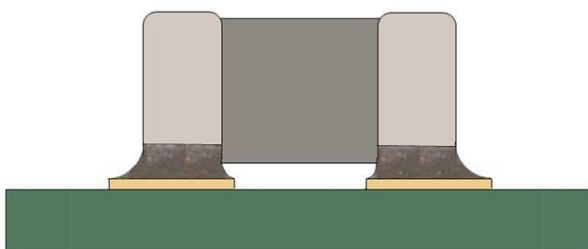


Bild 7.2-5 Gegen Tombstoning und Verdrehen bzw. Lötfehler optimierte Anschlußflächen für die Bauform I0402/M1005 ("I" ~ Inch, "M" ~ Metrisch)

Regel 3 Der Überstand der Anschlußfläche über den Bauteilanschluß hinaus **innerhalb** des Bauteilkörpers sollte nicht größer sein als 50-100µm, je nach Bauteilgröße.

Damit wird vermieden, daß sich Lotpaste im nicht benetzbaren Bereich des Bauteilkörpers befindet und daß **designbedingte** Lotperlen entstehen könnten.

Hinweis

Nur die sorgfältige Definition der Geometrien der Löt pads sichert eine zuverlässige Produktion und Funktion der Baugruppe.

Die wichtigsten Aspekte für 2-polige Bauteile wurden hier besprochen. Erfahren Sie mehr über die anstehenden Herausforderungen bei den komplexen Anschlußgeometrien von Bottom Termination Components im dritten Teil zum Thema "Anschlußflächen auf Leiterplatten".



7.3 Kapitel / Rainer Taube

Anforderungen an Anschlußflächen (Lötflächen) auf Leiterplatten Teil 3

Vorwort

Zuletzt wurden im zweiten Teil des Themas "Anschlußflächen auf Leiterplatten" die Anforderungen an die Anschlußgeometrie zweipoliger Bauteile erläutert.

Hier erfahren Sie jetzt, welche Vorgaben für die Bauteile der nächsten Generation, der "Bottom Termination Components", erfüllt werden müssen.

Korrekte Anschlußflächen für Bottom Termination Components (BTC)

Unter dem Druck zu weiterer Miniaturisierung und Kostensenkung ist in den letzten Jahren ein neuer Typ von Bauteilen auf den Markt gekommen, der völlig ohne geformten Bauteilanschluß auskommt und daher wesentlich preiswerter herzustellen ist.

Nachdem sich in dieser Form zunächst nur eine überschaubare Anzahl von Gehäusen verbreiteten, die sogenannten QFN-Gehäuse (= Quad Flat No Lead), kann man feststellen, daß derzeit geradezu eine Explosion von Varianten erfolgt bis hin zu kleinsten diskreten Bauteilen mit geringer Polzahl, ja selbst 2-polige Bauteile werden neuerdings mit Anschlußflächen nur auf der Unterseite angeboten.

Dies hat weitreichende Konsequenzen für das Leiterplattendesign und auch für die Baugruppenfertigung.

1.

Im Gegensatz zu BGAs, die einen großen Teil des Lotes in ihren Balls mitbringen, haben BTCs (Bild 7.3-1) nur Anschlußflächen. Die Konsequenz ist, daß die Höhe der Lötstelle, die für die Zuverlässigkeit entscheidend ist, nur durch das gedruckte Pastenvolumen bestimmt wird.

2.

Bei den allermeisten BTCs sind die Schnittkanten nicht benetzbar, bei einem großen Teil sind sie gar nicht erst am Gehäuse nach außen geführt. Es macht dann keinen Sinn, die Anschlußflächen auf der Leiterplatte nennenswert über die Gehäusekante hinauszuführen.

In den meisten Herstellerdatenblättern gibt es recht gute Hinweise für die Dimensionierung von BTC-Anschlußflächen und auch für die Aufrasterung der Thermalflächen im Pastendruck. Leider muß man feststellen, daß, aus welchen Gründen auch immer, Leiterplattendesigner sehr häufig nicht die von den Herstellern vorgeschlagenen Anschlußflächen verwenden sondern irgendwelche in ihren CAD-Bibliotheken vorhandenen Anschlußflächenmuster, ohne zu prüfen, ob diese für den konkreten Typ von BTC wirklich verwendbar sind.

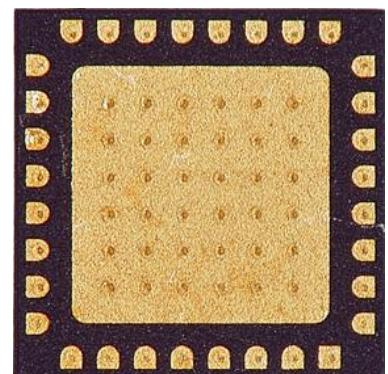


Bild 7.3-1 BTC

3.

Die meisten mehrpoligen Gehäuse haben zur besseren Wärmeabfuhr eine große Entwärmungsfläche im Zentrum des Bauteils, die in der Regel ein Vielfaches der Fläche der Signalanschlüsse hat. Zur besseren Wärmeabfuhr enthält die korrespondierende Anschlußfläche auf der Leiterplatte oft ein Raster von Durchkontaktierungen. Diese können allerdings massive Lötprobleme hervorrufen, wenn sie nicht bei der Leiterplattenfertigung gefüllt (gepluggt) werden.

Die Anschlußfläche für das Thermalpad sollte im Leiterplattendesign 1:1 oder maximal 50µm umlaufend größer dimensioniert werden, um ein Schwimmen des Bauteils auf der Fläche zu vermeiden.

Natürlich spielt das Aufrastern der Lotpaste in diesem Zusammenhang mindestens eine genauso große Rolle. Ein Liften des Bauteils beim Aufschmelzen der Paste muß vermieden werden.

Die Benetzungskräfte müssen sich über die Fläche gleichmäßig verteilen und das Bauteil beim Löten auf die Anschlußflächen herunterziehen.

Das Aufrastern dient zusätzlich dazu, das Entweichen der Flußmitteldämpfe zu ermöglichen, um Voids (i.e. kleine Gasblasen) möglichst gering zu halten, weil große Voids in Lötstellen auf den Entwärmungsflächen die erforderliche thermische Anbindung des Bauteilgehäuses an die Leiterplatte verschlechtern würden.

4.

Bei Bottom-Termination-Components kann man noch weniger als bei anderen Bauteilen davon ausgehen, daß ähnliche Bauteile tatsächlich auch die gleichen Abmessungen haben. Der Designer muß deshalb anhand des Datenblattes sorgfältig prüfen, wie die genauen Gehäuseabmessungen tatsächlich sind und seine Anschlußflächen danach anpassen. Die folgenden Bilder zeigen 2 Typen von Anschlußflächen für QFN32, die sich leicht unterscheiden und Fertigungsprobleme erzeugen, wenn keine angepaßten Anschlußflächenmuster vorgesehen werden (Bild 7.3-2).

Würde man das Bauteil des Typs 1 auf das eher übliche Anschlußflächenmuster des Typs 2 plazieren, käme es nur zu einer sehr geringen Überlappung von Bauteilanschluß und Anschlußfläche mit entsprechend unzuverlässigen oder offenen Lötstellen.

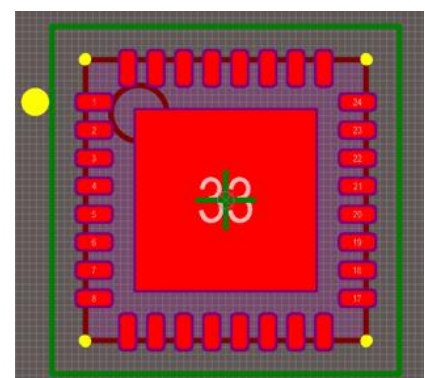
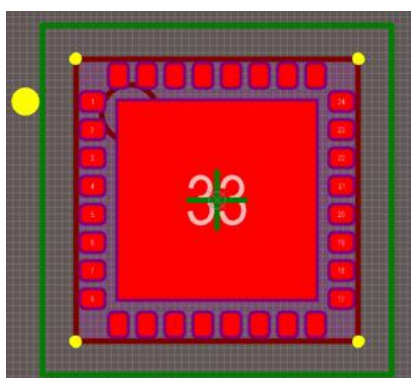


Bild 7.3-2 Anschlußvarianten für den Bauteiltyp QFN32

Typ 1 Unter das Bauteil zurückgezogene Anschlußflächen

Typ 2 Mit **nicht benetzbar**n nach außen geführten Anschlußflächen

Zusätzlich ist die Entwärmungsfläche bei Typ 1 deutlich größer als bei Typ 2, was dann das Risiko beinhaltet, daß der Typ 1 auf den Anschlußflächen des Typs 2 beim Aufschmelzen der Lotpaste schwimmen könnte, wodurch das Risiko von offenen Lötstellen noch größer würde.

5.

Das unter 4. beschriebene Problem führt zu einer weiteren Schwierigkeit bei der Namensfindung für solche Anschlußflächenmuster. Im Gegensatz zu früher, als es wenige genormte Gehäuse gab mit einigermaßen verlässlichen Maßen bei der Bauteilherstellung, wird es extrem kompliziert, die Unterschiede für die oben gezeigten Gehäuse in eine Bezeichnung einzubringen. Diesem Umstand trägt auch der Entwurf von IPC-7351B Rechnung.

Hier wird in der Diskussion der Land Pattern Bezeichnungen angemerkt: "Anmerkung 3: Eine Variationskennzeichnung für die Entwärmungsflächen der Bauteile ist außerhalb des Geltungsbereiches der Benennungsvereinbarungen von IPC-7351. Die Unterschiede in den Größen von Entwärmungsflächen und deren Anzahl pro Bauteil würden die Zuordnung eines Variantencodes innerhalb der Anschlußflächenmuster schnell unhandhabbar machen" (Quelle: IPC-7351B Final Draft, Übersetzung durch den Verfasser).

Aus diesem Grund ist es am sichersten, als Name für das Anschlußflächenmuster die exakte und vollständige Bauteilbezeichnung des Bauteilherstellers zu verwenden.

6.

Neben den BTCs mit Entwärmungsfläche (= Thermal Pad) und äußeren Anschlußreihen mit gleicher Anschlußflächengröße gibt es zunehmend unregelmäßige Strukturen, d.h. Bauteile mit zwei oder mehreren unterschiedlichen Anschlußflächengrößen, die von den Herstellern entsprechend der Funktion des Bauteilanschlusses ausgeführt werden (Bild 7.3-3). So sind oft Anschlüsse, über die viel Wärme abgeführt werden muß, größer ausgeführt als die reinen Signalanschlüsse.

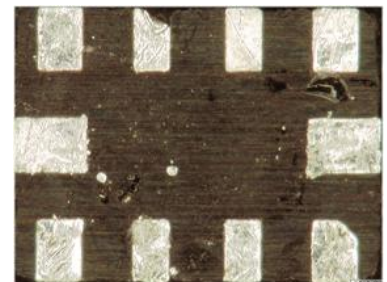


Bild 7.3-3 BTC-Anschluß

Bei diesem Typ von Bauteilen ist es extrem kritisch, alle Faktoren zu beachten, die Einfluß auf das Pastenvolumen am einzelnen Anschluß haben, damit es später nicht zu Lötfehlern kommt. Im Extremfall kann es erforderlich sein, das Pastenvolumen für einzelne Bauteilanschlüsse genau zu berechnen, wenn z.B. das Risiko besteht, daß über breite Leiterbahnen ein Teil des Lotes aus der Lötstelle abfließen könnte. Hier kommt es leicht zu Fehlern, wenn Leiterplattenhersteller die Lötstopfreihaltung ohne Rücksprache mit dem Kunden stärker als üblich aufweiten um dadurch Produktionstoleranzen auszugleichen.

So ist z.B. für BTCs mit 500µm Rasterabstand eine Lötstoplackfreihaltung von 50µm erforderlich, aber für viele Leiterplattenhersteller nur mit erhöhtem Aufwand zu produzieren.

Wenn die Lötstoplackfreihaltung dann vom Hersteller auf 75µ oder gar 100µ vergrößert wird, dann hat das bei Bauteilanschlüssen mit breiten Leiterbahnen einen deutlichen Flächengewinn zur Folge, über den Lot aus dem Anschlußbereich abfließen kann.

Werden µQFNs mit Anschlußflächengrößen von 350 x 200µm mit sehr breiten Leiterbahnen angeschlossen, dann kann es durch zu große Lötstoplackfreihaltungen schnell zu Problemen kommen.

Die Anforderungen an den Lotbedarf kann insbesondere dann kritisch werden, wenn, wie in dem Beispiel gezeigt, bei einem Gehäuse verschiedene Anschlußgrößen vorhanden sind.

Bei einer Lötstopplackfreihaltung von umlaufend $75\mu\text{m}$ kann bei beidseitigem Anschluß mit einer $200\mu\text{m}$ Leiterbahn sehr schnell ein erheblicher Flächengewinn entstehen. Durch die Lotausbreitung auf der deutlich größeren Fläche kann es zu unzuverlässigen Lötstellen kommen, weil die gedruckte Lotmenge nicht ausreicht, den Lotspalt zu füllen und weil an anderen Anschlüssen die gleiche Lotmenge für eine wesentlich kleinere Lötstelle zur Verfügung steht und diese Lötstellen dann den Standoff des Bauteils bestimmen (Standoff = Höhe des Bauteiles über der Lötfläche).

Hinweis

Die Baugruppenfertigung befindet sich derzeit in einem starken Veränderungsprozeß, der wieder einmal durch Änderungen der Bauteilgehäuse erzwungen wird und dem sich niemand entziehen kann.

Eine Reihe von Untersuchungen deutet darauf hin, daß Bottom Termination Components bei starken Temperaturwechselbelastungen eine deutlich geringere Zuverlässigkeit haben, als z.B. klassische QFP-Bauformen mit geformten Bauteilanschlüssen. Diese Zuverlässigkeitsgesichtspunkte müssen bereits bei der Bauteilauswahl berücksichtigt werden (i.e. Design for Reliability).

Hinzu kommt, daß aufgrund der verdeckten Lötstellen die Qualitätskontrollen nur noch mit hochauflösender Röntgentechnik möglich sind und daß alle Prozesse unter wesentlich engeren Toleranzbedingungen durchgeführt werden müssen.

Dabei wird es wesentlich häufiger notwendig sein, auch das Verhältnis von Anschlußflächengrößen, Lötstopplackfreihaltung, Pastenvolumen und Lotbedarf abhängig vom Anschlußtyp sehr genau zu berechnen, um sichere und zuverlässige Lötstellen herzustellen.

Nur gut vernetzte Teams von hochqualifizierten Fachleuten aus dem CAD-Design sowie der Leiterplatten- und Baugruppenfertigung können die vielfältigen Herausforderungen frühzeitig erkennen und anspruchsvolle Produkte fehlerfrei in hoher Qualität entsprechend den Kundenanforderungen produzieren.



8. Kapitel / Arnold Wiemers

Das AspektRatio für Leiterbilder

Elementare Vorgaben für die Konstruktion von Leiterbildstrukturen

Ohne Systematik ist Alles Nichts

In der Leiterplattentechnik wird der Begriff "Aspekt-Ratio" - ohne daß weitere Namenszusätze ergänzt werden - als "Aspekt-Ratio für Bohrungen" verstanden. Ursprünglich ist mit der Formulierung des "AspektRatio" ganz allgemein das mathematische Verhältnis zweier Größen gemeint, die in einer berechenbaren Relation zueinander stehen.

Es gibt im Bereich der Leiterplattentechnik unzählige Relationen. Das Verhältnis des „Bohrwerkzeugdurchmessers zur kontaktierbaren Bohrtiefe“ ist wohl das bekannteste. Der Grund dafür ist offensichtlich. Das AspektRatio beschreibt die möglichen Werte für die *eine* Größe in Abhängigkeit von der *anderen* Größe. Damit ergeben sich situationsabhängig Maximal- oder Minimalbedingungen, also Grenzbedingungen.

Entscheidend für den Nutzen eines AspektRatios ist die Vorabberechnung einer solchen Grenzbedingung, weil damit die Machbarkeit einer späteren Produktqualität zuverlässig vorhergesagt werden kann.

Für Bohrungen gibt es eine solche Vorhersage. Die Formulierung und Beschreibung eines "AspektRatio für Leiterbildstrukturen" fehlt jedoch bisher.

Anforderung an Leiterbildstrukturen

Das Leiterbild hat in seiner Gesamtheit mehrere Aufgaben. Die Leiterbahnen sorgen für die elektrische Verbindung zwischen den Bauteilen. Der minimale Restring der Vias beschreibt den Toleranzraum der Bohrungen. Der Restring der THT-Bauteile entscheidet mit über die Qualität des Lötmeniskus. Die Ausprägung der SMD-Lötflächen hat einen großen Einfluß auf das Lötresultat.

Leiterplatten übernehmen in modernen elektronischen Baugruppen längst immer auch eine physikalische Funktion. Bei einer High-Speed-Baugruppe mit differentieller Signalübertragung ist zum Beispiel die Leiterbahngeometrie ausschlaggebend. Im Prinzip gilt das Gleiche für Netzteile mit Blick auf die Stromtragfähigkeit.

Durch die Anwendung von hochintegrierten Komponenten in BGA-Gehäusen mit Pitchabständen bis 400µm ist die minimale Leiterbahnbreite die maßgebliche Größe für das Routing am CAD-System. Die Auswahl eines BGAs legt deshalb auf Grund der der Routinggeometrien auch die Lagenanzahl des Multilayers fest und daraus wiederum ergeben sich die wirtschaftlichen Rahmenbedingungen.

Die Micro-BGAs stellen hohe Anforderungen an die Leiterplattentechnologie. Diese Anforderungen werden nochmals dramatisch zunehmen, wenn sich die nächste Bauteilgeneration durchsetzt, die sogenannten BTCs (= **B**ottom **T**ermination **C**omponents).



Geometrien von Leiterbildstrukturen

Während der Fertigung der Leiterplatte erfolgt die Strukturierung des Leiterbildes vornehmlich subtraktiv. Jede Lage einer Leiterplatte liegt zu Beginn der Strukturierung als durchgehende Kupferschicht vor. Das nicht benötigte Kupfer wird durch einen Ätzprozeß in einer Ätzanlage entfernt. Beim Transport durch diese Anlage wird das Ätzmedium von oben und unten auf den Produktionszuschnitt gesprüht. Das Kupfer wird aufgelöst und weggespült. Das zu erzeugende Leiterbild wird durch einen Resist (~ Schutz) vor dem Angriff des Ätzmediums geschützt. Als Resist kommt ein fotosensitives Folienmaterial zum Einsatz.

Drei Faktoren beeinflussen den Feinheitsgrad des Leiterbildes:

Die mögliche minimale Strukturbreite im Resist, der mögliche minimale Abstand zwischen benachbarten Resiststrukturen und die Haftung des Resists auf der Kupferoberfläche.

Bedingt durch die Vorgehensweise des Aufsprühens des Ätzmediums werden die Flanken der Bildstrukturen direkt unterhalb des Resists einem stärkeren Angriff des Ätzmediums ausgesetzt, als an der Kupferbasis auf Höhe des Dielektrikums.

An der Unterseite des Leiterbildes - im Bereich des Ätzfußes - ist eine Leiterbahn am breitesten.

An der Oberseite des Leiterbildes - im Bereich der Unterätzung - ist eine Leiterbahn am schmalsten. Im Ergebnis ist deshalb der Querschnitt einer Leiterbahn kein Rechteck sondern ein Trapez oder zu mindestens trapezförmig (Bild 8-1).

Die vom einhüllenden Rechteck abweichende Geometrie wird in ihrer Gesamtheit als *Rückätzung* bezeichnet.

Die Definition des Tangens Alpha

Die trapezförmige Geometrie hat zur Folge, daß Fallunterscheidungen getroffen werden müssen. Der Mindestabstand zwischen benachbarten Bildstrukturen muß an der *Basis der Leiterbahn* gemessen werden.

Dort entscheidet sich, in welchem Maß Übersprechen (i.e. crosstalk) oder Kriechströme zu erwarten sind und welche Durchschlagsfestigkeit beachtet werden muß. Dieser Abstand ist ebenfalls maßgeblich für den Ex-geschützten Gerätebau. Die Flankenneigung verändert die Gesamtfläche der Oberfläche und den Abstand zusammengehörender Leiterbahnpaare bei differentieller Signalübertragung. Damit ändert sich auch die kapazitive Einkopplung und in Folge dessen der Impedanzwert.

Die Unterätzung des Resists an der Oberseite eines Leiterbildes bestimmt die Breite der Leiterbahn. Weil ein SMD-Pad letztlich nichts anderes ist, als ein Leiterbahnsegment, wird damit aber gleichzeitig

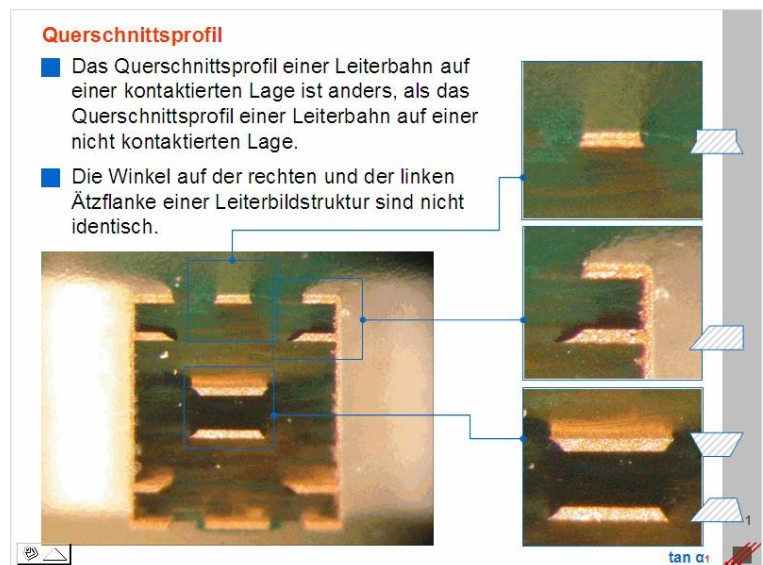


Bild 8-1

Geometrien geätzter Leiterbildstrukturen

auch auf die Lötfläche und die Grundfläche eines Bondpads und sogar auf den Restring für ein THT-Bauteil Einfluß genommen.

Die Auswirkungen der Rückätzung auf die Weiterverarbeitung der Leiterplatte während der Baugruppenbestückung und auf die elektrophysikalische Funktion des Gerätes sind massiv. Die Vorhersage der effektiven Breite der Leiterbildstruktur an der Oberseite ist deshalb dringend erforderlich.

Weil das geometrische Ätzergebnis individuell von der Anlagentechnologie des Leiterplattenherstellers abhängt und weil das Ätzmedium unterschiedlich (...sauer oder alkalisch) sein kann, gilt es, eine Beschreibung zu finden, die diese Individualität zutreffend mit berücksichtigt.

Aus Sicht des Autors ergibt sich die Lösung, wenn dem trapezförmigen Querschnitt einer Leiterbildstruktur ein Rechteck eingeschrieben wird. Links und rechts des Rechtecks bleibt dann jeweils ein Dreieck übrig.

Die *Gegenkathete* parallel zur Basismaterialoberfläche beschreibt die Breite des Ätzfußes. Die senkrecht auf der Basismaterialoberfläche stehende *Ankathete* ist identisch mit der Dicke des Kupfers. Die damit festgelegte *Hypotenuse* beschreibt die (...geometrisch idealisierte) Flanke des Leiterbildes.

Der Winkel der Flanke, der Ätzfuß und die Kupferdicke können über die trigonometrische Definition des Tangens in Beziehung gebracht werden (Bild 8-2).

Es gilt :

$$\tan \alpha = \text{Gegenkathete} : \text{Ankathete}$$

Das AspektRatio für Leiterbilder

Mit der Beschreibung der Geometrie durch den Tangens des Flankenwinkels Alpha ist die Aufgabenstellung gelöst. Es wird eine Relation zwischen der Kupferdicke und dem Ätzfuß hergestellt, so daß der Tangens-Alpha-Wert als "AspektRatio für Leiterbilder" definiert werden kann.

Genau wie das "AspektRatio für Bohrungen" ist auch das "AspektRatio für Leiterbahnen" eine herstellerabhängige Kenngröße, die Auskunft über die individuelle Produktionsfähigkeit eines Leiterplattenfabrikanten gibt.

Die Folgerungen, die sich aus dem "AspektRatio für Leiterbilder" ergeben, sind von erheblichem Einfluß. Auf der Basis des AspektRatio läßt sich nicht nur die Herstellbarkeit einer Leiterbildstruktur vorhersagbar belegen sondern auch die Zuverlässigkeit der Baugruppenproduktion.

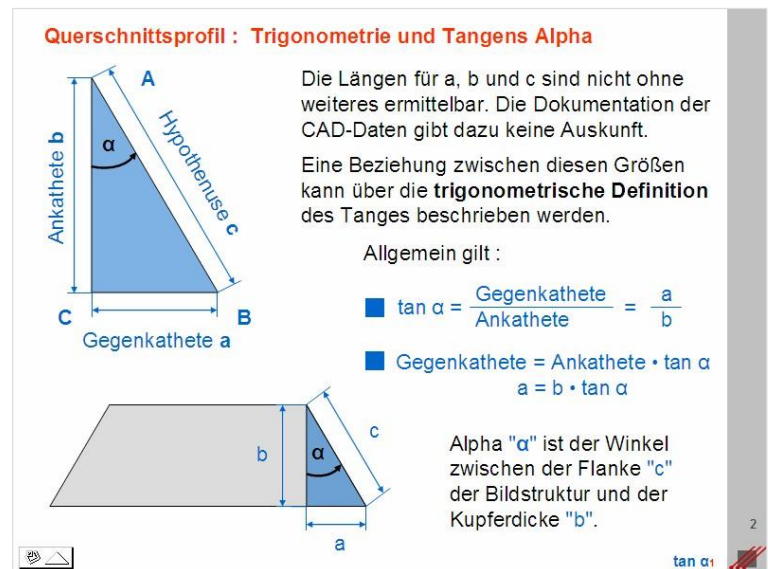


Bild 8-2 Definition des Tangens Alpha für die Beschreibung der Rückätzung

Weil die Berechnung noch im Vorfeld der CAD-Layout-Erstellung stattfinden kann, ist die sichere Voraussage von hohem Wert für die technisch und wirtschaftlich effektive Planung von Baugruppen aus allen Anwendungsbereichen.

Anwendungen des AspektRatio für Leiterbilder

Für die Berechnung des minimalen Abstandes und der größten Weite zwischen den Leiterbildstrukturen ist die tatsächliche Geometrie der Flanke unerheblich. Es genügt, wenn mit Hilfe des Tangens die pauschale Steigung der Flanke errechnet werden kann.

Mit einfachen geometrischen Verfahren läßt sich weiterhin beweisen, daß der Wert für die Breite des Ätzfußes identisch auch für die Breite der Unterätzung gilt.

Ist die Kenngröße "Tangens Alpha" eines Herstellers bekannt, dann läßt sich daraus die Rückätzung errechnen. Zwei Beispiele erläutern die Anwendung dieser Kenngröße.

1. Beispiel: Flächen für Bondpads

Bei zu bondenden Bauteilen müssen die Bondflächen oft sehr dicht gepackt werden. Bondflächen von 70µm oder 80µm Breite sind keine Seltenheit. Wird das Bauteil in der CAD-Bibliothek aber mit 70µm angelegt, dann führt die Rückätzung des Leiterbildes zu einer definitiv unbrauchbaren Bondfläche.

Für einen (...durchaus üblichen) Flankenwinkel von 25° ergibt sich ein Tangens von 0.47. Bei einer Kupferdicke von 35µm ergibt sich daraus eine Reduzierung der Bondfläche auf der Oberseite der Leiterbildstruktur von 16.3µm umlaufend oder von 32.6µm im Durchmesser.

Von den 70µm laut CAD-Bibliothek bleiben demnach nach dem Ätzen nur noch 37.4µm übrig. Das ist offensichtlich unbrauchbar.

Wird dagegen die Rückätzung bereits in der Bibliothek kompensiert, dann ergibt sich ein akzeptables Ergebnis. In diesem Fall müßte die Bondfläche also mit einer Breite von $70\mu\text{m} + 32.6\mu\text{m} = 102.6\mu\text{m}$ im Padstack angelegt werden (Bild 8-3).

2. Beispiel : Restring für THT-Bauteile

Für die Ausprägung des Lötmeniskus ist bei THT-Bauteilen die Lötfläche in Form des umlaufenden Restringes von Bedeutung. Laut CAD-Bibliothek ist der Restring die Differenz zwischen dem Paddurchmesser und dem Enddurchmesser der Bohrung.

THT-Bauteile werden auf der Leiterbildoberfläche gelötet. Üblicherweise ist der Enddurchmesser bekannt und ebenfalls ist der optimale (...oder minimale) planare Restring bekannt (Bild 8-4).



Bild 8-3 Berechnung von Bondflächen für die Bauteilanlage in der CAD-Bibliothek

Dann berechnet sich der Paddurchmesser wie folgt :

$$PAD_{(THT)} = \text{Enddurchmesser} + 2 \cdot \text{Planarer Anteil} + 2 \cdot (\text{Kupferdicke} \cdot \tan \alpha)$$

Bei einem vorgesehenen Enddurchmesser der Bohrung von 1100µm, einem planaren Restring von 300µm Breite, einer Kupferdicke von 70µm und einer Ätzflanke von 30° (...tan = 0.5774) ergibt sich daraus eine minimale Padbreite von :

$$PAD_{(THT)} = 1100 \mu\text{m} + 2 \cdot 300 + 2 \cdot (70 \mu\text{m} \cdot 0.5774) \approx 1.78 \text{ mm}$$

In diesem Fall vermittelt das AspektRatio für Leiterbilder somit eine Relation zwischen den Disziplinen "CAD-Layout", "Leiterplattenproduktion" und "Baugruppenfertigung".

Für die Bauteilmontage ist immer die Geometrie der oberen Leiterbildstruktur ausschlaggebend.

Für den elektrischen Sicherheitsabstand ist jedoch immer die untere Leiterbildstruktur ausschlaggebend. Wenn die Lötflächegeometrie und der Sicherheitsabstand konstant sind, dann müssen Leiterbahnen, SMD-Pads und THT-Pads breiter werden, wenn die Kupferdicke auf einer Lage zunimmt.

Der Schluß in Gegenrichtung ist, daß die Kupferdicke abnehmen muß, wenn die Leiterbahnbreite abnehmen muß und/oder, wenn der Mittenabstand von Leiterbildstrukturen abnehmen muß.

Hinweis

Die Konstruktion der Leiterplatte für den Betrieb einer Baugruppe darf nicht dem Zufall überlassen werden. Die mathematische Formulierung von Einflußgrößen macht die Zusammenhänge transparent und schafft die Voraussetzung für die Berechenbarkeit physikalischer Eigenschaften.

Die Anforderungen an zukünftige Baugruppen sind ohne mathematische Berechnungsmodelle technisch und wirtschaftlich nicht mehr umsetzbar.

Wenn Sie Micro-BGAs und BTCs einsetzen wollen und/oder wenn Sie Bauteile bonden wollen, dann erkundigen Sie sich vorher über die Ätztechnologie Ihres Leiterplattenherstellers.

THT-Paddurchmesser

Regel

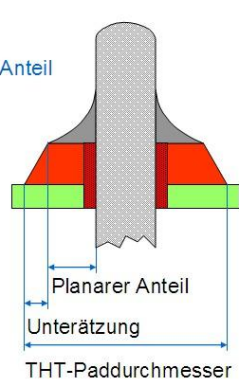
■ $PAD_{(THT)} = \text{Enddurchmesser} + 2 \cdot \text{Planarer Anteil} + 2 \cdot (\text{Kupferdicke} \cdot \tan \alpha)$

Nebenbedingung :
Planarer Anteil $\geq |\text{Toleranz}|$

Beispiel

1100 µm ist der Enddurchmesser
 300 µm ist der geforderte Planare Anteil
 70 µm ist die Kupferdicke
 30° ist der Winkel der Ätzflanke (tan 30° ≈ 0.5774)

$PAD_{(THT)} = 1100 \mu\text{m} + 2 \cdot 300 + 2 \cdot (70 \mu\text{m} \cdot 0.5774)$
 $= 1780.8 \mu\text{m}$
 $\approx 1.78 \text{ mm}$



4

Bild 8-4 Berechnung von THT-Pads für die Padstacks in der CAD-Bibliothek

9. Kapitel / Jennifer Vincenz

CAD-Bibliothek: Gibt's doch alles fertig im Internet (?)

Grundelemente und Aufbau der CAD-Bibliothek

Begriffsvielfalt und Begriffsverwirrung

Wie so oft in unserem Metier gibt es keine genormten Begriffe. Viele Bezeichnungen, die sich mit Bauteilen und den zugehörigen Informationen beschäftigen, werden je nach Anwendung oder Softwarepaket unterschiedlich bezeichnet. Da wird ein Bauteil mal als Bibliothekselement verstanden, mal als plaziertes Element in einem Leiterplatten-Design.

Ein Logik-Symbol ist bei dem Einen ein Schaltplan-Symbol und bei dem Anderen nur ein Gatter-Symbol, das die logische Funktion dieses Gatters beschreibt.

Es wird uns hier nicht gelingen, eine einheitliche Terminologie zu etablieren, auch wenn dies wohl wünschenswert wäre. Wir sollten aber ein einheitliches Verständnis finden, wie CAD-Bibliotheken organisiert sind und welche Struktur sie üblicherweise heutzutage aufweisen (...sollten).

Welche Informationen enthält die CAD-Bibliothek?

Eigentlich muß die Frage lauten "Welche Informationen MUSS die CAD-Bibliothek enthalten?".

Na ja, die Bauteilinformationen eben...

Doch welche Informationen sind das genau und für welche Aufgabenstellung werden sie benötigt? Die meisten EDA-Systeme arbeiten heute mit einer sogenannten Bottom-Up-Strategie, das heißt, das Design geht vom Schaltplan aus. Für den Schaltplan werden also schon mal die Schaltplansymbole gebraucht. Doch diese Information reicht noch nicht, denn aus dem Schaltplan wird für gewöhnlich auch die "Bill of Material" (~ BOM, Stückliste) erzeugt, die unter anderem zur Bauteilbeschaffung dient.

Wir brauchen also zusätzlich mindestens die Information, um welches Bauteil es sich handelt, von welchem Hersteller es stammt, die exakte Herstellerbezeichnung, die Bauform, den Wert und die maximal zulässige Spannung sowie den Temperaturbereich, die Toleranz und ob es gegebenenfalls Ersatztypen anderer Hersteller gibt.

Wenn wir uns vor Augen führen, daß heutzutage für viele Designs zunächst eine Simulation durchgeführt wird, dann kommen noch die Simulationsmodelle dazu, außerdem 3-D-Modelle für kritische Mechanikmodellationen. Und vergessen wir nicht die eventuell zusätzlich notwendigen Teile, wie z.B. Schrauben, Unterlegscheiben, Kühlkörper, Sockel und ähnliches, die in der Stückliste zwar benötigt, im Leiterplatten-Design aber nicht plazierte werden.

Da macht sich der für das Leiterplattendesign benötigte Footprint geradezu spartanisch aus.

Wie werden nun diese verschiedenen Informationen für ein Bauteil im EDA-System zusammengefügt?

Dazu unterscheiden wir grafische Informationen und, sagen wir einmal "textliche" Informationen, sowie elektrische Informationen. Das Schaltplan-Symbol und der Footprint sind grafische Informationen, ebenso die 3-D-Darstellung des Bauteils. Die Herstellerbezeichnung zum Beispiel ist eine "textliche" Information, der Bauteilwert hingegen ist sowohl eine "textliche" als auch eine elektrische Information. Das Simulationsmodell ist eine elektrische Information.

Heutzutage sind Bibliotheken üblicherweise in einer Art Datenbankstruktur organisiert. Das Bauteil selbst ist in der Bibliothek wie ein Datenbankeintrag abgelegt. Die grafischen, textlichen und elektrischen Informationen werden diesem Eintrag zugeordnet (Bild 9-1).

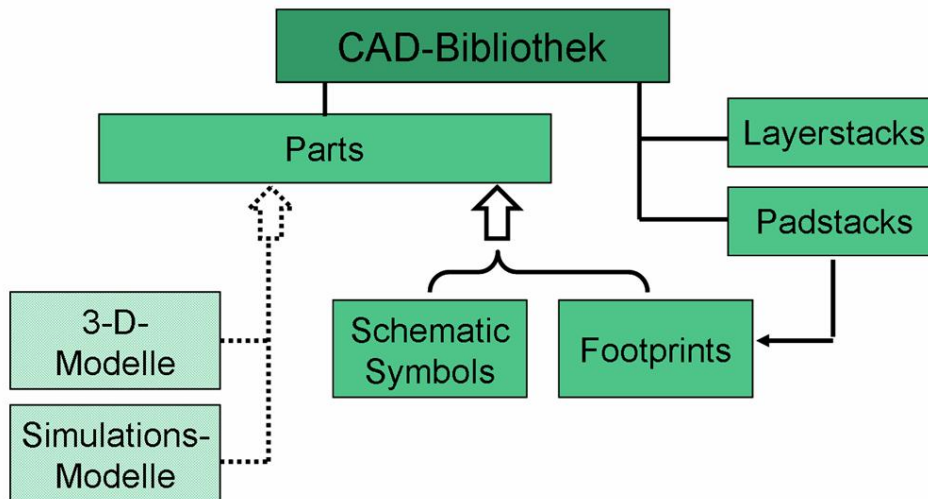


Bild 9-1 Bibliotheksstruktur im CAD-Programm "Pulsonix"

In diesem Beispiel ist der Datenbankeintrag "Part" eine eindeutige Bezeichnung, die innerhalb dieser Bibliothek nur einmal vorkommen kann. Das kann zum Beispiel die präzise Herstellerbezeichnung mitsamt den Suffixes sein, die die Bauform beschreiben. Dann werden diesem Part auch nur die Footprints für diese Bauform zugeordnet (z.B. Reflow-Footprint und Wellenlöt-Footprint).

Damit ist für den Leiterplatten-Designer die Wahl des falschen Footprints ausgeschlossen, wenn das Lötverfahren festgelegt ist.

Dem Part wird außerdem das Schaltplan-Symbol zugeordnet. Dies können gegebenenfalls auch mehrere Symbole sein, entweder ein DIN-Symbol und ein US-Symbol oder aber mehrere Gatter-Symbole.

Alle weiteren Informationen werden dem Part als Attribute mit entsprechenden Attributwerten zugefügt.

Eine für alles oder für jedes Projekt eine eigene Bibliothek?

Diese Frage stellt sich, speziell beim Dienstleister, immer wieder. Prinzipiell ist eine einzige geprüfte Bibliothek die sicherste Arbeitsmethode. Nun wird eine solche Bibliothek schnell sehr umfangreich und damit unübersichtlich und der Zugriff kann sich stark verlangsamen. Eine Aufteilung muß her. So können beispielsweise Bibliotheken nach Hersteller getrennt angelegt werden.

Eine andere Möglichkeit ist die funktionsgebundene Aufteilung der Bibliothek, beispielsweise eine Bibliothek für Widerstände, eine für Kondensatoren, letztere vielleicht noch getrennt nach gepolten und ungepolten Kondensatoren. Auch eine weitere Unterteilung in SMD- und THT- Bauteile kann sinnvoll sein.

Welche Art der Bibliotheksorganisation die firmenspezifischen Anforderungen letztlich trifft, muß der Designer in Absprache mit den beteiligten Stellen festlegen.

Bleibt für den Dienstleister noch das Problem, daß er Daten aus anderen Organisationen und von anderen Systemen übernehmen muß, die aller Wahrscheinlichkeit nach nicht die gleiche Struktur und schon gleich gar nicht die gleiche Bezeichnung haben.

Da ist es verlockend, für jedes Projekt der Einfachheit halber eine eigene Bibliothek anzulegen, in die beispielsweise die Bauteilbezeichnungen und Schaltplan-Symbole aus dem Schaltplan exportiert werden. Man muß dann ja nur noch den Footprint hinzufügen.

Eine solche Vorgehensweise birgt naturgemäß große Risiken. Ein Risiko ist die falsche Zuordnung von Footprints, weil die Bauteilbezeichnung unvollständig war. Außerdem ist eine Ansteuerung der Baugruppenproduktion mit geprüften und konstant gleichbleibenden Informationen so nicht möglich, oder wollen Sie jedes Mal von Hand fehlende Attribute nachtragen?

Als Lösung ist auch für den Dienstleister die geprüfte Bibliotheksorganisation anzuraten. Für den Abgleich mit anderen Organisationen und Systemen bieten sich Mappings (Zuordnungsdateien) an, die beim Import der Daten eine Zuordnung der im Datensatz vorhandenen Bauteile zu den geprüften Bauteilen der eigenen Bibliothek(en) schaffen.

Schaltplan-Symbole

Ein Schaltplan-Symbol besteht aus grafischen Elementen, wie der Kontur, oder Unterteilungen oder diversen Funktionssymbolen und Ähnlichem.

Des weiteren muß ein Schaltplan-Symbol die Pin-Informationen beinhalten, damit Leitungen im Schaltplan daran richtig angeschlossen werden können und damit eine elektrische Verbindungsliste entstehen kann.

Ein Pin beinhaltet also zusätzlich zur grafischen Information = "Darstellung im Schaltplan" noch eine elektrische Funktion, nämlich die Repräsentation eines elektrischen Anschlusses. Ein Pin hat immer eine eindeutige Pin-Nummer. Diese darf in einem Symbol nur ein einziges Mal vergeben sein. Außerdem kann ein Pin noch einen Pin-Namen (...auch "Logic Name" genannt) haben, z.B. "CLK". Dem Pin kann auch noch eine Funktion zugeordnet sein, z.B. "INPUT" oder "TRISTATE".

Bei machen Systemen wird diese Funktion bereits im Symbol vergeben, bei anderen wird sie über den Datenbankeintrag des Parts zugeordnet. Auf diese Pinfunktion greifen gegebenenfalls Regelsätze des "Electrical Rule Checks" bei der Schaltplaneingabe zurück, um fehlerhafte Anschlüsse rechtzeitig zu erkennen.

Außerdem wird mindestens noch ein Platzhalter für die spätere Bauteilkennung (= Bauteilreferenz, Referenzbezeichner, z.B. "R12") benötigt.

Und es können zusätzliche Platzhalter für Attribute, wie Bauteilwert, Bauform, usw. hinzugefügt werden. Beim Erzeugen von Schaltplan-Symbolen sollte man sich bereits Gedanken darüber machen, in welchem Raster später die Schaltpläne gezeichnet werden sollen, denn im gleichen Raster sollten auch die Schaltplan-Symbole gezeichnet sein. Dadurch werden gerade Anschlüsse ohne unnötige Ecken ermöglicht.

Für die Platzierung im Raster empfiehlt es sich, den Nullpunkt für das Schaltplansymbol auf "Pin 1" zu setzen (Bild 8-2)..



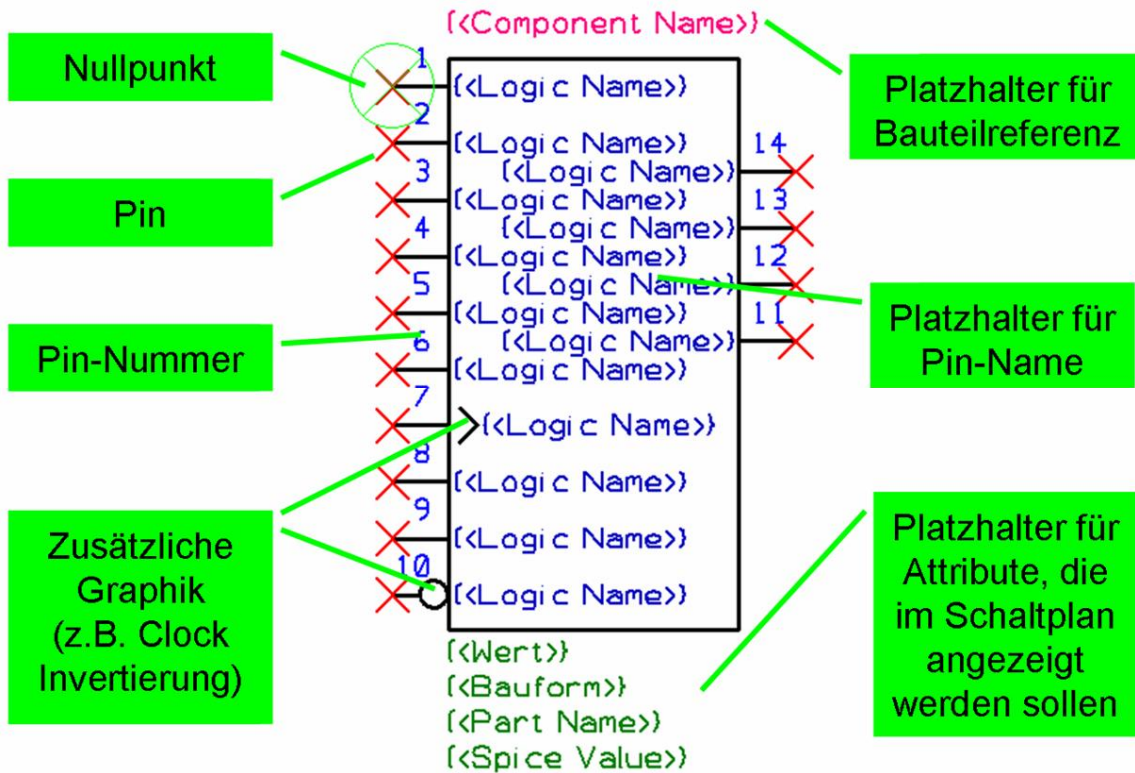


Bild 9-2 Informationen im Schaltplan-Symbol)

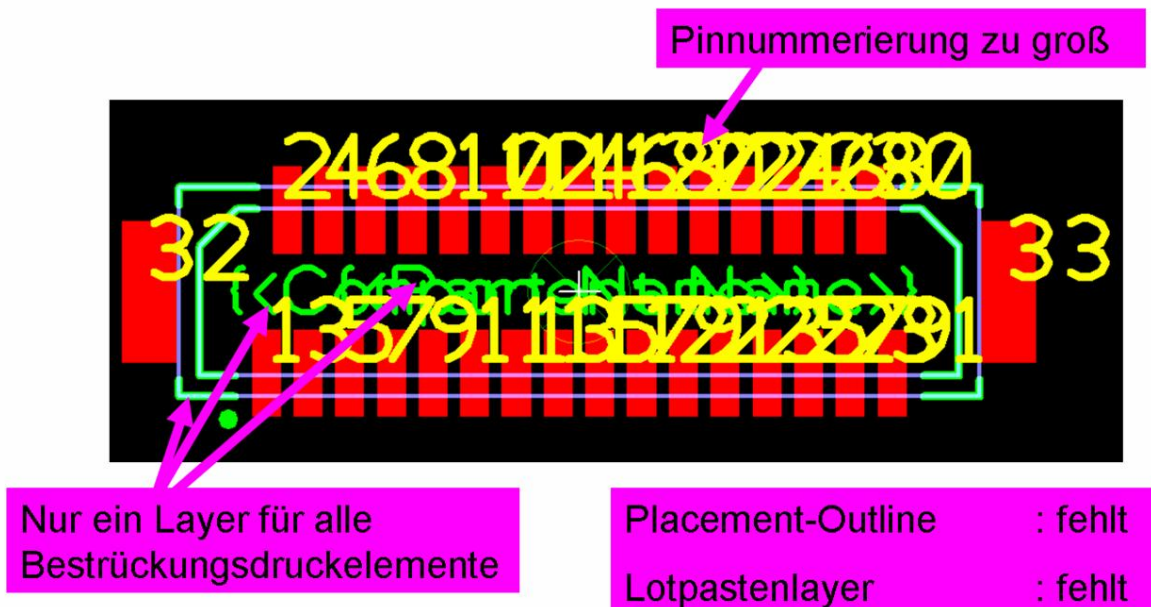


Bild 9-3 Footprint aus dem Internet. Wesentliche Informationen fehlen.



Footprints

Die Erstellung korrekter Footprints gestaltet sich im Vergleich zu den Schaltplan-Symbolen schon ein wenig aufwendiger. Die dort angelegten Informationen haben weitreichende Auswirkungen auf die nachfolgenden Prozesse, wie die Leiterplattenfertigung und die Baugruppenproduktion.

Auch hier lockt häufig das Internet mit dem schnellen Download des benötigten Footprints. Doch leider sind die zur Verfügung gestellten Information meist von "unzureichend" bis "unbrauchbar" zu bewerten (Bild 8-3).

Auch ein Footprint besteht aus grafischen und elektrischen Informationen. Ein Pad eines Footprints beinhaltet die grafische Information "Form und Größe" sowie die elektrische Information "Anschluß".

Dabei wird unterschieden zwischen SMD-Pads und THT-Pads (SMD = "Surface Mounted Devices", THT= "Through Hole Technology").

Für THT-Pads kommt noch die Bohrinformation hinzu, die eine mechanische Information beinhaltet (Bohrung = "Loch mit dem Durchmesser x.x") sowie eine elektrische Information, die eine Bohrung als "kontaktiert" oder "nicht kontaktiert" ausweist. Kontaktierte Bohrungen (= plated) haben einen elektrischen Anschluß auf verschiedenen Lagen und ermöglichen deshalb die Führung des Signals über diese Lagen. Nicht kontaktierte Bohrungen (= non plated) haben niemals eine Leitungsführung über die verschiedene Lagen des CAD-Designs.

Jedes Pad eines Footprints verfügt über eine eindeutige Pad-Nummer, beziehungsweise einen eindeutigen Pad-Namen, der innerhalb des Footprints nur einmal vergeben sein darf.

Mit dem Anschlußbild allein ist ein Footprint jedoch noch lange nicht ausreichend definiert.

Als nächstes werden die Informationen für die Lötstoplackfreihaltung benötigt. Vielfach wird die Freihaltung in der Lötstopmaske nicht explizit im Padstack angegeben sondern später bei der Ausgabe der Gerberdaten parametrisiert (...siehe dazu auch den Artikel zu den Padstacks).

Diese Vorgehensweise beinhaltet Risiken und Fehlerquellen. Es ist zu bevorzugen, die explizite Freistellung für den Lötstoplack im Padstack zu definieren.

Dagegen ist es in der Praxis üblich, die Öffnung in der Lotpastenschablone im Padstack 1:1 zum SMD-Pad zu definieren. Üblicherweise wird die erforderliche Padgröße entsprechend der einzusetzenden Schablone vom Baugruppenproduzenten angepaßt.

Auch wenn der Trend speziell bei sehr eng bestückten Baugruppen dahin geht, Leiterplatten ohne Bestückungsdruck (i.e. Druck der Bauteilkennung auf der Leiterplatte, auch "Silkscreen" genannt) zu fertigen, so sollte der Bestückungsdruck im Footprint doch immer mit angelegt werden. Der Footprint könnte ja auch mal in einem Design eingesetzt werden, für das ein Bestückungsdruck gefordert wird.

Idealerweise wird der Bestückungsdruck auf mehreren Layern angelegt. Ein Layer enthält nur die Bauteilkennung (Referenzbezeichner, z.B. "R12"), ein weiterer Layer nur die Kennung der Polarität und ein weiterer nur die Bauteilumrandung oder das Bauteilsymbol.

Unter dieser Voraussetzung können durch Kombination der Layer entweder alle Informationen für den Druck auf die Leiterplatte ausgegeben werden oder eben nur eine Minimalinformation, wie z.B. die Polarität diverser Bauteile.

Der Bestückungsplan ist für den Baugruppenproduzenten eine unverzichtbare Servicedokumentation, in der die Art, die Lage und die Polarität der Bauteile ausgewiesen sind. Diese Information ist im Footprint zwingend anzulegen. Ohne Bestückungsplan hat der Baugruppenproduzent keine Möglichkeit, die Bestückung zu prüfen oder beispielsweise eine Handbestückung vorzunehmen.

Für die spätere Ausgabe des Bestückungsplans sollten ebenfalls mehrere Layer vorgesehen werden. Mindestens einer soll die Bauteilumrandung oder das Bauteilsymbol inklusive der Polarität und/oder der Pin1-Markierung enthalten, ein weiterer die Bauteilbezeichnung oder den Bauteilwert und noch ein weiterer die Bauteilkennung. Auch diese Layer lassen sich dann bei der Ausgabe entsprechend den Vorgaben des Baugruppenproduzenten kombinieren.

Für die Baugruppenproduktion muß im Footprint ebenfalls die Information über den Referenzpunkt (i.e. der sogenannte Bauteilmittelpunkt) für die Koordinatenübergabe von CAD an den Bestückungsautomaten enthalten sein.

Dieser ist meist identisch mit dem Footprint-Nullpunkt, auch "Footprint-Origin" genannt. Der Footprint-Nullpunkt darf daher nur dann auf den Pin 1 des Footprints gesetzt werden (...um eine Platzierung im Routing-Raster zu erleichtern), wenn für die Koordinatenausgabe ein gesonderter Referenzpunkt angesprochen werden kann. Ist dies nicht der Fall, dann muß für eine korrekte Koordinatenübergabe der Footprint-Nullpunkt auf den Bauteilschwerpunkt gesetzt werden, und das ist in der Regel der Bauteilmittelpunkt.

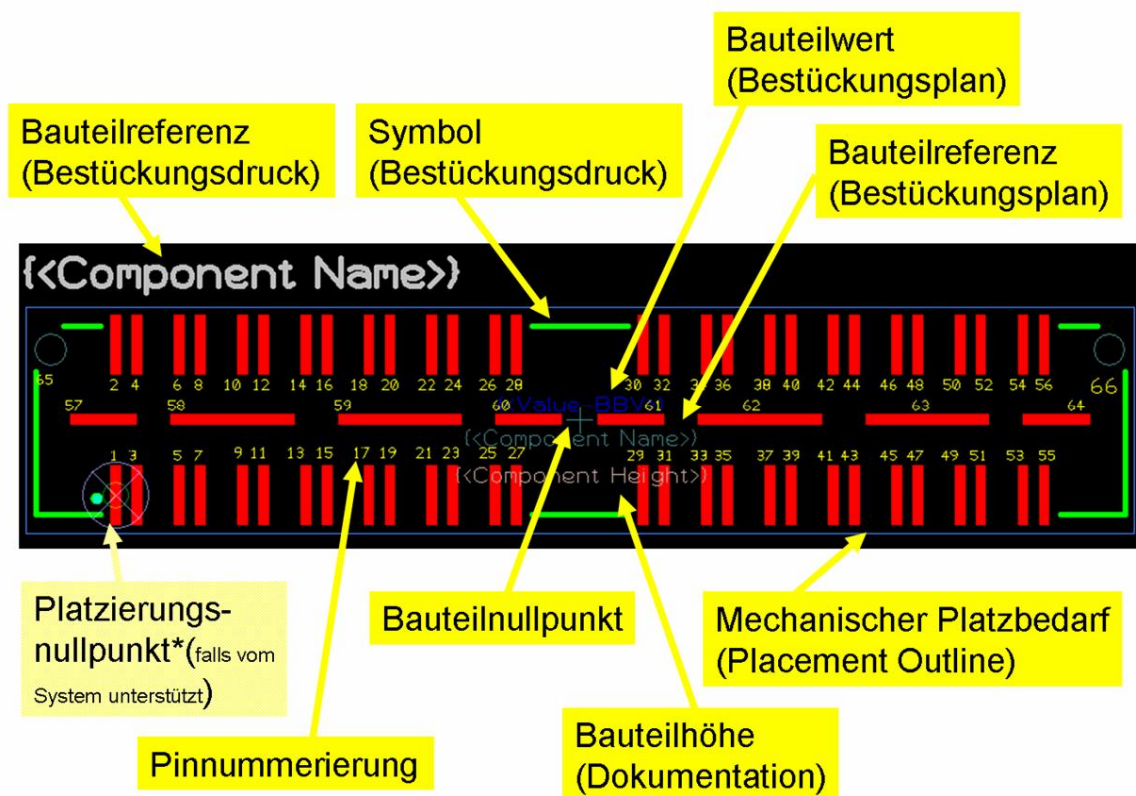


Bild 9-4 Footprint mit korrekt angelegten Informationen

Schlußendlich muß im Footprint noch der mechanische Platzbedarf sowie die Bauhöhe für das Bauteil definiert werden.

Der mechanische Platzbedarf darf nicht verwechselt werden mit der physikalischen Größe des Bauteils. Er ist in der Regel größer und beinhaltet mindestens die Größentoleranz des Bauteils sowie die Minimalvorgaben für die Platzierungsabstände (Bild 9-4).

Datenbankeintrag "Part"

Als "Part" oder "Bauteil" werden Schaltplansymbol und Footprint zusammengeführt. Abhängig vom EDA-System können hier noch weitere Attribute und Simulations- und 3-D-Modelle hinzugefügt oder Pin- und Pad-Mappings vorgenommen werden.

Pin- und Pad-Mapping erlauben die Erstellung allgemeingültiger Symbole oder Footprints, deren eigentliche Pin- oder Pad-Namen erst im Part zugewiesen werden.

Dadurch muß beispielsweise für einen SOT23-Baustein nur *ein* Footprint erzeugt werden. Die Pad-Namen "E", "B", "C" oder "1", "2", "3" werden erst im Part den entsprechenden Footprint-Pads zugewiesen (Bild 5: Part, Datenbankeinträge und Mappings).

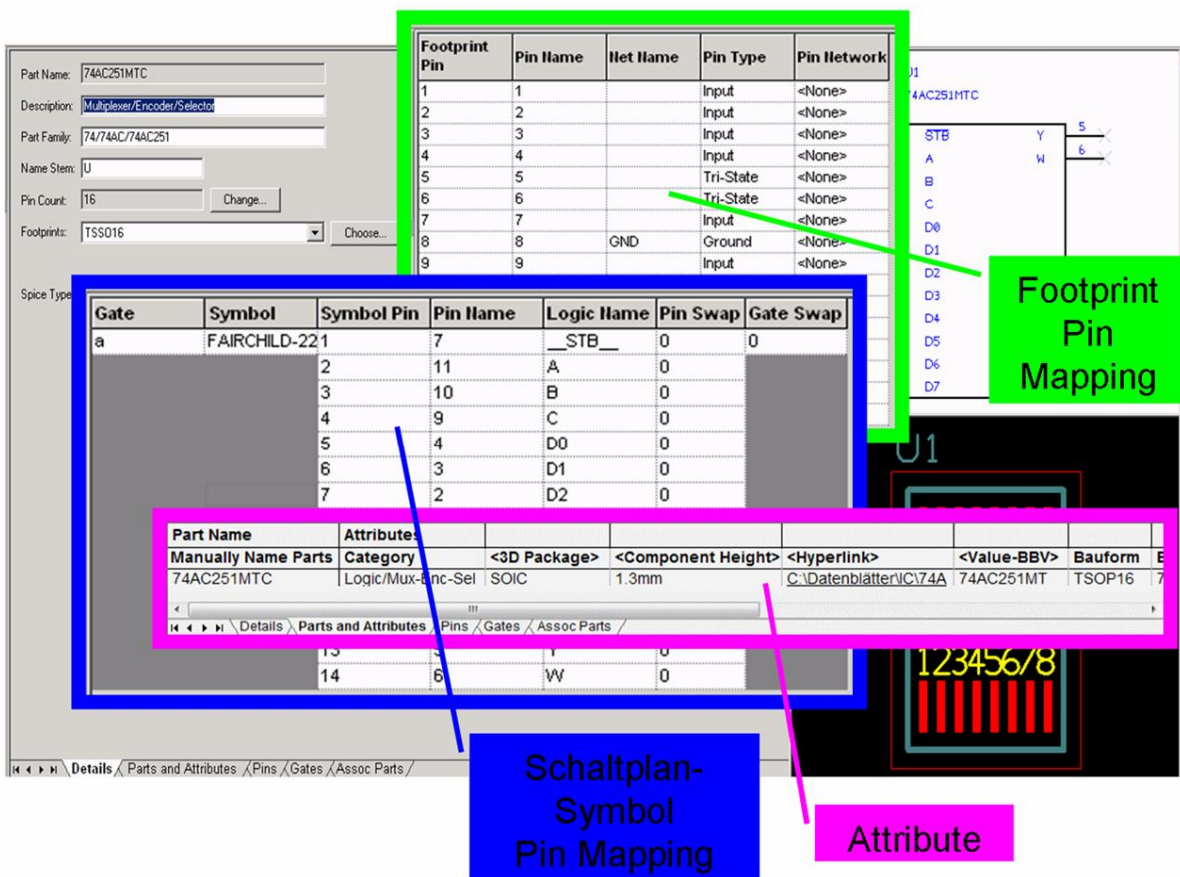


Bild 9-5 Mastervorlage 7,61 x 10,16

Hinweis

Auch wenn ich der CAD-Bibliothek keinen sakralen Status zuerkennen möchte:

Sie sollten Ihre Bibliothek als eines Ihrer Heiligtümer betrachten und sie mit entsprechender Sorgfalt und Hingabe aufbauen und pflegen.

Denn eins ist ganz sicher: Ein Fehler, den Sie in der Bibliothek haben, führt definitiv zu einem Problem, wenn nicht zu Ausschuß, und damit zu erhöhten Kosten in der weiteren Prozeßkette.

10. Kapitel / Arnold Wiemers

Konstruktion von Multilayersystemen

Gesucht wird: Die Harmonie von Physik, Funktion und Wirtschaftlichkeit

Multilayersysteme: Die Komplikation ist der Motor des Fortschritts

Es wird wohl noch ewig diskutiert werden, was die Menschheit antreibt. Vielleicht - und das ist keineswegs paradox - ist es die Bequemlichkeit. Und manchmal, so scheint es, ist es anscheinend einfach nur das Vergnügen, Lösungen für komplexe Aufgabenstellungen zu finden.

Die Integration eines hochpoligen BGAs (i.e. "Ball Grid Array") in eine elektronische Schaltung ist eine solche komplexe Aufgabenstellung. BGAs haben zu einer dramatischen Steigerung der Leistungsfähigkeit elektronischer Produkte geführt. Es ist eine Herausforderung, hunderte von Signalnetzen kompakt zu verdrahten. Das ist jedoch möglich, wenn die Leiterplatte aus mehreren Ebenen (... als ein "Multilayer") zusammengebaut werden kann. Die für die Funktion der Baugruppe erforderlichen Signale und Stromversorgungen können dann während des Layoutens am CAD-System diesen Ebenen (~ "Lagen", "Layern") zugeordnet werden.

Im Sog der zunehmend zu verarbeitenden Datenvolumina muß auch deren Übertragungsgeschwindigkeit zunehmen. Das betrifft den internen Signaltransfer auf der Leiterplatte sowie den externen Signaltransfer zu anderen elektronischen Komponenten per Funk oder Kabel. Das betrifft allerdings auch die schnelle, stabile und störungsfreie Stromversorgung der Prozessoren, Speicher und Logikbauteile der Baugruppe.

Die Anforderungen an die Qualität des Produktes "Multilayer" verändern sich dadurch nachhaltig. Die begriffliche Reduzierung der Leiterplatte auf eine Mehrebenenschaltung ist nicht mehr passend. Es ist sinnvoller und zutreffender, von "Multilayersystemen" zu sprechen.

Eigenschaften von Multilayersystemen

Die Formulierung "Multilayersysteme" macht deutlich, daß physikalische Gesetzmäßigkeiten, Basismaterialien, Strategien, Zuverlässigkeit und Wirtschaftlichkeit bereits in der Phase der Ideenfindung für ein neues Produkt Berücksichtigung finden müssen.

Die Notwendigkeit, beim Lagenaufbau physikalische Gesetzmäßigkeiten beachten zu müssen, nimmt zu. Ein stabiles EMV-Verhalten mit niedriger Störabstrahlung wird seit langem angestrebt. Die Lösungen werden aber bisher noch vornehmlich auf der

1. Anforderung bei High-Speed : Powerintegrität

Für die Konstruktion eines zuverlässig funktionierenden Multilayers müssen drei hochwertige Anforderungen beachtet werden.

Powerintegrität Die Spannungsversorgung der Baugruppe muß stabil und leistungsfähig sein. Die klassische Entkopplung der Schaltung kann durch den Einbau kapazitiver Powerplanes ersetzt werden. Die Abstände zwischen GND und VCC sollten mindestens 100µm betragen, besser sind 75µm, ideal sind 50µm. Als Ergänzung können gerechnete Kondensatorgruppen (...bestehend aus minimal 1 bis maximal 4 Keramik Kondensatoren) die breitbandige Entkopplung vervollständigen.



MPS (Multipowersystem)

Ein Stromversorgungstapel mit 7 GND und VCC-Planes. Der minimale Abstand von 50µm wird durch den Einbau von dünnen Laminaten und Prepregs erreicht.

tangens α

Bild 10-1 Multipowersystem in einem Multilayeraufbau

Seite des Schaltungs- und Gerätekonzeptes gesucht.

Seit einigen Jahren findet jedoch die Signalintegrität (~ SI: "Signal Integrity") immer mehr Berücksichtigung, wobei neben der impedanzdefinierten Leiterbahnführung heute auch die Konstruktion definierter Rückstromwege wichtig ist.

Erst zögerlich wird mit der Integration kapazitiver Planes in den Lagenaufbau eines Multilayers auch die Powerintegrität (~ PI: "Power Integrity") umgesetzt (Bild 10-1).

Das klassische Basismaterial für elektronische Baugruppen werden auch in den nächsten Jahren FR4-Derivate sein. Die Materialeigenschaften des FR4 sind (...weitestgehend) bekannt, so daß sowohl die Leiterplattenfertigung als auch die Baugruppenproduktion kontrolliert durchgeführt werden können.

Die verfügbaren Materialdicken der Prepregs und Lamine gestatten zudem sehr variantenreiche Aufbaukonzepte.

Die Verbreitung der Herstellungstechnologie für die Produktion von Multilayern erlaubt zudem die Kombination von unterschiedlichen Materialklassen und damit die Fertigung von Hybridmultilayern.

Die heute mögliche Variantenvielfalt gestattet es, sehr fein abgestufte Strategien für die Konstruktion moderner Baugruppen zu entwickeln.

Eine wichtige Option ist, technisch-physikalische Anforderungen an die Gerätefunktion mit den Mitteln der Leiterplattentechnologie lösen zu können.

Die oft spektakulären Starrflexleiterplatten sind das klassische Beispiel für die Integration von Elektronik, Mechanik und Funktion. Sehr effektiv ist der Aufbau von Multipowersystemen (i.e. "MPS" oder auch "gestapelte Stromversorgungssysteme") durch den Einbau 50µm dünner Basismaterialien in den Multilayer.

Die langjährige Zuverlässigkeit einer elektronischen Baugruppe ist ein häufig unterschätzter Aspekt. Die Prozeßverfahren, Anlagentechnologien und Eigenschaften der eingesetzten Materialien ändern sich kontinuierlich. Trotzdem muß die einheitliche und reproduzierbare Qualität einer Baugruppe sichergestellt werden können.

Ein hohes Maß an Zuverlässigkeit wird durch die Einbindung von gerechneten Multilayerbauplänen bereits zum Zeitpunkt der Schaltplankonstruktion erreicht.

Das Maß für die Wirtschaftlichkeit einer Leiterplatte liegt bisher immer noch dominant auf dem Preis. Es ist allerdings künftig nicht mehr vorteilhaft, die Kosten und die Funktion einer Baugruppe isoliert vom Aufbau des Multilayers zu betrachten. Die Kosten für Schaltplankonstruktion, CAD-Layout, Leiterplatte, Bauteile, Gerätemontage und Funktionsprüfungen müssen als Systemkosten verstanden und deshalb auch in Summe bewertet werden.

Es ist inzwischen wesentlich einfacher, effektiver und kostengünstiger, die physikalisch-technische Leistung einer Baugruppe über die Qualität des Multilayeraufbaus zu steuern.

Konstruktion von Multilayersystemen

Für den Aufbau eines Multilayersystems werden zwei Kategorien von Komponenten benötigt, die Lamine (~ "Lagen", "Kerne", "Cores") und die Prepregs. Für den Aufbau eines Multilayers werden Lamine und Prepregs übereinandergeschichtet.

"Prepreg" ist ein Kunstwort, das für "**Preimpregnated**" steht und meint, daß bei FR4-Prepregs das Epoxydharz noch nicht vollständig ausgehärtet ist. Während des Verpressens des Multilayers unter

Druck und Temperatur wird das Harz wieder klebend. Die einzelnen Lamine verbinden sich dadurch zu einem homogenen Multilayer.

Damit ergibt sich für die Konstruktion eines Multilayers eine erste, einfache **Regel**:

- In einem Multilayer müssen sich klebende und nichtklebende Schichten abwechseln.
- Mehrere klebende Schichten (= Prepregs) können übereinander montiert werden, Lamine nicht.
- Zwischen benachbarten Laminen muß sich immer (...mindestens) eine Klebeschicht (~Prepreg) befinden.

Multilayerbauklassen

Für den Aufbau von Multilayern lassen sich drei elementare Klassen unterscheiden, die sich an der Verteilung der Lamine/Kerne im Aufbau orientieren.

1. Bei Multilayern mit innenliegenden Kernen liegen alle Kerne innen und der Abschluß nach außen wird mit Prepregs und Kupferfolien realisiert. Diese Aufbaustrategie ist die einfachste, und preiswerteste. Bei hochpoligen BGAs ist eine interne Umverdrahtung mit Blind Vias und BuriedVias problemlos möglich (Bild 10-2). Große Stückzahlen sind preiswert herzustellen. Hybridbauten sind jedoch nicht oder nur eingeschränkt machbar.



Bild 10-2 Multilayer mit Innenliegenden Kernen und mit BlindVias

2. Bei Multilayern mit außenliegenden Kernen wird der Abschluß hin zu den Außenlagen mit Laminen realisiert. Diese Variante ist ab 6 Lagen ideal, wenn Hybridbauten erforderlich sind. Werden hochwertige Lamine (...z.B. mit Keramikfüllung) benötigt, dann können diese auf einer oder auf beiden Außenlagen plaziert werden. Durch das aufwendigere Prozessieren der außenliegenden Lamine ist dieser Aufbau teurer. Eine interne Umverdrahtung bei BGAs ist möglich, aber erst ab 8 Lagen effektiv.

3. Bei Multilayern mit sequentiellen Bauten gibt es praktisch keine Einschränkungen hinsichtlich der Position von Laminen und der Kontaktierungsoptionen. Ein Problem bei dieser Bauklasse ist das Mehrfachverpressen der einzelnen Bauabschnitte. Die sich notwendigerweise ergebenden Materialverzüge müssen seitens der CAM-Aufbereitung der Layout-Daten im Vorfeld kompensiert werden. Bei mehr als zwei Verpressungen muß mit Materialversprödung gerechnet werden.

Kontaktierungsstrategien und Routing

Alle Kontaktierungsoptionen können bei Multilayern eingesetzt werden. Neben den üblichen Durchkontaktierungen sind also auch Kombinationen von BlindVias und BuriedVias verfügbar. Die einsetzbaren Varianten sind im Wesentlichen nur durch die Kosten limitiert.

Die Reduzierung der Geometrie integrierter Komponenten wie BGAs erfordert Lösungen auf engstem Raum. Im Extremfall hat der Pitchabstand des Bauteils einen weitreichenden Einfluß auf die Kontaktierungs- und Routingstrategie und damit auf den Aufbau des Multilayers (Bild 10-3).

Funktionsräume

Sehr entscheidend für die funktionale Qualität der Baugruppe ist die funktionale Qualität des Multilayersystems.

Die Aufteilung des Multilayers in Funktionsräume ist der Schlüssel dazu (Bild 10-4).

Die Systematik, mit der Stromversorgungsräume und Signalmodule konstruiert und zueinander angeordnet werden bestimmt die Vorhersagbarkeit und die Zuverlässigkeit der elektronischen Baugruppe.

Das gilt von Beginn an. Bereits in der Phase der Schaltplanerstellung müssen die Übertragungseigenschaften der Signalverbindungen definiert sein. Das CAD-System benötigt für die Simulation der Signalqualität die Lagenabstände, die Werte für die Dielektrika und den Signalpfad über die Kontaktierungen.

Die kapazitiven Eigenschaften des Stromversorgungssystems beeinflussen die Verschaltung von diskreten Bauteilkomponenten, vomehmlich der Kondensatoren für die Entkopplung. Die rechtzeitige Deklaration der Funktionsräume erlaubt nicht nur die zuverlässige Simulation der Baugruppe, die konstruiert werden soll. Es werden gleichzeitig auch die Konstruktionsvorgaben für die Erstellung des CAD-Layouts und die Anforderungen an die Leiterplatte definiert.

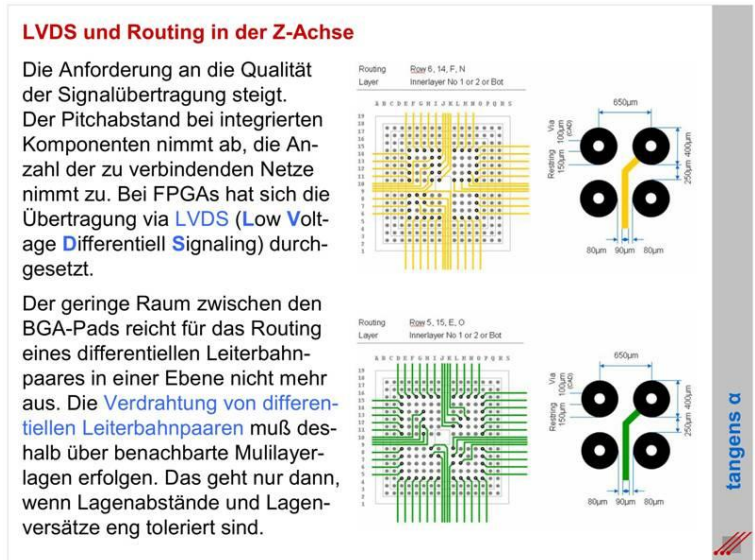
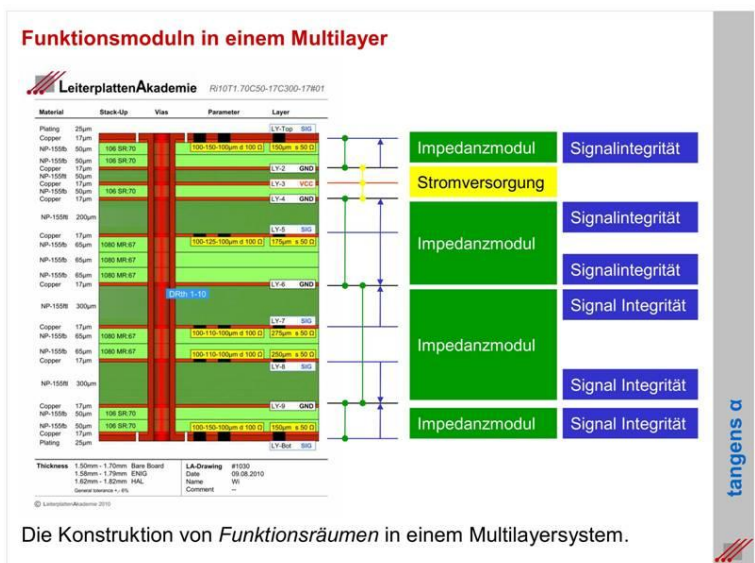


Bild 10-3 Vorgaben an den Multilayeraufbau bedingt durch das BGA-Routing



Die Konstruktion von Funktionsräumen in einem Multilayersystem.

Bild 10-4 Funktionsräume in einem Multilayersystem

Allgemeine Regeln für den Aufbau von Multilayersystemen

Für die Konstruktion von Multilayern gibt es allgemeine Regeln, die berücksichtigt werden sollen.

- a) Aufbauten mit innenliegenden Kernen bevorzugen. Das ist am preiswertesten und am unkompliziertesten.
- b) Bei unterschiedlich dicken Prepregs das dünnere Prepreg zur Kupferfolie hin legen. Prepregs bestehen aus einlagigen Glasgeweben. Das Glasgewebe dünnerer Prepregs ist feiner und dichter gewebt. Die Oberfläche der aufgeklebten Kupferfolien ist entsprechend planer.
- c) Die Mindestdicke einer Prepreglage zwischen zwei Signallagen soll $75\mu\text{m}$ nie unterschreiten. Die benachbarten Kupferdicken dürfen dann $17\mu\text{m}$ nicht überschreiten. Normal ist der Einbau von zwei Prepregs zu bevorzugen, um ein Abscheren des Gewebes während des Verpressens zu vermeiden.
- d) Für den Aufbau von Multipowersystemen ist ein einzelnes Prepreg von $50\mu\text{m}$ Dicke erforderlich. Das ist zulässig, wenn die angrenzenden Kupferschichtdicken nicht über $17\mu\text{m}$ liegen. Das Prepreg sollte mindestens mittleren Harzgehalt haben.
- e) Zwischen zwei Laminaten sollen maximal drei Prepregs plaziert werden. Das sorgt für geringere Produktionstoleranzen beim Verpressen der Multilayer.
- f) Buried Vias und Blind Vias auf dem Bottom-Layer sollen aus Gründen der höheren Produktionskosten nach Möglichkeit vermieden werden.
- g) Ungleiche Kupferdicken auf den beiden Seiten eines Laminats sind immer zu vermeiden. Diese Materialien sind standardseitig nicht verfügbar und zudem nur mit höherem Aufwand zu prozessieren.

Hinweis

Hier können aus Platzgründen nur pauschale Strategien und Grundkonzepte für starre Multilayer angesprochen werden. Die Vorgaben für die Konstruktion von Multilayersystemen sind herstellerbezogen oft individuell unterschiedlich.

Die *unverzichtbare* Aufgabe des Multilayerbauplans ist, die physikalischen, technologischen und wirtschaftlichen Eigenschaften elektronischer Baugruppen von Beginn an verbindlich zu beschreiben.



11. Kapitel / Arnold Wiemers

Die Dokumentation von Multilayersystemen

Zuverlässigkeit und Funktion dürfen nicht dem Zufall überlassen werden

Transparenz und Nachvollziehbarkeit entscheiden über den Erfolg

In Kapitel 10 wurde die Komplexität heutiger Multilayerlagenaufbauten hinreichend belegt. Die vornehmlichen Argumente für den Bau eines Multilayers waren die EMV, die Impedanz sowie die Signalintegrität und die Powerintegrität. Die Summe dieser Eigenschaften hat dazu geführt, daß seitens des Autors der Begriff des "Multilayersystems" geprägt wurde.

Die gelisteten Qualitäten stehen stellvertretend für Anforderungen an Leiterplatten. Die Liste muß jedoch ergänzt werden. Eine zur Zeit noch völlig unterschätzte Eigenschaft von Leiterplatten ist ihre Ent-/Erwärmungskapazität. Die präzise Vorhersagbarkeit der Wärmeeigenschaften einer Baugruppe ist im wahrsten Sinne des Wortes sehr oft (noch) unberechenbar.

Mit der Einführung von Hochleistungs-LEDs wurden in den letzten Jahren umfangreiche Erkenntnisse im Bereich der lokalen Stromtragfähigkeit von Multilayern gewonnen. Kriechstrom- und Durchschlagsfestigkeit dagegen sind altbekannte Eigenschaften, die manchmal etwas in Vergessenheit geraten.

Zu einem ausgesprochenen Problem sind die Basismaterialien geworden. Im Windschatten der Umstellung auf bleifreie elektronische Produkte ist gewollt oder ungewollt eine Vielfalt an Materialvarianten entstanden, die auch der Fachmann nicht immer überschaubar.

Vergessen Sie, was früher war...

Früher war keineswegs alles besser. Aber sicherlich war vieles einfacher. Die Deklaration eines Multilayers bestand üblicherweise in der Angabe der Lagenanzahl auf dem Spezifikationsblatt. Welche Laminat- und Prepregdicken verarbeitet wurden, blieb üblicherweise der individuellen Entscheidung des Leiterplattenherstellers überlassen.

Das ist vorbei. Die Anforderungen aus dem Umfeld sind unvergleichbar anspruchsvoller und mit deutlich höheren Risiken belegt. Elektronische Baugruppen sind heute so weitreichend in unser tägliches Leben eingebunden, daß eine fehlende oder unvollständige Dokumentation der Leiterplatte bzw. des Multilayers zwischen Leichtsinns und grober Fahrlässigkeit eingeordnet werden muß.

Die Dokumentation eines Multilayers muß der heutigen Anforderung gerecht werden. Das bedeutet, außer der klassischen Aufbaureihenfolge der Basismaterialien ist die Angabe der Funktionsräume in einem Multilayer erforderlich. Die Dokumentation wird damit zu einem Medium der Kommunikation und zu einer Quelle für Informationen über die technischen Eigenschaften der Baugruppe.

...und schauen Sie nach vorne

Die Entwicklung elektronischer Baugruppen hat begonnen, sich von der Last der frühen Jahre zu befreien. An die Stelle der iterativen Konstruktionsstrategie (...i.e. Versuch und Irrtum) tritt die vorausschauende und vorhersagbare Produktqualität.



Funktion, Baugruppenproduktion, Leiterplattenfertigung, CAD-Layout und Schaltplanerstellung sind heute derart eng miteinander verwoben, daß idealerweise eine aussagefähige Simulation zu einem möglichst frühen Zeitpunkt angestrebt wird.

Welche Tragweite das hat, erläutert folgendes Beispiel. Die Konzeption eines anspruchsvollen, neuen elektronischen Produktes beginnt oft mit der Auswahl der zentralen Komponente, das ist in der Regel der Prozessor.

Die Eigenschaften des Prozessors legen fest, welche Komplexität die Baugruppe haben wird (Bild 11-1). Werden Signale differentiell übertragen, dann muß der Lagenaufbau Powerplanes (...auch) für die Rückstromwege enthalten. Ist der Pitchabstand 500µm, dann ist im BGA-Bereich partiell eine Leiterbahnbreite von 70µm erforderlich.

Sind bedingt durch die Geometrie des BGAs Blind- und/oder BuriedVias nicht möglich, dann bleibt nur die Option, die DK-Bohrungen direkt in die BGA-Pads zu setzen. Diese DK-Bohrungen müssen geplugged werden, weil sonst das Auflöten des BGAs während der Baugruppenproduktion nicht zuverlässig möglich ist.

Ob ein aufgelötetes BGA unter thermischen und mechanischen Schwankungen hält, entscheidet sich an der Stabilität der Haftung des Kupfers auf dem Dielektrikum und an der beim Löten entstehenden Legierung bestehend aus dem Lot und der Leiterplattenoberfläche.

Und schließlich ist das Fan-Out des BGAs am CAD-System nur dann erfolgreich, wenn eine strikte Routingstrategie vorgegeben und auch konsequent und kontrollierbar eingehalten werden kann.

Sehr wichtig: Ob später die erforderliche Signalqualität hinsichtlich EMV, SI und PI erreicht werden kann, ist durch eine Schaltungssimulation verifizierbar. Das setzt aber voraus, daß die Epsilon-R-Werte und die Dicken der verbauten Basismaterialien bereits in der Phase der Schaltplanerstellung zuverlässig bekannt sind.

Diese Bedingungen sind technischer Natur. Die spätere Baugruppe muß aber auch wirtschaftlichen und logistischen Kriterien genügen. Das führt zu weiteren Nebenbedingungen. Offensichtlich ist eine möglichst zutreffende Abschätzung der Kosten für die Fertigung der Prototypen- und Serienleiterplatten wünschenswert.

Je nach Anwendung und Exportbereich sind aber auch Zertifikate, TÜV-Anforderungen sowie UL-Freigaben u.ä. zu beachten.

Vor dem Hintergrund des Umweltschutzes kommen weitere Aspekte dazu wie die Halogenfreiheit des Basismaterials und die systematische Entsorgung der Baugruppe nach dem Erreichen der maximalen Einsatzdauer.

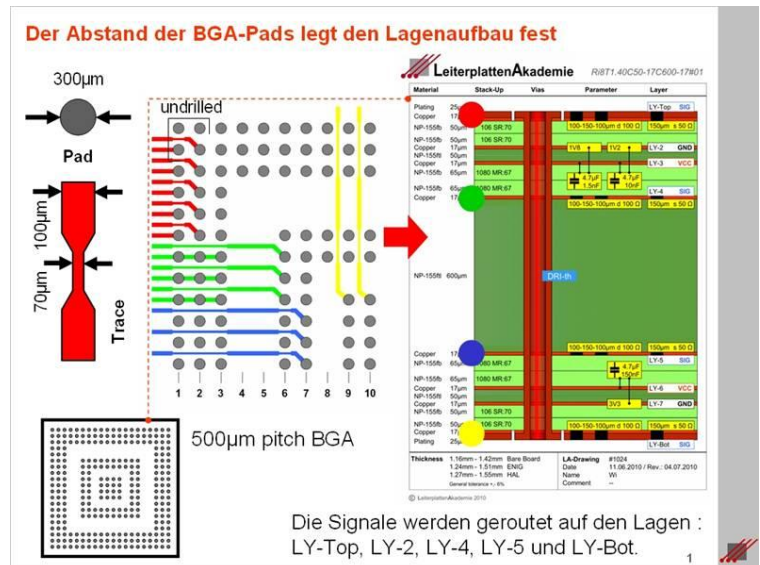


Bild 11-1 Das BGA gibt den Lagenaufbau vor

Die zunehmende Höherwertigkeit und die Integration von elektronischen Baugruppen stellt auch die juristische Frage nach der Herstellerhaftung im Falle des Versagens eines Gerätes.

Das alles kann nur bedient und erfüllt werden mit einer aussagekräftigen Dokumentation des Multilayeraufbaus.

Dokumentationsanforderungen

Die Hauptbeteiligten an der Entwicklung einer elektronischen Baugruppe sind die Schaltplankonstrukteure, die CAD-Layer, die Leiterplattenhersteller und die Baugruppenproduzenten.

Ein Multilayerbauplan muß für die Aufgabenstellungen dieser Beteiligten verbindliche Informationen zur Verfügung stellen (Bild 11-2).

Für die Logistik eines Bauplanes

(...auch im Rahmen eines Multilayerkataloges) müssen Multilayerbaupläne immer einen *eineindeutigen und unveränderlichen* Namen haben. Ist ein Bauplan veröffentlicht, dann sind maßgebliche Veränderungen unzulässig. In einem solchen Fall müßte ein neuer Bautyp erstellt werden.

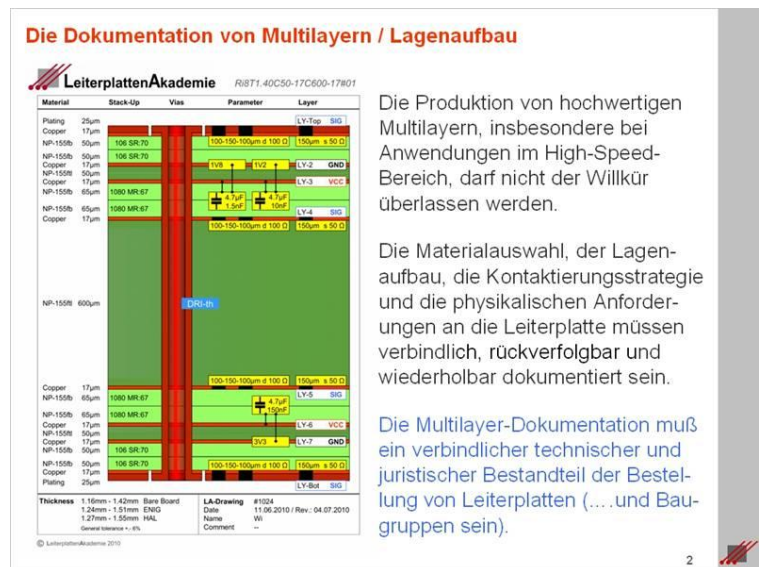


Bild 11-2 Ein Beispiel für die übliche Multilayerdokumentation der LeiterplattenAkademie

Die **Visualisierung von Multilayerbauplänen** ist unverzichtbar. Die Darstellung in Listen- oder Tabellenform ist extrem fehleranfällig. Eine Liste wird der Dynamik und dem Variantenreichtum eines Multilayersystems nicht gerecht. Der Lagenaufbau soll maßstabsgetreu (...1:100) und farbig sein. Nur dann kann die optisch-intuitive Aufnahme des Bauplanes durch den Menschen als deutliche Erhöhung der Qualität genutzt werden. Für die Produktion einer Leiterplatte/Baugruppe ist die Listenform unbrauchbar und muß als unzulässig erklärt werden.

Die **Erstellung eines Lagenaufbaus** muß im Dialog zwischen dem Baugruppenkonstrukteur, dem Leiterplattenhersteller und dem Baugruppenproduzenten erfolgen. Zwischen diesen Gruppen besteht eine gegenseitige Informationspflicht.

Die **Verfügbarkeit eines Lagenaufbaudokuments** muß für alle Beteiligten (...i.e. Schaltplan, CAD, CAM, Leiterplatte, Baugruppe) VOR Arbeitsbeginn zur Verfügung stehen. Der Multilayerbauplan muß also spätestens mit Beendigung der Schaltplanarbeiten verbindlichen Charakter haben.

Die **Freigabe eines Multilayerbauplanes** liegt in den Händen der Leiterplattenhersteller und der Baugruppenproduzenten. Der Multilayerbauplan muß von beiden freigegeben worden sein.

Ein **Multilayeraufbau ist ein rechtsverbindliches Dokument**. Der Aufbau muß deshalb mit der CAD-Dokumentation, der Bestellung/Auftragsbestätigung/Lieferung sowie mit den jeweiligen Produktionsdokumenten der Leiterplatten und Baugruppen nach- und rückvollziehbar verknüpft sein.

Dokumentationsinhalte

Die Entwicklung einer hochwertigen elektronischen Baugruppe ist teuer, zeitintensiv und riskant. Wenn den Beteiligten in einem frühen Stadium bereits die ausschlaggebenden Informationen transparent vorliegen, dann können Diskussionen ergebnisorientiert geführt und Entscheidungen sicher und rechtzeitig getroffen werden.

Das erfordert jedoch eine Erweiterung der klassischen Multilayerdokumentation um weiterführende Inhalte.

Die **Angabe des Materials** sowohl für die Lamine als auch für die Prepregs muß die Bezeichnung des Basismaterialherstellers enthalten. Neben der Information über die Materialdicke ist bei den Prepregs die Angabe des Glasgewebes und des Harzgehaltes wichtig.

Für die Beurteilung der logistischen und technischen Materialqualitäten sind von elementarer Bedeutung: Das Trägermaterial, das Harzsystem, der Härter, der Flammschutzmechanismus, die UL-Zertifizierbarkeit, der frequenzabhängige dielektrische Wert, der Verlustfaktor Tangens Delta, der Tg inklusive der Prüfmethode, die CTE-Werte als Ausdehnungskoeffizienten, die Durchschlagsfestigkeit und die Haftkraft (Bild 11-3).

Die Problematik bei der Angabe des Basismaterialherstellers ist offensichtlich.

Es gibt tausende von Basismaterialderivaten. Kein Leiterplattenhersteller kann alle Materialien bevorraten.

Mit der Angabe des Materialherstellers ist aber eine Referenz vorgegeben.

Über die detaillierte Deklaration der technischen Eigenschaften ist es deshalb möglich, zutreffende Vergleichsmaterialien auszuwählen.


Die **Kontaktierungsstrategie** macht deutlich, auf welchen Lagen des Multilayers Signalnetze und Stromversorgungen geführt werden können. Mit dieser Information werden auch Prozeßabschnitte während der Leiterplattenfertigung beschrieben und festgelegt.

Die **Zuordnung der Funktionsräume** innerhalb eines Multilayers ist für die Schaltungssimulation, das CAD-Layout und die Konstruktion von Testcoupons seitens CAM die zentrale Informationsquelle. Ohne die Kenntnis, wie die Signallagen und die Powerlagen im Multilayer verteilt sind, können Signal- und Powerintegrität, Übertragungseigenschaften, Impedanzen, Rückströme, Stromtragfähigkeit, Entwärmung, Wärmeverteilung und Reflowprofile nicht mit der ausreichenden Zuverlässigkeit analysiert, vorausgesagt oder nachgeprüft werden.

Die **Filesyntax sichert die Datenintegrität** der CAD-Layout-Files zu der mechanischen Geometrie des Multilayeraufbaus. Der Datentransfer innerhalb der CAD- und CAM-Systeme kann als sehr sicher

Die Dokumentation von Multilayern / Materialeigenschaften

Material per PCB	#	Glass	Resin	Pressed Thickness	Company
Prepreg NP-155fb	4	106	SR: 70%	48µm +/- 8µm	NanYa
Prepreg NP-155fb	4	1080	MR: 67%	71µm +/- 8µm	NanYa
Core NP-155ftl	2	n.a.	n.a.	50µm	NanYa
Core NP-155ftl	1	n.a.	n.a.	710µm	NanYa



Main Material Properties

IPC-Specification sheet	IPC-4101C / 124
Epoxy-System	FR4
Curing agent	phenolic
Flame retardend mech.	RoHS compliant Bromine
UL-zertificate	UL94 V-0
Dielectric value	4.1@1GHz
Loss tangent	0.014@1GHz
Tg	155° by DSC / TMA
CTE x/y/z	before Tg: 18/18/60 after Tg: 18/18/300
Electrical strength	40 kv/mm minimum
Adhesive strength	0.78 n/mm minimum for copper foils >17µm

Technolam Data sheet / NanYa, May 2010

Die klassische Beschreibung eines Multilayers reicht nicht mehr aus. Die Materialeigenschaften müssen im Detail zuverlässig belegt sein. Heute ist die präzise Nomenklatur der Materialien unverzichtbar...

Bild 11-3 Dokumentation der Materialeigenschaften

angesehen werden. Die Einbindung der Syntax in die Dokumentation eines Multilayers schließt die organisatorische Lücke zwischen den unterschiedlichen Softwaresystemen.

Die **Angabe der elektrophysikalischen Eigenschaften** verdeutlicht den direkten Zusammenhang zwischen Geometrie und Funktion. Die Informationen sind wichtig für die Vorabsimulation einer Schaltung. Die Darstellung von Impedanzen und Kapazitäten ermöglicht es, Parameter nachzuprüfen und geeignete Testcoupons und -verfahren zu konstruieren (Bild 11-4).

Die **Eigenschaften der Leiterplatte** müssen erkannt werden. Das setzt voraus, daß Basiskupfer und DK-Kupfer unterschieden werden können. Das Pluggen muß erkennbar sein und eine eventuelle Kantenmetallisierung inklusive der angebondenen Planes muß ausgewiesen sein.

Für das **CAD-Layout** liegen mit der Festlegung der Kupferdicke auf den Lagen und mit der Gesamtdicke des Multilayers wichtige Werte für die Berechnung minimaler Routingparameter vor. Bei definiertem AspectRatio (...für Bohrungen) können dann der minimale Enddurchmesser, der minimale Restring sowie die minimalen Leiterbahnbreiten und Leiterbahnabstände verbindlich vorgegeben werden.

Die Bewertung der **elektromagnetischen und elektrophysikalischen Eigenschaften** eines jeden Lagenaufbaus gestattet eine anwendungs- und einsetzbezogene Klassifizierung von Multilayers. Die Vorauswahl eines Multilayers aus einem umfangreichen Katalog seitens des Anwenders ist damit systematisierbar.

Die **Erstellung eines Reflow- und eines Wärmeprofiles** ist deutlich präziser möglich, wenn vorab Parameter wie Kupfervolumina, Gewichte, Hülsenoberflächen, Kupferverteilung, Klebertypen, Folien, Coverlay usw. zur Verfügung stehen. Darauf aufbauend können pro Bautyp typische Referenzwerte berechnet werden. Damit stehen Kenngrößen/Leitwerte zur Verfügung, die für die notwendige Parametrisierung der Fertigungsprozesse herangezogen werden können.

Hinweis

Es ist offensichtlich, daß die physikalischen Eigenschaften eines Multilayers über die zuverlässige, vorhersehbare und reproduzierbare Funktion der Baugruppe bestimmen.

Bestehen Sie immer darauf, einen Lagenaufbau zu bekommen.

Layouten, fertigen und bestücken Sie *niemals* eine Leiterplatte ohne eine vorliegende Aufbaudokumentation.

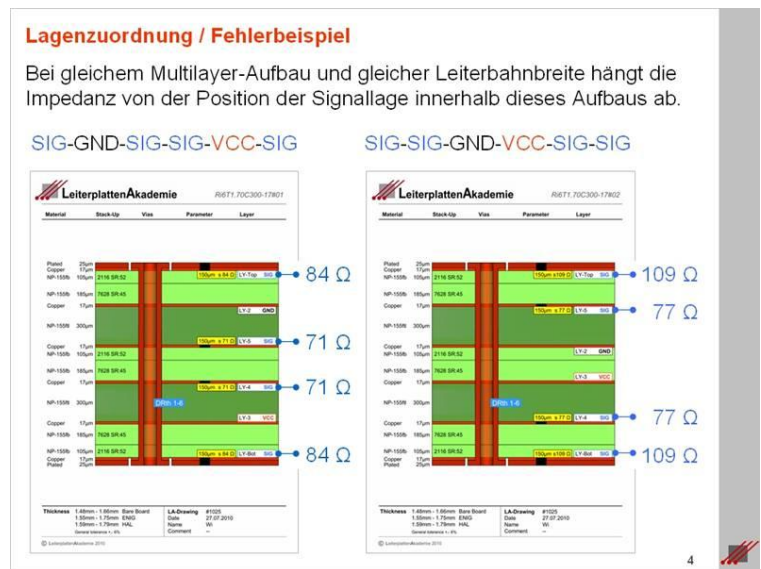


Bild 11-4 Impedanzfehler bei falschem Lagenaufbau

12. Kapitel / Arnold Wiemers, Rainer Taube

Oberflächen von Leiterplatten

Ohne Chemie gibt's keine Elektronik

Bitte wählen Sie...

Das eigentliche elektrisch leitende Metall auf der Oberfläche von Leiterplatten bleibt natürlich auch künftig das Kupfer. Die Endoberfläche (...i.e. "Finish") wird erst nach dem Ätzen der Leiterbildstruktur partiell aufgebracht. Die Aufgabe der Endoberfläche ist, freiliegendes Kupfer vor der Oxidation zu schützen und das zuverlässige Löten der Bauteilkomponenten sicherzustellen.

Zur Auswahl für die Endoberfläche stehen die vier Metalle Gold, Silber, Zinn und Nickel sowie eine organische Schutzschicht. Die Metallschichten werden durch einen Galvanoprozeß auf die Leiterplatte abgeschieden. Alle vier Metalle können chemisch aufgebracht werden, die Metalle Gold und Nickel auch galvanisch (Bild 12-1).

Die *galvanische Metallisierung* wird genutzt, wenn dickere und abriebfestere Oberflächen gefordert sind. Beispiele dafür sind PC-Stecker oder Schalter, deren Schleifer direkt auf der Leiterplattenoberfläche arbeiten. Es kann auch die Montagetechnik eine Rolle spielen. Ein Beispiel hierfür ist das Bonden von Chips mit Gold- oder Aluminiumdraht auf einer galvanischen Goldoberfläche.

Die galvanischen Oberflächen sind üblicherweise teurer, als die chemischen Oberflächen. Weil das Verfahren kathodisch-anodisch erfolgt und weil das Leiterbild zum Zeitpunkt der Prozessierung der Endoberfläche (...üblicherweise) bereits geätzt ist, müssen alle zu galvanisierenden Oberflächen im Galvanobad mit einem elektrischen Potential belegt werden können.

Das CAD-Layout muß das in der Datenanlage berücksichtigen.

Die *chemische Metallisierung* ist heute das Standardverfahren für das Aufbringen einer Endoberfläche. Die Oberflächen sind plan und sind (...bisher) ohne Einschränkungen zu handhaben. Chemisch Gold in diversen Varianten ist mit Abstand die häufigste Endoberfläche in Europa.

Bleifreies Zinn kann als "Hot-Air-Leveling" auch in einem Tauchbad aufgebracht werden. OSP (i.e. Organic Surface Protection) kann ebenfalls in einem Tauchbad prozessiert werden und bildet dann eine < 1.0µm dicke Schutzschicht auf dem Kupfer.

Final surfaces for PCBs

Galvanic surfaces	Connecting technique		
	Soldering	Bonding	Glueing
■ Tin lead fused	X	---	---
■ Bond gold (chemical)	X	Gold	X
■ Bond gold (galvanic)	X	Gold	X
■ OSP	X	---	---
■ Gold (chemical)	X	Aluminum	X
■ Gold (galvanic)	X	Aluminum	X
■ Hot-Air-Leveling (lead-free)	X	---	---
■ Hot-Air-Leveling (leaded)	X	---	---
■ Copper	X	---	---
■ Nickel (galvanic, chemical)	X	---	---
■ Tin (chemical)	X	---	X

■ Preferred surface for SMD
■ Non-RoHs-conform surfaces

Aluminum/Gold
Suitable for aluminum or gold wire bonding

High-Speed PCB Technology 151

Bild 12-1 In Europa übliche Endoberflächen

Für komplexe Bauteile mit hohen Anschlußdichten (...wie bei BGAs) oder mit sehr planen Anschlußflächen (...wie bei BTCs) sind die chemischen Oberflächen und das OSP ideal.

Lötstoplack als Resist bei chemischen Oberflächen

Die chemischen Oberflächen und das Hot-Air-Leveling bedecken nur freiliegende Kupferflächen auf der Leiterplatte, das sind üblicherweise die Lötflächen der Bauteile sowie gegebenenfalls Kühlflächen und Kontaktflächen, die von Bauteilen genutzt werden.

Diese partielle Bedeckung wird erreicht durch das vorherige Aufbringen des Lötstoplackes. Der Lötstoplack läßt nur die Löt- und Kontaktflächen frei und wirkt damit als Resist (i.e. Schutz, Abdeckung) für den direkt nachfolgenden Prozeß der Oberflächenbeschichtung.

Alle Leiterbildstrukturen, die unter dem Lötstoplack liegen, verbleiben also in Kupfer und bekommen *keine* Endoberfläche.

Für die Qualität des über die Kupferleiterbahn transportierten Signals hat sich das als vorteilhaft erwiesen, weil viele Endoberflächen die Signalübertragung dämpfen. Insbesondere bei Oberflächen mit Chemisch Gold (...das über einer als Diffusionssperre wirkenden Nickelschicht aufgebaut wird) macht sich die Dämpfung bemerkbar.

Für die langfristige funktionale Zuverlässigkeit einer Baugruppe erweist sich jedoch das übliche CAD-Design für den Lötstopdruck als Nachteil. Die klassische Vorgehensweise seit Ende der 80er Jahre ist, beim Erstellen des CAD-Layoutes mit Padstacks zu arbeiten, die ein Zudrucken der Vias mit Lötstoplack vorsehen. Die Änderung der Fertigungstechnologie von Siebdruck auf fotosensitiven Lötstoplack und die Reduzierung der Enddurchmesser der Vias auf 300µm und kleiner haben in den letzten Jahren dazu geführt, daß die Viahülsen nicht mehr mit Lack verfüllt werden und auch (...wegen mangelnder Durchflutung wegen des ungünstigen AspektRatios) nicht mehr mit einem Finish überzogen werden.

Bereits bei Baugruppen in HDI-Technologie liegt das Kupfer in den Hülsen frei und ist damit anfällig für Korrosion. Eine langfristig stabile Funktion unter aggressiven Bedingungen (...i.e. Wärme, Vibration, Feuchtigkeit, reaktive Umgebungsluft) ist als kritisch zu bewerten.

Die für das CAD-Layout zu beachtenden Designregeln für den Lötstopdruck gehören heute zu den komplexesten Vorgaben (Bild 12-2 : Regel 2 von 4) an die Konstruktion von Leiterplatten.



Bild 12-2 Designregel für fotosensitiven Lötstoplack

Oberflächen

Es gibt seit längerem ernstzunehmende Anzeichen dafür, daß die Oberfläche einer Leiterplatte schon vor der Erstellung des CAD-Layouts festliegen muß.

Ein erster Aspekt ist die allgemeine Tendenz zu High-Speed-Baugruppen. Es gibt Hinweise, daß bei sehr schnellen Signaltransfers mit hohen Datenraten > 5 GBit/s die Signalqualität leidet, wenn auf dem Weg von der Leiterplatte zum Bauteilanschluß eine Nickelschicht durchlaufen werden muß (...wie das bei chemischen Goldoberflächen der Fall ist).

Ein zweiter Aspekt ist die Legierung der Bauteilanschlußkappen insbesondere bei zweipoligen Komponenten. Beim Löten bildet sich aus Lot und Leiterplattenoberfläche eine Legierung, die den Bauteilanschluß benetzen muß. Die Legierung mancher Bauteilanschlußkappen spricht auf die üblichen Lote und Oberflächen nicht an. Es kommt in Folge zu unzuverlässigen und damit riskanten Lötverbindungen.

Abhilfe kann eigentlich nur eine Datenbank ermöglichen, mit deren Unterstützung zum Zeitpunkt der Bauteilplatzierung am CAD-System das vorgesehene Lot und die vorgesehene Leiterplattenoberfläche auf Prozessierbarkeit hinsichtlich der Benetzung abgeglichen werden kann. Aber das ist wohl vorerst noch Utopie.

Für eine Einschätzung und Auswahl der richtigen Oberfläche sollten deren wichtigste Eigenschaften bekannt sein.

Hot-Air-Leveling HAL erlebt in der bleifreien Ausführung mit SnAgCu-Loten eine Renaissance. Die Planarität der Oberfläche ist jedoch mittelmäßig, die Schichtdicke ist unregelmäßig, die Kantenabdeckung der Lötflächen ist nicht immer perfekt und die Lötflächen selbst weisen schon mal lokale Benetzungsfehler auf. Die Schichtdicke liegt sehr variabel zwischen 1 und 20µm.

Der Energieverbrauch des HAL-Prozesses ist hoch. Für die Leiterplatte ist die Temperaturbelastung durch den Fertigungsabschnitt "HAL" beachtlich und führt zu einer deutlichen Voralterung.

Chemisch Zinn Die "Chemisch Zinn"-Oberfläche ist plan. Die Zinndicke liegt bei 1 bis 1.2µm (...optimal). Als Mindestdicke für die Zinnschicht werden 0.3µm für eine zuverlässige Lötverbindung gefordert.

Mit der Zeit baut sich die Dicke der lötbaren Zinnschicht durch die Bildung einer intermetallischen SnCu-Phase ab. Bereits das Trocknen der Leiterplatte leistet einen massiven Wärmeeintrag, der diesen Vorgang beschleunigt. Bei einer Temperatur von 120° wird innerhalb einer Stunde die Dicke der Zinnschicht um zirka 50nm reduziert.

Jeder durchgeführte Reflowlötprozeß halbiert die Dicke der verbleibenden Zinnschicht. (Quelle: Atotech / "Investigation of the recommended Immersion Tin thickness for lead free soldering"). Ausgehend von einer Zinndicke von 1.2µm bedeutet dies eine verbleibende Zinndicke von 0.6µm nach dem ersten Reflowlöten und 0.3µm nach dem zweiten Reflowlöten.

Chemisch Gold Chemisch Nickel/Gold (...i.e. "ENIG" ~ "Electroless Nickel-Gold") ist verbreitet und wird favorisiert, wenn das Löten und das Bonden als Verbindungstechnik auf einer Leiterplatte kombiniert werden sollen. Die Oberfläche ist plan, die Schichtdicke des Goldes liegt bei 0.04µm bis 0.08µm (Bild 12-3).

Das Chemische Gold wird vornehmlich auf einer Nickelschicht von uneinheitlichen 4 bis 7µm abgedeckt. Das Nickel hat die Funktion einer Diffusionssperre.

Chemisch Gold ist die einzige Oberfläche, bei der das Löten auf dem Nickel stattfindet und nicht auf der Kupferoberfläche der Leiterplatte.

Die Lagerfähigkeit ist gut, eine Verarbeitung ist auch nach zwei Jahren noch möglich.

Wegen der nicht unkritischen Nickelschicht gibt es inzwischen auch chemische Goldoberflächen, die auf Palladium oder Silber aufbauen. Erste Ergebnisse sind sehr vielversprechend, es fehlt aber noch an flächendeckender Verfügbarkeit.

Chemisch Silber

Chemisch Silber wird in Europa noch wenig nachgefragt. Die Oberfläche ist plan. Die Schichtdicke liegt bei 0.1µm bis 0.4µm und ist mit einer dünnen organischen Schutzschicht abgedeckt. Mit Kupfer bildet Chemisch Silber keine intermetallische Phase.

Das Beschichtungsverfahren ist in einem einfachen und preisgünstigen Prozeß ohne hohe Temperaturbelastung durchführbar.

Die Oberfläche ist gut lötlbar. Die Lagerzeit von Leiterplatten mit einer Oberfläche aus Chemisch Silber wird auf ein Jahr taxiert.

Chemisch Silber reagiert empfindlich auf ein chlorid- und/oder sulfidhaltiges Umfeld. Dazu gehören auch bereits Verpackungsmaterialien, die Chloride und/oder Sulfide enthalten.

Freud und Leid der Chemie

Ohne Chemie geht in der Leiterplattentechnologie nichts. Oberflächen müssen gereinigt, ölige Beläge, Oxide und Fette müssen entfernt werden. Leiterplatten werden mit einer Fülle unterschiedlicher chemischer Substanzen in Kontakt gebracht. Säuren, Laugen, Sulfate, Fluorverbindungen werden begleitet von geringer dosierten chemischen Zusatzstoffen, die helfen sollen, chemische Prozesse zu aktivieren, zu stabilisieren oder zu katalysieren.

Welcher Prozeß mit welchen Substraten abläuft, ist nicht immer hinreichend bekannt. Für alle Endoberflächen gibt es voneinander abweichende chemische Systeme, die eingesetzt werden können. Die Inhaltsstoffe sind im Detail die firmeninterne Kompetenz des jeweiligen Chemielieferanten.

Die Wechselwirkungen zwischen der Chemie der Oberfläche und der Chemie des Lötstopplackes (...und dann später auch der Chemie des Via-, Carbon-, Heatsinkpasten- und Abziehlackdruckes) sind nicht immer vorhersehbar.

Die Rückstände diverser chemischer Substanzen auf den Leiterplatten können immer problematisch werden. Niederschläge auf den Lötflächen, Mikrovias, zu enge Lötstopmasken, hohe Kupferschichtdicken, Mikrokavernen im Basismaterial, winzige Hohlräume zwischen den diversen Siebdrucken und der Leiterplattenoberfläche tragen dazu bei, daß auf der Leiterplatte Rückstände nach dem Aufbrin-

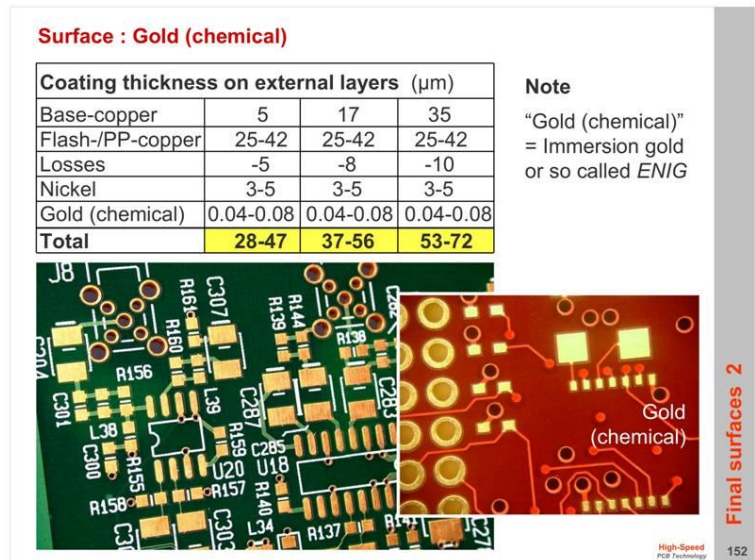


Bild 12-3 Oberflächenbilanz für Chemisch Gold

gen des Lötstoplackes und der Endoberfläche sowie nach dem Fluxen und dem Löten der Baugruppe verbleiben.

Mögliche Langzeitschäden für Baugruppen sind bisher weitestgehend unerforscht und im Erlebensfall auch nur äußerst schwer zu analysieren und einer Ursache zuzuordnen.

Hinweis

Alle, die an dem Produktionsprozeß der Baugruppe mitwirken, müssen sich abstimmen.

Das CAD-Design, die Leiterplattenproduktion und die Baugruppenfertigung müssen Hand in Hand arbeiten.

Unumgänglich ist eine aussagefähige und verbindliche Dokumentation unter Einbeziehung des Lagenaufbaus, der Kupferdicken und der Endoberfläche.



13. Kapitel / Jennifer Vincenz

Macht doch alles der Autorouter, oder?

Routingstrategien für das CAD-Layout

Entflechtung vollautomatisch, halbautomatisch oder doch lieber manuell?

Es ist noch gar nicht so lange her, da wurde dem geplagten Designer eine rosige Zukunft versprochen. Der Autorouter sollte alles richten, ein Knopfdruck, noch einen Kaffee geholt, und ab ins Wochenende.

Wie so oft im Leben hat uns die Wirklichkeit schnell eingeholt. Wir haben gelernt, daß der Autorouter nicht alles kann oder aber daß das Füttern desselben mit allen nötigen Vorgaben und Restriktionen im Grunde genau soviel Zeit braucht, wie das manuelle Verlegen der Leitungen.

Das hat inzwischen auch die EDA-Industrie erkannt. Die Autorouter werden als das angeboten, was sie sind, ein Hilfsmittel, aber kein Allheilmittel. Nun will ich den Autorouter nicht völlig verdammen, es gibt eine Vielzahl von Aufgabenstellungen, die von einem gut eingestellten Autorouter gelöst werden können.

Aber: Was immer bleibt ist die Überarbeitung des Designs und dafür braucht es unverändert den Designer mit seiner Erfahrung und Kenntnis.

Was ist, wenn nun aber gar kein Autorouter eingesetzt werden soll oder kann?

Tja, dann wird "zu Fuß" entflochten. In ein manuelles Layout fließt stets die ganze Kompetenz des Designers und seiner Erfahrung ein. Letztere ist üblicherweise aus unzähligen Layoutsituationen und Anforderungen gewachsen und kann sicherlich nicht in ein paar Sätzen vermittelt werden. Aber ein paar grundlegende Betrachtungen wollen wir hier veranschaulichen. Dazu gehören Fan-Outs ebenso wie die grundsätzliche Entscheidung, mit oder ohne Raster zu arbeiten.

Rastergestütztes Routen

Vorweg sei die Bemerkung erlaubt, die Einstellung "rasterlos" heißt für ein CAD-System eigentlich auch nur, daß lediglich ein Raster in Größe der maximalen Auflösung des Systems verwendet wird. Dies ist üblicherweise so fein, daß wir uns täuschen lassen und meinen, wir würden "rasterlos" arbeiten.

Ein Nachteil der rasterlosen Entflechtung ist in jedem Fall die Tatsache, daß die Einhaltung gleichmäßiger Abstände ausgesprochen schwierig wird. Es sei denn, es wird konsequent auf "Minimal-Spacing" geroutet. Dies kann jedoch die statistische Fehlerwahrscheinlichkeit erhöhen.

Kritisch aus fertigungstechnischer Sicht wird es, wenn zusätzlich noch freie Winkel zugelassen werden.

Wird hingegen ein Routingraster verwendet, dann ist die Einhaltung gleichmäßiger Abstände quasi naturgegeben. Nun ist aber eine möglichst gleichmäßige Verteilung der Leitungen nicht nur optisch ansprechender, sie hat auch fertigungstechnische Vorteile. Wichtig ist dabei die Wahl des richtigen Rasters, um einerseits möglichst viele Leitungen unterzubringen, andererseits aber auch gleichmäßige und größtmögliche Abstände zu den Bauteilpins zu erzielen.



In einem CAD-System können heutzutage die verschiedensten Raster eingestellt werden: für Leiterbahnen, für Bauteile, für Vias, für Testpunkte. Sie alle haben durchaus eine Berechtigung. Nehmen wir das Beispiel eines Testpunktrasters. Dies sollte sinnvollerweise auf das Adapterraster eingestellt sein. Auf diese Weise wird verhindert, daß es bei der Adaptierung zu unerreichbaren Testpunkten oder zur Berührung der Testnadeln kommt.

Wenn wir das eigentliche Routing-raster betrachten, also das Raster für das Verlegen der Leiterbahnen, so werden wir feststellen, daß es DAS optimale Entflechtungsraster nicht gibt. Dazu gibt es heute einfach zu viele unterschiedliche Anschlussraster bei den Bauteilen.

Eine gute Herangehensweise ist, zunächst das Entflechtungsraster an den komplexesten Teil des Layouts anzupassen, z.B. an den BGA mit dem schwierigsten Fan-Out.

Glücklicherweise ist es heute für die meisten CAD-Systeme kein Problem mehr, das Raster während der Arbeit umzuschalten, sowohl während der Platzierung von Bauteilen als auch während des Verlegens der Leitungen (Bild 13-1).

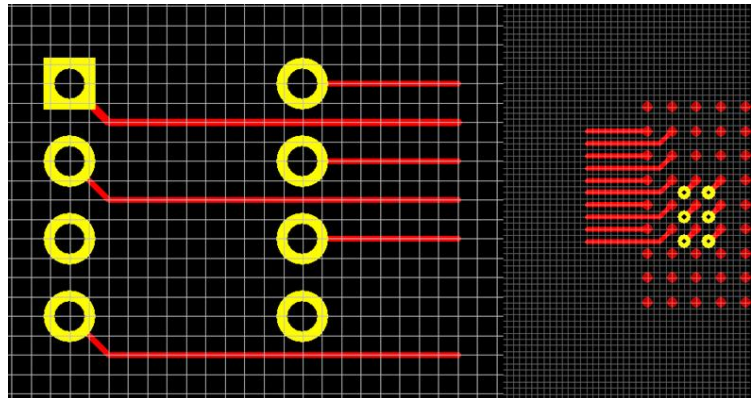


Bild 13-1 Entflechtungsraster 0.2mm für das Fan-Out aus einem BGA mit 0.8mm Pitch und einem Entflechtungsraster von 25mil für ein DIL-Gehäuse

Vorzugsrichtungen

Die lagenorientierte Festlegung einer Vorzugsrichtung für das Verlegen von Leiterbahnen hat einige Vorteile. Die Strukturierung des Routings erhöht die Übersicht und hilft, die Lagenzahl zu minimieren. Günstig ist beispielsweise eine alternierende Vorzugsrichtung, beispielsweise senkrecht auf Signallage 1, waagrecht auf Signallage 2, wieder senkrecht auf Signallage 3 und so weiter. Dieses orthogonale Verlegen von Leiterbahnen auf benachbarten Lagen, die nicht durch eine GND-Lage getrennt sind, minimiert den Crosstalk.

Im Fall von zwei Signallagen, die im Inneren des Multilayers zwischen zwei Planes liegen, kann das Dual-Stripline-Modell für impedanzdefinierte Leitungen genutzt werden. Für eine Single-Ended-Impedanz werden die Leitungen ebenfalls orthogonal zu einander verlegt, für eine Differentielle Impedanz können sie auch exakt parallel übereinander verlegt werden.

Für den Autorouter sind vorgegebene Vorzugsrichtungen bindend. Für gewöhnlich müssen zulässige Abweichungen ebenfalls vorgegeben werden. Diese werden vom Autorouter dann jedoch allerdings auch grundsätzlich genutzt und blockieren möglicherweise eine optimale Strategie.

Im Gegensatz dazu kann der Mensch jedoch Abweichungen flexibler und intelligenter gestalten. Wenn beispielsweise auf einer Lage mit Vorzugsrichtung "waagrecht" auf der rechten Hälfte des Designs keine offenen Verbindungen in waagerechter Richtung mehr übrig sind, wird jeder instinktiv diesen Bereich für die verbliebenen senkrechten Verbindungen nutzen.

Ein Autorouter tut dies nicht, jedenfalls nicht, wie der Name suggerieren möchte, automatisch.

Fan-Out - Wie komme ich raus aus dem Baustein?

Ebensowenig wie es DAS optimale Routing-Grid gibt, gibt es DEN optimalen Fan-Out für ein Bauteil. Da stellt sich schon im Vorfeld die Frage, wie nützlich ein "vorgefertigter Fan-Out" sein kann, der mit dem Footprint in der Bibliothek gespeichert wird. Entscheidend ist der Pitch des Bauteils und in erster Linie das Ziel der angeschlossenen Signale. Letzteres hängt wiederum einerseits von der Anzahl und der Art der angeschlossenen Bauteile und andererseits von deren Platzierung ab.

Ein Fan-Out, der die perfekte Lösung für die *eine* Anschlußumgebung darstellt, kann für eine *andere* Designsituation völlig unbrauchbar sein.

Eine Grundsatzentscheidung bei allen Fan-Outs ist in jedem Fall: Via-In-Pad "Ja" oder "Nein".

Insbesondere für BGAs ist dies von großer Bedeutung. Ist erst einmal die Entscheidung getroffen, dann ist es meist von Vorteil, wenn sie im Fall von BGAs durchgängig gehandhabt wird. Also entweder *alle* Pins mit Dog-Bone-Anschluß verdrahten oder *alle* mit Via-in-Pad.

Ein Strategiewechsel für das Routing innerhalb desselben BGAs führt oft zu Unterschreitungen des fertigungstechnisch benötigten Mindestabstands von Via zu Via (Bild 13-2).

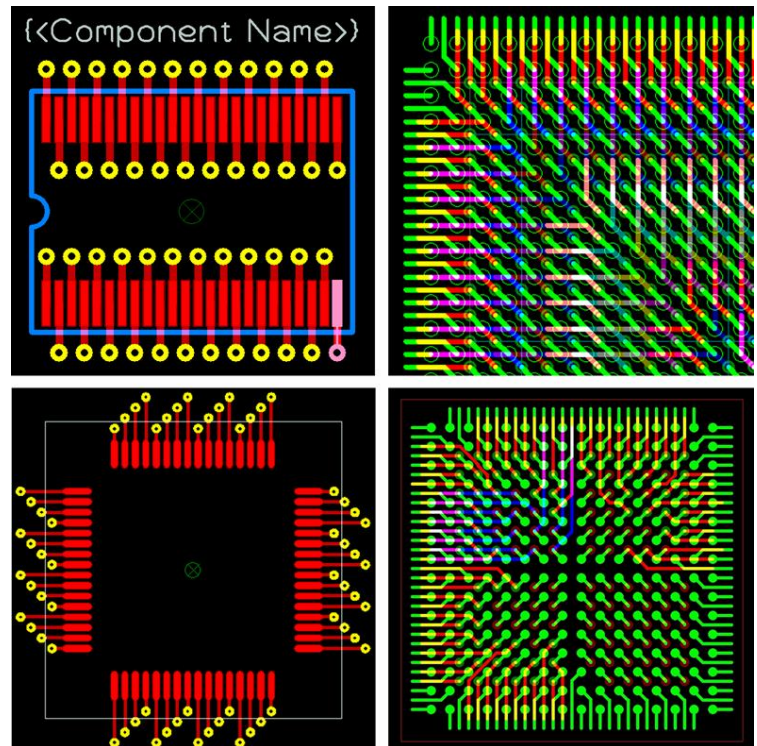


Bild 13-2 Verschiedene Fan-Out-Varianten

Routing-Kanäle

Jeder Fan-Out benötigt Raum und dieser benötigte Raum ist oft erheblich größer als das Bauteil selbst. Nur selten ist es möglich, Leitungen auf derselben Lage 1:1 anzuschließen.

Im Fall von BGAs können ohnehin maximal die beiden äußeren Pinreihen auf der gleichen Lage herausgeführt werden, auf der das BGA platziert ist, wenn davon ausgegangen wird, daß nur eine Leitung zwischen zwei BGA-Pins hindurchgeführt werden kann.

Für die nächsten beiden Reihen wird bereits eine weitere Signallage benötigt. Und im Prinzip für jede darauf folgende Reihe eine weitere Signallage, unter der Annahme daß auch zwischen zwei Vias nur eine Leitung hindurchgeführt werden kann.

Bei einem Virtex 5 FX20 wären dies 13 Reihen. Für die ersten 4 Reihen benötigt man 2 Signallagen und für jede weitere Reihe theoretisch eine weitere Lage, also insgesamt 9 Signallagen. Zieht man jedoch die nicht angeschlossenen Pins und die Stromversorgungspins ab, die an Powerplanes angeschlossen werden, dann reduziert dies bereits die Anzahl der benötigten Lagen.

Durch die Wahl eines Fan-Outs, der den BGA in Quadranten einteilt, können in den entstehenden breiteren Routing-Kanälen zusätzlich mehr Leitungen geführt werden. In der Praxis führt dies dazu, daß der vorgenannte Virtex 5 FX20 in maximal 4 Signallagen entflochten werden kann (Bild 13-3).

Grundsätzlich muß beim Fan-Out darauf geachtet werden, daß Vias nicht zu dicht zueinander platziert werden.

Erstens darf der Mindestabstand von Via zu Via nicht unterschritten werden. Zweitens dürfen auf den Powerplanes durch benachbarte Isolationspads keine virtuellen Schlitzte entstehen. Und Drittens dürfen anzuschließende Vias durch ineinanderlaufende Isolationspads nicht von der Plane getrennt werden (Bild 13-4).

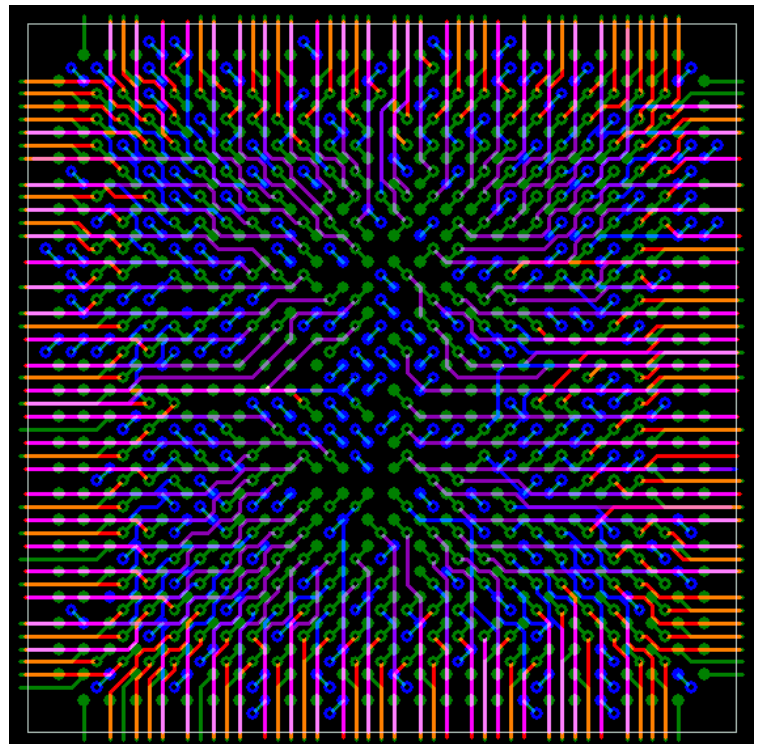


Bild 13-3 Beispiel Fan-Out Virtex 5 FX20

Alles kreuz und quer ?

Oft sieht beim ersten Einblenden der "Gummibänder" oder "Luftlinien" alles schlimmer aus, als es ist.

Trotzdem, je mehr Kreuzungen für die Anschlüsse vorliegen, sei es platzierungs- oder programmierungsbedingt, desto mehr Raum wird dann für Vias benötigt.

Ein Via benötigt mindestens den Raum für drei Leitungen (Bild 13-5). Vorgegebene Platzierungen können dazu führen, daß entweder mehr Vias benötigt werden oder daß im BGA Routingkanäle blockiert werden, weil Leitungen durch den Baustein geführt werden.

In Folge werden mehr Signallagen benötigt, als ursprünglich abgeschätzt wurden. Da hilft nur, die Leitungen außen um den Baustein herumzuführen.

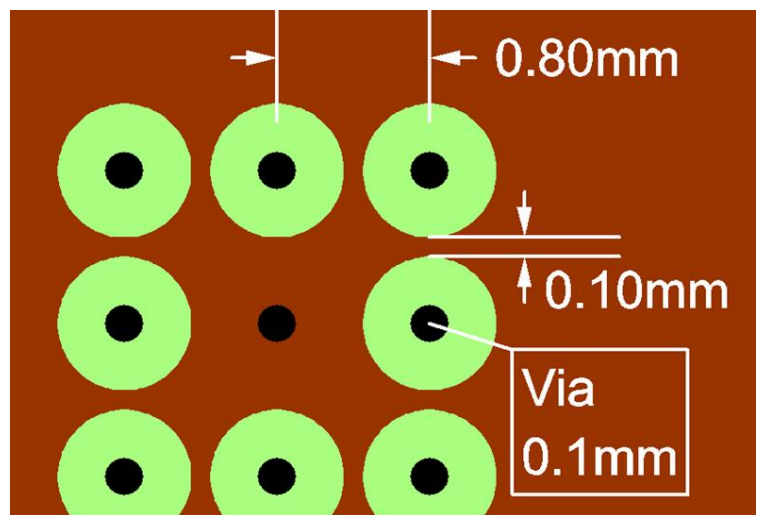


Bild 13-4 BGA Pitch 0.8mm, mit Stromanschluß maximal 100µm trotz Minimal-Definition für die Isolation in der Powerplane

Auch das benötigt jedoch Raum und muss bereits bei der Platzierung der Bauteile auf der virtuellen Layoutfläche berücksichtigt werden.

Kontaktierungsstrategie

Die Wahl der Kontaktierungsstrategie ist entscheidend für ein effektives Routing.

Dabei müssen die Anforderungen an die Entflechtung und an die Signal- und Powerintegrität einfließen.

Ein durchgehendes Via hat den Vorteil, daß ein Leiterbahnanschluß auf allen Ebenen möglich ist.

Auf den Lagen, auf denen keine Leiterbahn angeschlossen ist, ist der Raum für das Verlegen von Leiterbahnen jedoch blockiert. Wird

beispielsweise in einem 8-Lagen-Multilayer eine Verbindung von der Lage 1 auf die Lage 2 mit einem durchgehenden Via realisiert, dann ist auf den Lagen 3 - 8 der Platz für mindestens 3 Leitungen durch dieses Via blockiert. Dies kann gegebenenfalls dazu führen, daß mehr Lagen für die Entflechtung benötigt werden.

Theoretisch entsteht geradezu ein Teufelskreis, weil durch den fehlenden Raum eventuell mehr Leiterbahnen mit zusätzlichen Vias entflochten werden müssen, die ihrerseits wiederum mehr Platz blockieren.

Zusätzlich entsteht durch eine nicht genutzte Viahülse ein Stub, der in kritischen Anwendungen das Signalverhalten beeinflussen kann (Bild 13-6).

Das Routing mit sequentiellen Vias, also Blind- und Buried Vias, verteuert zwar die Produktionskosten der Leiterplatte, durch die Einsparung diverser Lagen kann dieser Nachteil aber oft mehr als wett gemacht werden, vom besseren Signalverhalten einmal ganz abgesehen.

Der Multicore-Aufbau eines Multilayers, das heißt der Zusammenbau eines Multilayers aus mehreren separaten Teil-Multilayern, ermöglicht die Entflechtung einzelner Bereiche in definierten Räumen, die dann wiederum an einigen wenigen Stellen über durchgehende Vias miteinander verbunden werden.

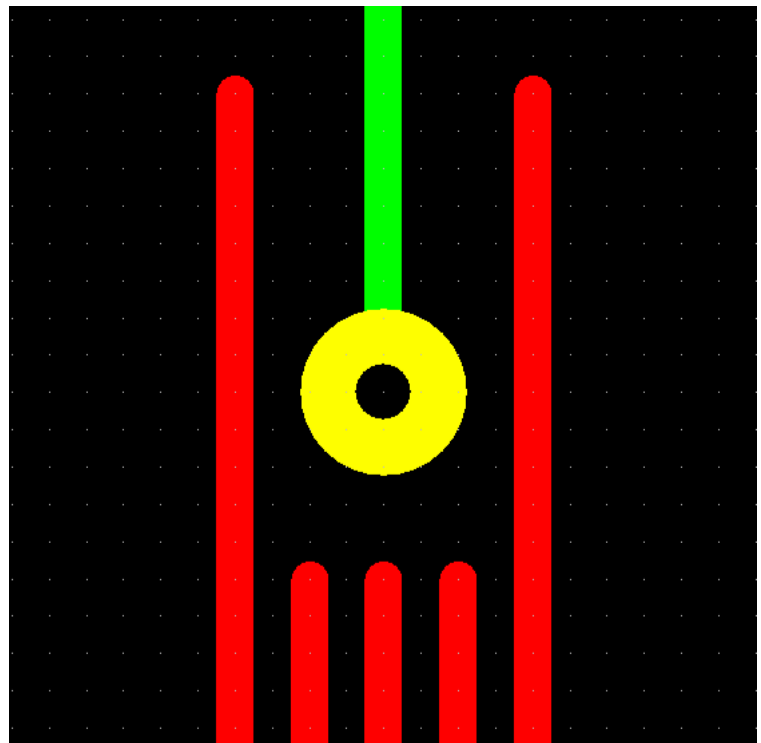


Bild 12-5 Raumbedarf eines Vias

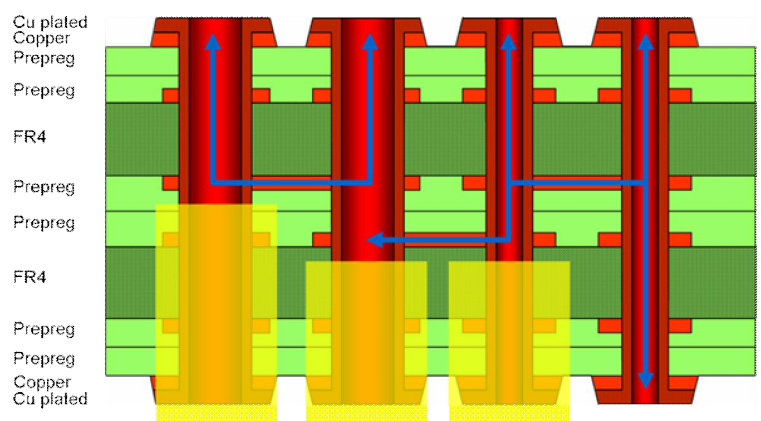


Bild 12-6 Blockierte Räume durch nicht genutzte Via-Stubs

Auf diese Weise werden Bereiche nicht nur routingtechnisch voneinander getrennt, denn unter Signalintegritätsaspekten wird die Schaltung dadurch auch optimiert.

Hinweis

Es gibt keine goldene Regel, die alle Probleme auf einen Schlag lösen kann.

Eine optimale Entflechtung ist immer von mehreren Faktoren abhängig. Die Erarbeitung einer geeigneten Strategie bleibt die Kernaufgabe des Designers und kann nicht an ein Softwareprogramm delegiert werden.

Optimale Ergebnisse sind immer das Resultat menschlicher Intelligenz, einer fundierten Aus- und Weiterbildung und nicht zuletzt wertvoller Berufserfahrung.



14. Kapitel / Arnold Wiemers

Starrflexible Leiterplatten

Mehr Komplexität für einfache Lösungen

Starrflexible Baugruppen sind etabliert

Noch vor wenigen Jahren waren starrflexible Leiterplatten eher ein exotisches Produkt der Leiterplattenindustrie. Zu teuer, zu komplex und zu unüberschaubar vom Regelwerk her, das der Designer zu beachten hat.

Das hat sich grundlegend geändert. Die starrflexiblen Leiterplatten definieren zwar noch immer die Königsklasse der Leiterplattentechnologie. Der exotische Touch ist jedoch verflogen. Flexible und starrflexible Leiterplatten haben unseren Alltag erobert. Gewöhnliche Baugruppen werden längst auf hohem Niveau in größten Stückzahlen gebaut. Mobiltelefone, Videokameras, Fotoapparate, MD- und MP3-Player setzen auf die technischen und strategischen Optionen, die sich durch starrflexible Materialien in Kombination mit moderner Leiterplattentechnologie ergeben.

Was macht dieses Produkt aus?

Wenig Platz, geringe Bauhöhe, niedriges Gewicht, automatisierte Montage, große Stabilität, hohe Zuverlässigkeit und konstruktive Freiräume zeichnen die starrflexiblen Materialien aus.

Technisch anspruchsvolle Anforderungen für die Bewältigung komplexer geometrischer und funktioneller Aufgabenstellungen werden von diesen Produkten erfüllt. Es eröffnet sich ein breites Spektrum an Lösungen für die tägliche Ingenieursarbeit.

Obwohl "normale" starrflexible Leiterplatten das 3 bis 5-fache im Vergleich zu konventionellen Leiterplatten kosten, so helfen sie dennoch, die Gesamtkosten für viele elektronische Geräte zu senken.

Die Ursache ist in der Erleichterung der Gerätemontage zu sehen. Der Zusammenbau funktionaler Einzelkomponenten eines Gerätes ist aufwendig. Eingabeauffassung, Display, Speichern und Auswerten von Daten, externe Schnittstellen, Sensorik und Stromversorgung müssen zusammengebracht werden.

Doch die Montage von individuell konfektionierten Steckern und Flachbandkabeln ist langwierig, aufwendig und teuer. Eingesparte Steckverbindungen sparen somit Geld, Platz und Gewicht. Eine Veränderung des Erscheinungsbildes eines mobilen Gerätes ist mit weniger Sachzwängen verbunden und in unserer heutigen schnellen Zeit kurzfristig umsetzbar.

Anwendungen

In allen Lebensbereichen finden sich starrflexible Leiterplatten. Im Maschinenbau kommen vibrationsentkoppelte Verbindung von beweglichen Komponenten zum Einsatz. Die Medizintechnik hat für die Prothetik den Einsatz von beweglicher Elektronik in künstlichen Gelenken entdeckt. Bereits an der Tagesordnung ist die Magen-Darm-Prävention durch gekapselte Kamerasysteme die inklusive Stromversorgung in eine gefaltete starrflexible Leiterplatte integriert sind. Die mobile Datenerfassung (~ MDE) ist durch kompakte und leichte Geräte ermöglicht worden. In der Haustechnik werden starr-

flexible Leiterplatten in die Zylinder von Türschlössern eingebaut. Im Modellbau und in der Sensorik ist die Kontaktabnahme durch bewegliche Meßgeber üblich.

Die Elektronifizierung im Kfz-Bereich hat für einen zusätzlichen Schub gesorgt. Auch in eher konservativen Sparten wie der Luft- und Raumfahrt nimmt der Einsatz starrflexibler Schaltungen zu. Insbesondere die zahlreichen Anwendungen in der Avionik verdeutlichen das Vertrauen in die Zuverlässigkeit starrflexibler Leiterplatten. Und daß die Kosten im Vergleich zum Nutzen offensichtlich vertretbar sind, zeigt sich am massenhaften Einsatz flexibler und starrflexibler Schaltungen im Bereich automotiver Anwendungen.

Die kaufmännische Entscheidung für die aufwendigere und teurere starrflexible Schaltung fällt im Vergleich zu einer "Standardleiterplatte" nicht immer leicht. Der wesentliche Unterschied zur starren Leiterplatte besteht in der Betrachtung der *gesamten* Systemkosten, die üblicherweise deutlich zu Gunsten einer starrflexiblen Leiterplatte ausfallen.

Eingesparte Bauteilkosten, reduzierte Montagekosten, vereinfachte Prüfkosten, kürzere Handlingzeiten und eine unkompliziertere Verfahrensdokumentation sorgen dafür, daß eine vordergründig als teuer klassifizierte Leiterplatte im Nachhinein zu einer preiswerteren Baugruppe führt.

Fertigungstechnologie

Bis Anfang 2000 war die flexible oder starrflexible Schaltung vornehmlich nur in der großen Serie erfolgreich. Die Investition der Leiterplattenhersteller in leistungsfähige Anlagen zur Produktion von Multilayern hat die Bedingungen verändert. Die Fortschritte in der Herstellungstechnologie bei den mittelständischen Leiterplattenfertigern haben dazu geführt, daß starrflexible Produkte heute auch in kleineren Stückzahlen mit teilweise extrem individualisierter Ausprägung verfügbar geworden sind.

Im Prinzip ist ein starrflexibler Multilayer immer ein Hybrid, das bedeutet, es müssen Materialien unterschiedlicher Qualität miteinander verpreßt werden (Bild 14-1).

Viele Aufbauten enthalten neben Polyimid und FR4 auch noch eine dritte Substratklasse, z.B. keramikgefülltes Material.

Ohnehin müssen mit Bondplys (~ "Flexprepregs") und aufgeklebten Coverlays bereits multifunktionale Materialschichten Berücksichtigung finden.

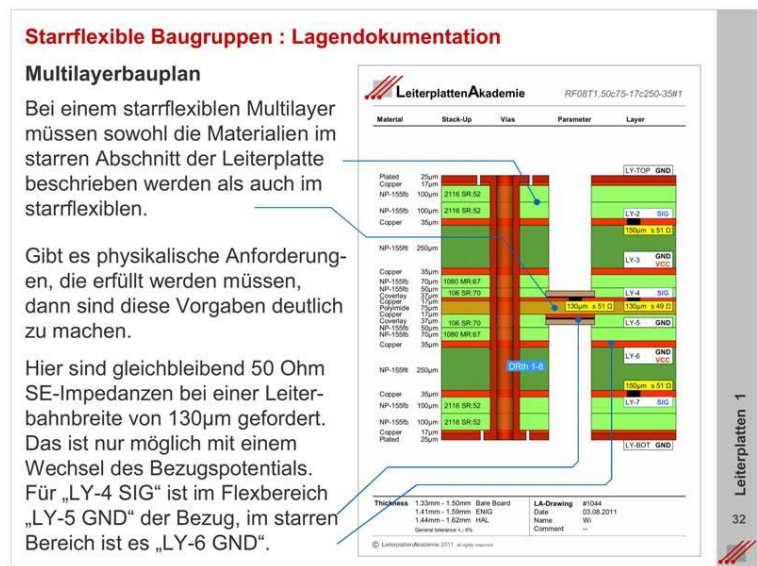


Bild 14-1 Oberflächenbilanz für Chemisch Gold

Für das Bohren und Metallisieren der Hülsen bedeutet das eine feinfühlige Abstimmung der Prozeßparameter. Es gehört Einiges an Berufserfahrung dazu, die richtigen Drehzahlen und die optimalen Vorschubgeschwindigkeiten für das weiche Polyimid einerseits und für das harte FR4 (~ Epoxydharz plus Glasgewebe) andererseits zu ermitteln, so daß das Material an den Wandungen der Bohrhülsen

beim Bohren sauber geschnitten und ein Aufschmelzen der Harze und Glasgewebe weitestgehend vermieden wird.

CAD-Layout

Flexible und starrflexible Leiterplatten in der HDI-Klasse mit Leiterbahnbreiten und -abständen bis zu minimal 100µm sind problemlos zu fertigen.

In Kombination mit der Miniaturisierung in der Leiterplattentechnologie (i.e. Microvia und Microline) stehen alle Layoutstrategien zur Verfügung, die sich bei starren Leiterplatten in den letzten Jahren ausgeprägt haben.

Auf den starren Teilbereichen eines Starrflex-Multilayers kann das CAD-Design also alle Vorteile der selektiven Kontaktierungsvarianten nutzen (Blind Vias, Buried Vias), so daß auch hochpolige Chips und vor allem µBGAs eingesetzt werden können.

Viele klassische Regeln für das Design starrflexibler Leiterplatten sind ins Wanken geraten. Die Bestückung von Bauteilen auf flexiblen Basismaterialbereichen ist inzwischen eine übliche Vorgehensweise, wenn die Baugruppe das erfordert und wenn der flexible Bereich keiner dynamischen Biegebelastung unterliegt.

Auch der minimale Biegeradius wird vielfach ignoriert. Abgeknickte und geklemmte Flexbereiche in Video- und Digitalkameras sind üblich, wenn im Biegebereich später keine Bewegung mehr ausgeführt wird.

Im Prinzip bedienen die Routingregeln und die Regeln für die Multilayerkonstruktion starrer Leiterplatten auch die Anforderungen starrflexibler Leiterplatten.

Ergänzungen finden sich vornehmlich im Bereich der Sicherheitsabstände im Übergang vom starren zum flexiblen Teil. Zu beachten ist hier ein Abstand $\geq 1.0\text{mm}$ für alle Leiterbilder und Bauteile.

Polyimidfolie reißt leicht ein. Als ein mechanischer Einreißschutz sollte im Bereich einer Innenkontur freiliegendes flexibles Material im Randbereich

mit einer Kupferbahn $\geq 500\mu\text{m}$ verstärkt sein (Bild 14-2). Befestigungen von oder auf flexiblen Bereichen sollten umlaufend eine Kupferfläche bieten, die $\geq 1.0\text{mm}$ breit ist.

Material

Als Standardmaterial für ein- oder doppelseitige flexible Schaltungen wird Polyimid eingesetzt, bei Massen Anwendungen auch das preiswertere Polyester (...PET ~ Polyethylenaphthalat) oder PEN (~ Polyethylenterephthalat). Für Sonderanwendungen stehen LCP (~ flüssig kristalline Polymere) oder PEEK (Poly Ether Ether Keton) zur Verfügung. Letzteres zeichnet sich aus durch geringste



Bild 14-2 Einfache Designregeln für flexible Bereiche

Feuchtigkeitsaufnahme, niedrige Ausgasung und höchste thermische Belastbarkeit. Dieses Material besetzt die enge Nische einiger Anwendungen in der Raumfahrt (Quelle: Christian Kalkmann, ILFA Akademie, Starrflexible Leiterplatten, 09'2010).

Für den Zusammenbau einer Starrflexiblen Leiterplatte wird flexibles Polyimid-Material mit einem starren Innenlagenlaminat verpreßt, das ist in der Regel das altbeliebte FR4. Aber auch starres Polyimid sowie Sondermaterialien von Arlon, Taconic oder Rogers können verarbeitet werden.

Je nach Charakteristik (...Elektrolytkupfer oder Walzkupfer) und Ausführung (...Coverlay, lokale Verstärkung) ist das flexible Material hochelastisch und für dynamische Biegezyklen > 100000 geeignet. Flexleiterplatten haben wenig Gewicht und sind thermisch bis über 200 °C belastbar.

Das Dielektrikum liegt bei zirka 3.4 und hat zur Folge, daß die Geometrie von Übertragungsleitungen angepaßt werden muß, wenn diese über den flexiblen Abschnitt einer Leiterplatte geführt werden.

Die Haftkraft des Kupfers auf der flexiblen Polyimidfolie ist > 1.0 N/mm, die maximale Betriebstemperatur > 100 °C. Beide Werte passen zu den vergleichbaren Leistungskenngrößen von FR4.

Durch die kombinierte Verarbeitung mit hochfrequenzgeeigneten Materialien gibt es auch Lösungen für Baugruppenkonzepte und elektronische Schaltungen, die eine extrem verlustarme Signalübertragung erfordern.

Konstruktion des Lagenaufbaus

Es gibt keine produkttypische Limitierung für die Anzahl der Lagen in einem Starrflexmultilayer. Die heute geforderte höhere Leistungsfähigkeit von elektronischen Baugruppen ist bei oft geringem Platzbedarf und extrem kompakt platzierten Bauteilkomponenten auch bei starrflexiblen Schaltungen möglich.

Konstruktiv sollte der flexible Teil bei einem Starrflex-Multilayer mittig eingebracht sein, es ist aber auch das Aufpressen auf die Außenlagen oder ein asymmetrischer Aufbau möglich.

Üblicherweise werden die Lamine für einen starrflexiblen Multilayer mit konventionellen FR4-Prepregs verpreßt. Alternativ können Polyimidprepregs eingesetzt werden. Viele Aufbauten sind in der Vergangenheit mit Acryl- und Epoxydharzklebern realisiert worden.

Mit der zunehmenden Ausrichtung auf bleifreie Baugruppen im Schatten der Forderung nach RoHS-kompatiblen Produkten versucht man, diese Kleber zu vermeiden. Die enorme thermische Belastung beim Verpressen der Multilayer und beim Lötten der Baugruppe führt zu Vorbelastungen des Materials und zu unzuverlässigen Verpressungen, die zur Delamination neigen.

Durch das Einfügen von Powerplanes in einen Lagenaufbau sind effektive Maßnahmen für die Signalintegrität mit Beachtung der Leitungsimpedanz und der Rückströme umsetzbar.

Eine besondere Anwendung sind im Moment noch starrflexible UTMs (~ Ultra Thin Multilayerboards), die teilweise mit 50µm dünnen Laminaten aufgebaut werden. Die kapazitiven Eigenschaften benachbarter Powerplanes sind damit nutzbar.

Ein Nebeneffekt ist die Verringerung des Gewichtes und der Bauhöhe des elektronischen Gerätes. Im Ergebnis erhält man durch die Kombination starrflexibler UTMs mit der MFT (~ Micro-Fineline-Technology) hochintegrierte und kompakte elektronische Baugruppen.

Gestapelte Stromversorgungssysteme (i.e. MPS ~ Multipowersysteme) bieten ein Höchstmaß an Powerintegrität und wirken sich durch ihren abschirmenden Einfluß positiv auf das EMV-Verhalten der in Betrieb genommenen Baugruppe aus.

Auch für die Entwärmung ist gesorgt. Sowohl Dickkupferschaltungen als auch der Einbau von Metallkernen sind konstruktive Optionen.

Die Abstände und die Biegeradien der starren Leiterplattensegmente müssen vor Beginn des CAD-Layouts bekannt sein. Starrflexible Baugruppen müssen immer plan bestückt werden (Bild 14-3).

Bei der Platzierung der Komponenten muß deshalb die spätere gefaltete und gegebenenfalls gebogene Geometrie der Baugruppe beachtet werden.



Bild 14-3 Bauteilplatzierung und Baugruppenmontage

Hinweis

Es gibt zu viele individuelle Produktionsparameter, die an die Konstruktion, die Funktion und den Einsatz einer starrflexiblen Baugruppe gebunden sind.

Sprechen Sie mit dem Leiterplattenhersteller Ihres Vertrauens. Er wird Ihnen die richtigen Mitarbeiter zur Seite stellen, die Sie kompetent bei der Materialauswahl, dem Lageraufbau und dem CAD-Design beraten werden.



15. Kapitel / Arnold Wiemers

Drucke und Lacke auf Leiterplatten

Wenn Leiterplatten bunt werden...

Mehr als nur ein Farbtupfer

Selten begegnet man heute noch Leiterplatten, die ohne jeden Lackaufdruck sind. Und wenn doch, dann handelt es sich meistens um Baugruppen aus dem Hochfrequenzbereich, die zudem durch eine eigenwillige Leiterbildausprägung auf sich aufmerksam machen.

Die klassische Leiterplatte ist seit Ende der 80er Jahre des letzten Jahrtausends praktisch immer wenigstens mit Lötstoplack abgedeckt. Eine aufgedruckte Bestückungskennzeichnung kam mit den Jahren standardseitig dazu. Die doppelseitige Bestückung mit bedrahteten Bauteilen, heute "THT-Technologie" genannt, hat den Druck von Abziehlack forciert. Für den InCircuitTest (~ ICT) wurde unterstützend ein Viadruck eingeführt. Der Druck von Carbon revolutionierte die Fertigung einfacher Leiterplatten. Später kam noch der Heatsinkdruck dazu, um die Entwärmung einer Baugruppe zu fördern.

Wenn die Konstrukteure der Leiterplatten und Baugruppen alle momentan zur Auswahl stehenden Drucke für ihre Projekte vorsehen, dann stellen sie den Leiterplattenhersteller nicht nur vor logistische Probleme.

Nicht immer sind die chemischen Wechselwirkungen zwischen den aufgedruckten Substraten bekannt und harmlos. Und mit der Aufbringung eines Lackes während der Leiterplattenproduktion ist es ja auch nicht getan.

Die nachfolgende Bestückung der Baugruppe erfordert ein Fluxen der Leiterplattenoberfläche und es werden (...gegebenenfalls) noch mal Lösungsmittel zur Reinigung der Baugruppe eingesetzt. Durch das Löten der Bauteile steht zudem genügend Wärmeenergie für die Provokation ungewollter chemischer Reaktionen zur Verfügung.

Die zusätzlichen Drucke von Substraten auf Leiterplatten sind deshalb keinesfalls vernachlässigbar.

Lötstoplack

Lötstoplack wurde in den 1970er Jahren eingeführt, um beim Wellenlöten Verschleppungen von Lot vom bedrahteten Bauteilpin zum benachbarten Bauteilpin oder zur benachbarten Leiterbahn oder von Leiterbahn zu Leiterbahn zu vermeiden. Das funktionale Substrat war/ist ein 2-Komponenten-Epoxydharz. Die Aufbringung auf die Leiterplatte erfolgt/e im Siebdruck.

Der Umbruch in der Bauteiltechnologie gegen Anfang der 90er Jahre mit massiver Einbindung oberflächenmontierter Bauteile (i.e. SMT = **S**urface**M**ounted**T**echnology) hat dazu geführt, daß die Lötstoplackbeschichtung einer Leiterplatte vom Siebdruck auf ein Fotodruckverfahren umgestellt wurde.

Die fototechnische Belichtung eines Lackes mit einem Film hat erheblich geringere Toleranz, als der Siebdruck, ist im Ergebnis auf der Leiterplatte kontrollierter ausgeprägt und läßt sich in der Produktionslogistik sicherer und effektiver handhaben. Nur mit fotostrukturierbaren Laminaten lassen sich SMD-Bauteile mit Anschlußrastern von 300µm bis 400µm auf Padflächen von 200µm Breite zuverlässig löten, ohne daß das Risiko einer schlechten Benetzbarkeit der Lötflächen in Kauf genommen

werden muß. Die Option, Fotolack mit einem Laser belichten (~ polymerisieren) zu können, eröffnet zudem einige Perspektiven für die Zukunft.

Die Forderung der SMD-Technologie nach planen und wohldefiniert beschichteten Lötflächen hat zu den heute üblichen chemisch erzeugten Endoberflächen auf Leiterplatten geführt. Typische Vertreter sind Chemisch Gold (~ ENIG = "Electroless Nickel Immersion Gold"), Chemisch Zinn und Chemisch Silber (~ ASIG = "Autocatalytic Silver Immersion Gold").

Ohne Lötstoplack als Resist sind diese Oberflächen nicht herstellbar. Der Leiterplattenhersteller prozessiert zuerst den Lötstoplack, der letztlich dann nur noch die Lötflächen freiläßt. Dementsprechend scheidet sich auch nur auf diesen Flächen die Endoberfläche ab, während alle übrigen Leiterbildstrukturen unter der Lackschicht in Kupfer verbleiben (Bild 15-1).

Ein deutlicher Vorteil dieser Vorgehensweise ist die optimale Signalübertragung auf/in der Kupferleiterbahn.

Spätestens zu diesem Zeitpunkt wird klar, daß die Aufbringung von Lötstoplack selbstverständlich einen Einfluß auf die physikalische Funktion der Baugruppe hat. Kriechstrom- und Spannungsfestigkeit erhöhen sich bei Leiterplatten, die mit Lötstoplack beschichtet sind. Die Wärmeabstrahlung von Baugruppen mit dunklem und mattem Lötstoplack ist intensiver, als bei hellen und glatten Lacken.

Die Signallaufzeit auf mit Lack

beschichteten Leiterbahnen wird verlangsamt, weil die in Lack eingebettete Leiterbahn in ihrer Umgebung ein höheres Epsilon-R sieht, als eine unbeschichtete Leiterbahn.

Mit der Orientierung der Via- und Leiterbildgeometrien hin zur Mikrofeinleitertechnik (~ MFT) wird sogar erheblicher Einfluß auf das CAD-Layout genommen. Weil fototechnisch strukturierter Lötstoplack üblicherweise aufgegossen oder aufgesprüht wird, werden Vias mit einem Enddurchmesser von < 300µm nicht mehr vollständig verfüllt. Leider verschließt die Lackabdeckung die Vias auch nicht. Bedingt durch Temperaturwechsel und Vibration reißen die Abdeckungen ein. Feuchtigkeit, kristalline Rückstände aus der Leiterplatten- und Baugruppenproduktion sowie Kondensate aus der Einsatzumgebung können mittelfristig die Hülsen korrodieren und zum Ausfall der Baugruppe/des Gerätes/der Maschine/der Anlage führen.

Abhilfe ist da vor Allem durch ein komplexes CAD-Layout möglich. Wohlüberlegte Padstacks schaffen Abhilfe, führen aber auch zu einer hohen Variantenvielfalt an Routingstrategien.

Lötstoplack muß nicht immer grün sein. Schwarz, rot, blau, braun, weiß und gelb sind akzeptable Alternativen. Bedingt durch den Verarbeitungsprozeß beim Leiterplattenhersteller sind jedoch an den Maschinen die Lackbehälter nur mit erheblichem Aufwand zu reinigen und zu tauschen, so daß grün vorerst die bevorzugte Farbvariante bleibt.



Bild 15-1 Anforderungen an Lötstoplack auf Leiterplatten

Bestückungsdruck

Auf der Leiterplatte kann der Bestückungsdruck die Position von Bauteilen kennzeichnen. Bestückungsdruck ist ein thermisch härtender 2-Komponenten-Epoxyharzlack, vergleichbar dem Lötstoplack. Die Aufbringung erfolgt im klassischen Siebdruckverfahren oder in einem neueren Verfahren mit einem Inkjet-Printer.

Die Bauteilkennzeichnung hat vor hauptsächlich informative Aufgaben. Während der Erstellung des CAD-Designs gibt sie Auskunft über den Bauteiltyp und über die Orientierung des Bauteils zu den anderen Bauteilen der elektronischen Schaltung (Bild 15-2).

Über den Bestückungsdruck können gesperrte Bereiche auf der Leiterplatte markiert werden. Diverse Warn- und Sicherheitshinweise (...50V,...CMOS-Bauteile,..etc), die für die Inbetriebnahme und die Wartung der jeweiligen Baugruppe von Bedeutung sind, können aufgedruckt werden.

Sinnvoll sind die Markierung von Bauteilpolaritäten und die Positionierung von Jumpers sowie Auskünfte zum Produkt (...der Name der Leiterplatte, Revisionsstand) und zum Hersteller der Leiterplatten (...Logo, Zeitpunkt der Produktion).

Bestückungsdruck kann auf alle Leiterplattentypen mit allen gängigen Oberflächen gedruckt werden. Der Druck kann auf beide Leiterplattenseiten aufgebracht werden. Standardfarben sind gelb und weiß.

Der Bestückungsdruck sollte in der Datenbank des CAD-Systems so angelegt sein, daß Polaritäten und Bauteilnamen nach der Bestückung der Leiterplatte nicht abgedeckt werden und somit auch später noch lesbar sind.

Die dielektrischen Eigenschaften des Bestückungsdruckes sind vergleichbar mit den dielektrischen Eigenschaften des Lötstoplackes. Bestückungsdruck auf Leiterbahnen verändert die Impedanz und damit die Signallaufzeit.

Bedauerlicherweise muß bei dichtbestückten SMD-Layouts oft noch zusätzlich ein Bestückungsplan am CAD-System erstellt werden, damit eine zweifelsfreie und aussagekräftige Dokumentation für qualitätssichernde Maßnahmen vor, während und nach der Baugruppenproduktion vorliegt.

Abziehlack

Abziehlack ist ein thermisch härtender 1-Komponenten-Lack, der im Siebdruckverfahren aufgebracht wird. Der Lack ist dickflüssig und wird daher mit einem Sieb mit großen Maschenöffnungen gedruckt. Die darstellbaren Strukturen sind deshalb recht grob.

Die Aufgabe des Abziehlackes ist es, Bohrungen und freiliegende metallische Flächen abzudecken, die beim Wellenlöten *nicht* mit Lot verfüllt oder benetzt werden dürfen.

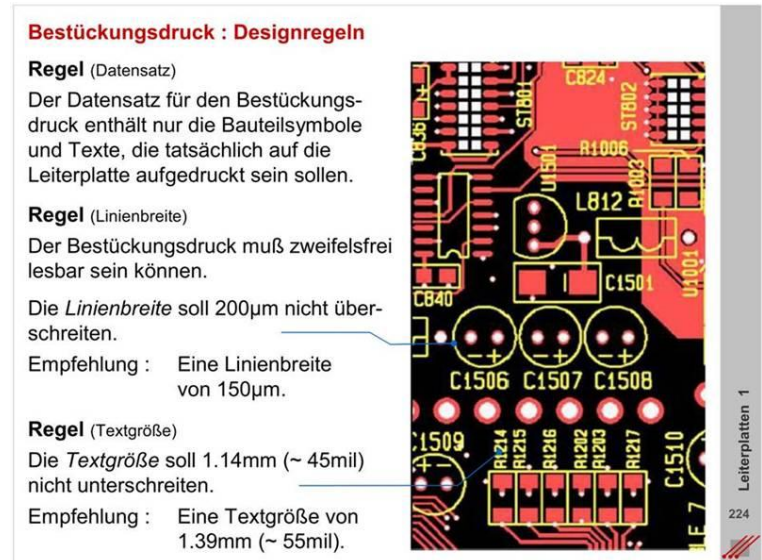


Bild 15-2 Definitionen für den Bestückungsdruck

Diese Anforderung tritt bei Baugruppen auf, die *doppelseitig* mit THT-Bauteilen bestückt werden. Nach dem ersten Wellenlötgang würden die offenen Bohrlöcher der noch unbestückten Bauteile Lot aufnehmen. Das Bestücken dieser Bauteile für den zweiten Lötvorgang wäre dann nicht möglich.

Nach dem ersten Wellenlöten kann der Abziehlack händisch abgezogen werden. Bei mehr als einem Lötvorgang wird der Lack jedoch durch das Ausgasen der Weichmacher verspröden und dadurch an Elastizität deutlich verlieren.

Die Konstruktion des Abziehlacks erfolgt am CAD-System praktisch immer von Hand. In einem Service-layer werden die Bereiche gezeichnet, die später auf der Leiterplatte mit Abziehlack überdeckt werden sollen (Bild 15-3).

Zur besseren Orientierung sollten währenddessen Befestigungspositionen oder Flächenbereiche (... z.B. Goldstecker) am CAD-Bildschirm immer im Hintergrund angezeigt werden.

Der Druck von Abziehlack sollte nur für eine Seite der Baugruppe vorgesehen werden.

Jede übliche Leiterplattenoberfläche kann mit Abziehlack bedruckt werden, wenn die zu bedruckende Fläche mechanisch stabil genug ist.

Viadruck

Der Viadruck (...auch "Viafüller" genannt) kann auf einer Leiterplatte mehrere Aufgaben übernehmen. Weil die offenen Löcher der Vias durch den Viadruck mit einem Substrat verschlossen werden, können die (...späteren) Baugruppen für den InCircuitTest mit Vakuum adaptiert werden.

Die hohe Bestückungsdichte moderner SMD-Baugruppen führt unweigerlich zu stark eingeschränkten Freiräumen bei der Entflechtung des Layouts am CAD-System. Oft werden dann die Vias für die Verdrahtung der Signale zwischen den elektronischen Komponenten so dicht an die Lötflächen herangeführt, daß zwischen Via und Lötfläche kein Lötstoplacksteg mehr vorhanden ist.

Das unweigerliche Abfließen von Lotpaste in die Bohrhülse kann dann zu einer massiven Vorschädigung der betroffenen Lötstelle führen, weil sich dadurch das Lotvolumen direkt am Pin des Bauteils dramatisch reduzieren kann.

Ein Füllen der Vias verringert dieses Risiko. Vias können mit einem 1-Komponentenlack im Siebdruck verschlossen werden. Alternativ kann auch ein 2-Komponentenlack eingesetzt werden, der fototechnisch und UV-härtend prozessiert wird.

Der Viadruck verhindert das Eindringen flüssiger und/oder kristalliner Rückstände während der Leiterplatten- und Baugruppenproduktion.

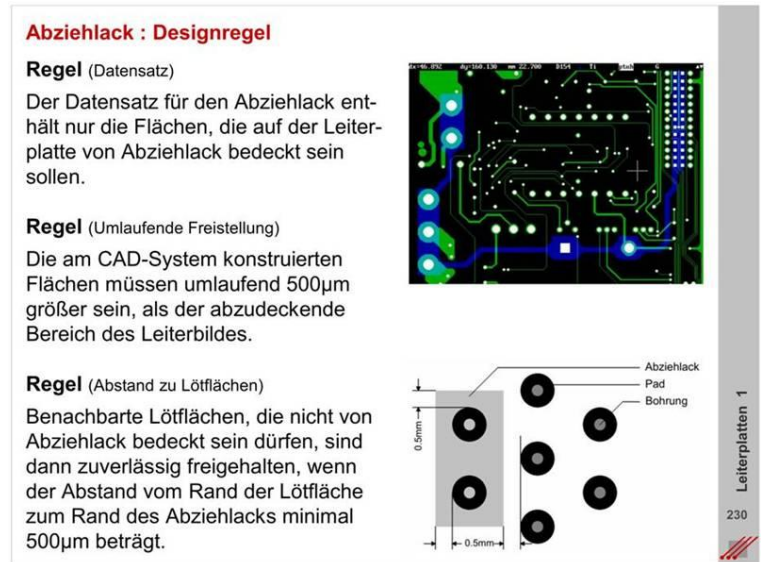


Bild 15-3 Die Konstruktion des Abziehlacks

Mit Blick auf den Einsatzbereich der Baugruppe wird auch die Aufnahme von Kondensat vermieden (Bild 15-4).

Ein doppelseitiger Viadruck ist nicht empfehlenswert, weil es beim Druck auf die zweite Seite zu Lufteinschlüssen in den Viahülsen kommt. Beim Löten der Baugruppe kann dann der entstehende Gasdruck zu einer lokalen Schädigung der Hülse führen.

Der einseitige Viadruck soll die Hülse um bis zu 75% verschließen. Wenn das für die langfristig zuverlässige Funktion einer Baugruppe nicht ausreichend ist, dann kann an Stelle des Viadrucks nur eine andere Technologie ausgeführt werden, zum Beispiel das Pluggen von Vias mit Epoxydharz oder Silberleitpaste.



Bild 15-4 Viadruck auf CPU-Boards

Heatsinkdruck

Der Bedarf, eine Baugruppe zu entwärmen, nimmt mit der Leistungsfähigkeit elektronischer Baugruppen zu. Mit der Konstruktion von Multilayersystemen muß jedoch auch bedacht werden, daß bei FR4-Materialien der passive Wärmetransfer aus dem Inneren der Leiterplatte nach außen nur schlecht abläuft. Um eine stabile Funktion sicherzustellen, muß die Entwärmung aktiv unterstützt werden.

Das am Einfachsten anzuwendende physikalische Prinzip ist, die Wärme im Inneren aufzunehmen, nach außen zu führen und dort in der Fläche zu verteilen. Der Druck von Heatsinkpaste kann diese Aufgabe leisten, wenn die Leiterplattendicke und der minimale Enddurchmesser der Vias angepaßt sind.

Heatsinkpaste wird immer im Siebdruck auf die Leiterplatte gebracht. Weil die Paste nicht elektrisch leitend ist, kann sie großflächig auf der Leiterplattenoberfläche verteilt werden, vorausgesetzt, die Platzierung der Bauteile läßt das zu.

Die Paste für den Heatsinkdruck ist hochviskos, so daß ein grobes Sieb mit großer Maschenöffnung eingesetzt werden muß.

Auch der Heatsinkdruck ist kein Prozeß, für den am CAD-System eine Layerspezifikation vordefiniert ist. Bei der Anlage von Flächenstrukturen, die mit Lack bedruckt werden sollen, ist ein Abstand von 500µm zu nicht zu bedruckenden Flächen einzuhalten.

Wichtig ist, daß die Wärme aus dem Inneren eines Multilayers herausgeführt wird. Das geht nur, wenn die Paste in die Hülsen der Vias gedruckt wird und diese zu mindestens 50% verfüllt. Üblich sind 75% und natürlich wären 100% ideal.

Die Leiterplattendicke sollte 1.20mm nicht unterschreiten. Bedingt durch die hohe Viskosität der Paste ist ein Verfüllen von BlindVias nicht möglich. Der minimale Enddurchmesser sollte für Durchkontaktierungen nicht unter 300µm liegen, damit die Paste während des Siebdruckes in die Hülse gedrückt werden kann.

Je nach Wärmespreizung fällt die Entwärmung unterschiedlich effektiv aus und muß eventuell durch ergänzende Maßnahmen (...Konvektion, Kontaktabnahme) aktiv unterstützt werden.

Carbondruck

Carbonpaste ist eine elektrisch gut leitende Graphitpaste, die in Siebdrucktechnik aufgebracht wird. Carbon verbessert die Härte mechanisch beanspruchter Kontakte (... Tasten, Schleifer), die direkt von der Leiterplattenoberfläche abgenommen werden.

Carbonpaste kann auf alle metallischen Flächen, auf die Leiterplatte oder direkt auf die Oberfläche des Basismaterials gedruckt werden. Carbon wird in den unterschiedlichsten Bereichen eingesetzt, um verschiedenste funktionale Eigenschaften für eine Baugruppe zu erlangen.

Wird zwischen den Leiterbahnen auf der Oberfläche der Leiterplatte und dem Carbondruck eine hinreichende Isolation aufgebracht, dann kann die Carbonpaste mit der Funktion eines elektrischen Layers gedruckt werden. Mit dieser Strategie sind einfache elektronische Baugruppen (...Fernbedienungen, Computermäuse, Anzeigeelemente) mit dennoch komplexer Verdrahtung machbar und es kann das Konfektionieren, die Montage und das Löten von Drahtbrücken eingespart werden.

Carbonpaste kann auf die Vias nicht kontaktierter doppelseitiger Leiterplatten gedruckt und mit Vakuum durch die Viabohrung gezogen und ausgehärtet werden. Wenn die Anforderungen an die Anwendung der Baugruppe die Toleranz und die mittlere Qualität dieses Verfahrens zulassen, dann kann der technische Aufwand für das Galvanische Kontaktieren eingespart werden.

Auf hohem Niveau bewegt sich der Carbondruck, der für die Funktion passiver *Embedded Components* genutzt wird. Dabei werden gerechnete Induktivitäten und/oder Widerstände als Carbonstruktur auf die inneren Lagen von Multilayern gedruckt. Durch mechanische Verfahren oder Laserablation ist ein Trimmen der Widerstandswerte möglich. Das elektrophysikalische Verhalten der Baugruppe kann dadurch verbessert werden. Für das CAD-Layout ergeben sich zusätzliche Freiräume auf den Außenlagen, die konventionell für die weitere Bauteilbestückung genutzt werden können.

Am CAD-System muß der Druck von Carbonpaste immer in die Logistik des Layoutens eingebunden werden. Die zu bedruckenden Bereiche müssen in einem eigenen graphischen Layer untergebracht werden.



Bild 15-5 Carbondruck auf den Kontaktflächen einer Leiterplatte

Weil Carbonpaste Strom sehr gut leitet, ist unbedingt ein Design-Rule-Check erforderlich, der sicherstellt, daß nach dem Aufdruck des Carbons auf der Leiterplatte kein Kurzschluß entsteht, respektive, daß keine Unterschreitung von Mindestabständen zwischen benachbarten Strukturen stattfindet (Bild 15-5).

Hinweis

Alle Lacke erfordern einen Trocknungsprozeß. Werden mehrere Lackverfahren eingesetzt, dann geht der Wärmeeintrag beim Trocken immer zu Lasten der Leiterplatte.

Die Wechselwirkung zwischen Lacken und Coatings, die mit der Baugruppenproduktion aufgebracht werden, kann kritisch sein. Bei unbekanntem Kombinationen sollte die Verträglichkeit vorab geprüft werden. Fragen Sie Ihren Leiterplatten- und/oder Baugruppenproduzenten.



16. Kapitel / Jennifer Vincenz

Plazierung - die halbe Miete

Bauteilplatzierung im CAD-Layout

Ein gutes Layout steht und fällt mit der Bauteilplatzierung

Am Beginn des Layouts stellt sich immer die gleiche Frage: Wohin mit den Bauteilen, logisch, alles muß innerhalb der Board-Outline zu liegen kommen, aber wo genau ist der beste Platz für das jeweilige Bauteil?

Die gute Nachricht zuerst: eine gut durchdachte Platzierung kann das Routing erheblich erleichtern. Doch die Kehrseite der Medaille ist, daß eine weniger durchdachte Platzierung das Routing erschwert. Mit einer Platzierung "auf die Schnelle" wird aus einem 6-Lagen-Multilayer schnell ein 8-Lagen- oder gar ein 10-Lagen-Board, weil mehr benötigte Signallagen auch immer ein Mehr an GND-Lagen bedeuten, die zur Sicherung der Signalintegrität zwischen den Signallagen eingefügt werden sollten. Im schlimmsten Fall kann das bis hin zur Unentflechtbarkeit führen, beispielsweise, wenn ein Auto-placer genutzt wird, der Constraints nicht berücksichtigt (oder nicht berücksichtigen kann).

Und was ist nun DIE optimale Platzierung? Es ist wie im wirklichen Leben, es hängt davon ab..., von vielen Faktoren nämlich, den Vorgaben, den Funktionen, denen die Bauteile zugeordnet sind und nicht zuletzt natürlich auch der Verschaltung, also den Anschlüssen.

Prioritäten der verschiedensten Vorgaben müssen gegeneinander abgewogen werden, zum Beispiel Leitungslängen, Leitungsbreiten, Abständen, Aspect Ratio, Zugänglichkeit, um nur einige zu nennen.

Eine gute Platzierung will überlegt sein und braucht ihre Zeit.

Vorgaben berücksichtigen

Nun, einige Bauteile haben bereits ihren Platz durch die mechanischen Vorgaben aus der Gehäusekonstruktion zugewiesen bekommen. Dies ist meist für Stecker der Fall, die eine Signalübergabe aus der Schaltung heraus an andere Geräte oder Tochter-Leiterplatten ermöglichen sollen. Dazu gehören Sub-D-Stecker oder Buchsen, USB-Stecker, RJ-45-Stecker sowie Stecker- oder Buchsenleisten, die das Stapeln mehrerer Tochterplatinen übereinander ermöglichen (...die sogenannten Piggy-Packs). Diese Bauteile werden zuerst gemäß der Vorgaben positioniert und fixiert, damit sie während des Layoutens nicht mehr versehentlich verschoben werden können.

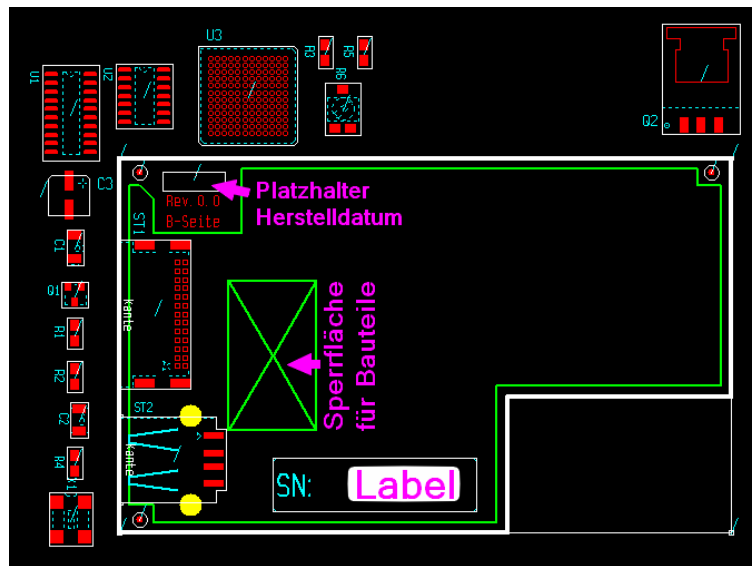
Auch die benötigten Freiräume für die Kennzeichnung des Herstelldatums, ggf. UL-Kennzeichnung und später aufzubringende Labels müssen bereits jetzt in diesem Stadium festgelegt werden. Bedenken Sie beispielsweise, daß sich die Impedanz einer Leitung geringfügig ändert, wenn Sie einen Aufkleber über ihr anbringen. Also sollten impedanzgeführte Leitungen nicht durch eine Fläche geführt werden, die für ein Label vorgesehen ist.

Diese Bereiche müssen deshalb bereits VOR dem Beginn des Routings festgelegt werden und es müssen entsprechende Sperrflächen definiert und berücksichtigt werden, die das Routing in diesen Bereichen verbieten oder einschränken (Bild16-1).



Weitere Vorgaben, die es zu berücksichtigen gilt, ergeben sich durch das Lastenheft oder durch entsprechende Normen oder Richtlinien, z.B. IPC-2221, Kapitel 8.

Auch die technische Funktion kann in einer Platzierungsvorgabe resultieren. Beispielsweise legt die Bedingung, gleiche Leitungslängen zwischen einem Baustein und mehreren anderen angeschlossenen Komponenten zu haben, bereits die Position dieser Bauteile zueinander fest.



Funktionsräume

Im nächsten Schritt sollten wir uns Gedanken um Funktionsräume machen.

Bauteile, die in der Schaltung einer Funktion oder einer Funktionsgruppe zugeordnet sind, sollten dies natürlich auch im Layout widerspiegeln. Zum Einen ermöglicht dies eine kurze und effektive Leitungsführung zwischen den Bauteilen einer Funktionsgruppe. Zum Anderen stören sich die Bauteile unterschiedlicher Funktionsgruppen nicht unnötig gegenseitig, wenn sie klar voneinander getrennt angeordnet werden.

Für die IO-Bereiche ist die saubere Trennung von anderen Funktionsbereichen geradezu Pflicht, denn im IO-Bereich ist fast immer mit erhöhtem Störpotential zu rechnen, daß nur bei einer räumlichen Trennung von anderen Funktionsbereichen auch effektiv gefiltert werden kann (Bild 16-2).

Bild 16-1 Vorgegebene Positionen für Stecker, Labels und Herstellkennzeichnung

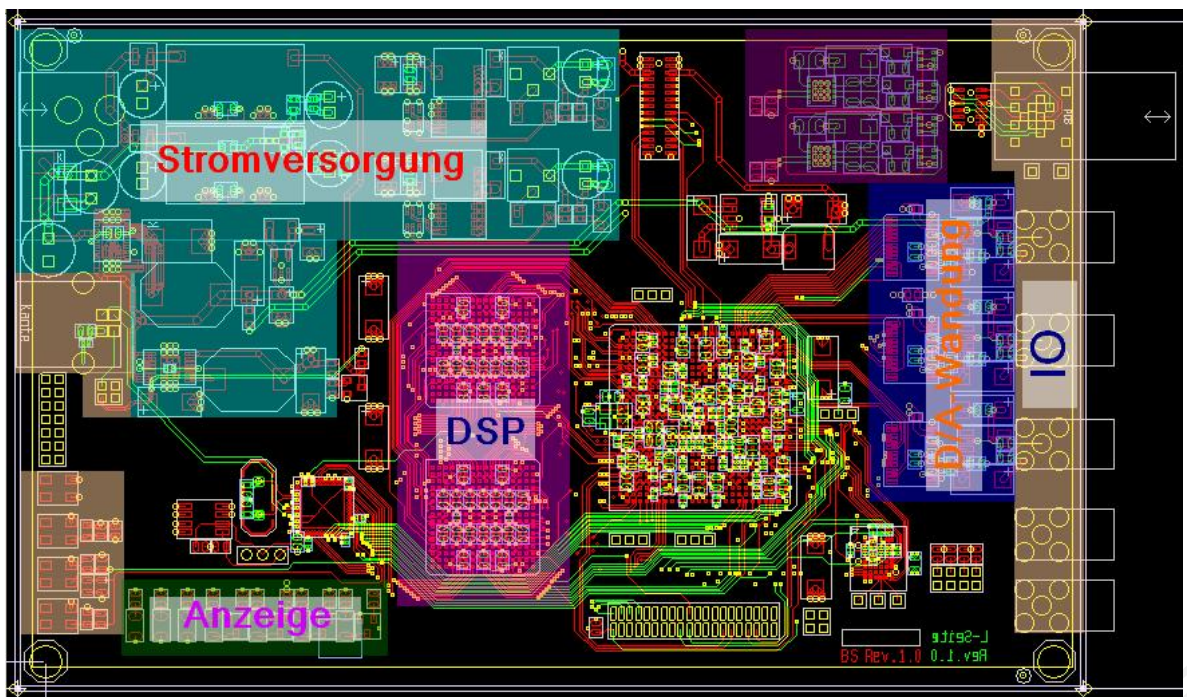


Bild 16-2 Platzierung nach Funktionsgruppen

Eine Hilfe bei der Einteilung stellt der Schaltplan dar, der ja bereits die einzelnen Funktionsbereiche wiedergeben sollte. Einige Layout-Programme, wie z.B. Pulsonix, bieten hier sehr effektive Unterstützung, indem beispielsweise im Schaltplan eine Funktionsgruppe selektiert wird und durch ein Crossprobing die gleichen Bauteile im PCB-Layout für die Vorplatzierung selektiert werden (Bild 16-3).

Ohne diese Hilfestellung bleibt nur die manuelle Vorplatzierung der Bauteile anhand des Schaltplans. Dazu können beispielsweise zunächst alle Bauteile außerhalb der eigentlichen Leiterplattenkontur vorgruppiert werden.

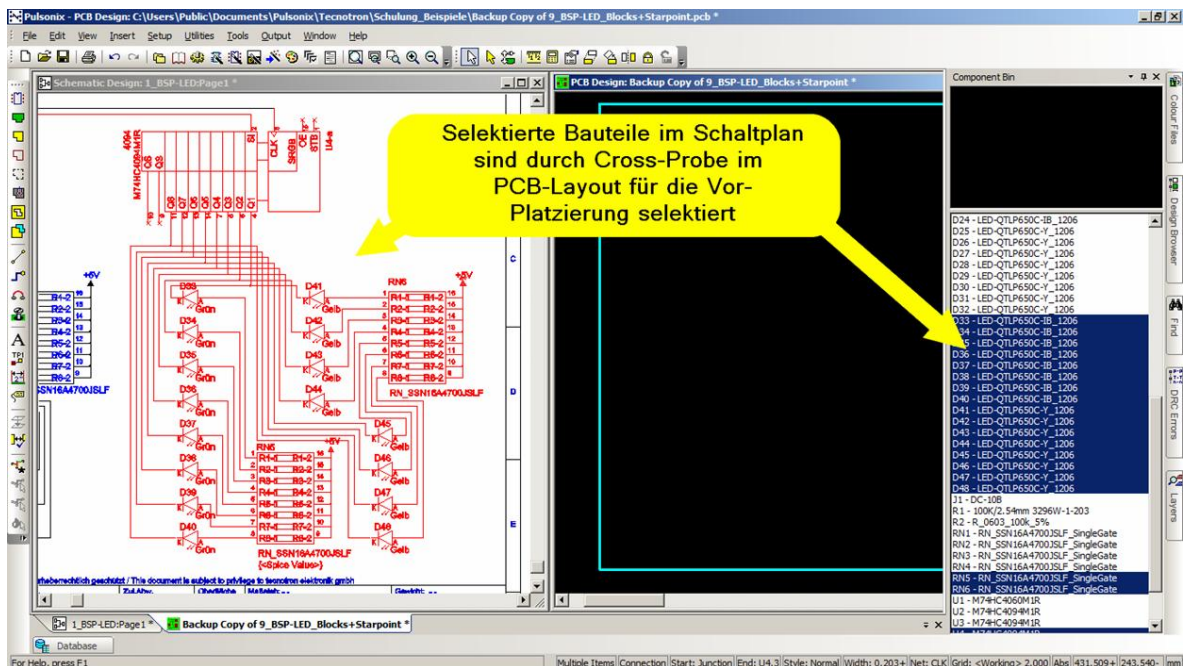


Bild 16-3 Selektion einer Funktionsgruppe im Schaltplan und Crossprobe ins PCB

Feinplatzierung

Innerhalb der Funktionsgruppen findet dann die Feinplatzierung statt. Üblicherweise wird dabei mit dem komplexesten Teil begonnen, dessen unmittelbar angeschlossene Bauteile, z.B. Terminierungen, im nächsten Schritt platziert werden. In der Folge werden dann die weiteren Bauteile der Funktionsgruppe angeordnet.

Eine Orientierung bieten dazu die "Luftlinien" oder "Gummibänder" (...auch "airlines", "rubberbands" oder schlicht "connections" genannt). Diese Linien zeigen die direkte elektrische Konnektivität an. Zuweilen gehört etwas Vorstellungsvermögen und vor allem Erfahrung dazu, sich den tatsächlichen Verlauf der Leitungen anhand dieser Darstellung auszumalen (Bild 16-4).

Die Bauteile sollten so platziert werden, daß möglichst wenige Kreuzungen entstehen. Eine Leitungskreuzung bedeutet, daß über ein Via ein Lagenwechsel für die anzuschließende Leitung nötig wird. Jedes Via benötigt allerdings mindestens den Raum für drei Leitungen.

Nicht immer ist eine solche gekreuzte "connection" auch eine Leitungskreuzung im realen Layout. Durch Hin- und Herbewegen des Bauteils kann jedoch ermittelt werden, was einer "echten" Kreuzung entspricht.

Gegebenenfalls ermöglicht eine Rotation des Bauteils eine Verringerung der Kreuzungen und manchmal kann es die Schaltung optimieren, wenn ICs auch auf der Unterseite platziert werden.

Es gilt also, genau abzuwägen, ob es kostengünstiger sein könnte, eine etwas komplexere Montage gegenüber einer eventuellen Erhöhung der Lagenzahl zu wählen.

Diese gesamte Vorplatzierung kann noch außerhalb der eigentlichen Board-Outline stattfinden. Die vollständig platzierte Funktionsgruppe wird dann später in den vorgesehenen Bereich auf der Leiterplatte verschoben.

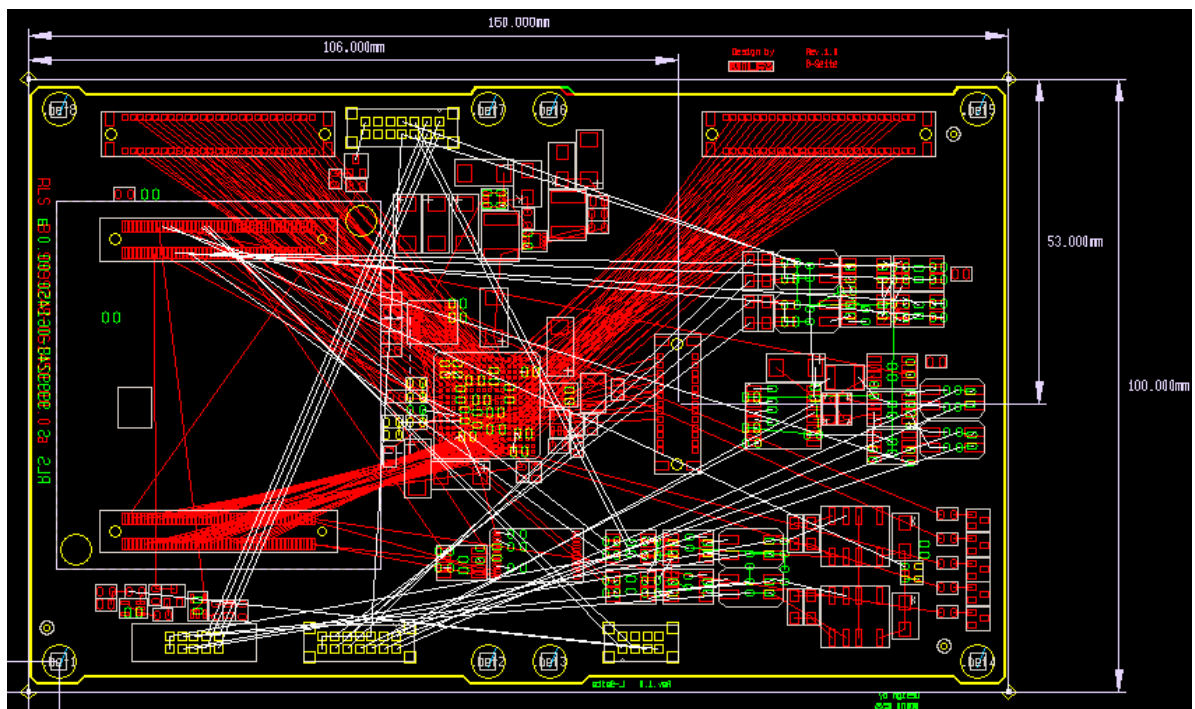


Bild 16-4 „Connections“ bieten eine Orientierungshilfe für die Platzierung

Raum für Fan-Out

Generell muß genügend Raum für das Herausführen der Leitungen, den sogenannten Fan-Out, bei der Platzierung vorgesehen werden.

Acht Leitungen, die ohne Vias herausgeführt werden, benötigen mindestens acht Mal die Leiterbahnbreite plus neun Mal den elektrischen Mindestabstand.

Vorgegebene Platzierungen mit vorgegebenen Pinbelegungen können dazu führen, daß entweder mehr Vias benötigt werden, weil auf Grund von Leitungskreuzungen ein direkter Anschluß nicht möglich ist, oder, im BGA werden Routingkanäle blockiert, weil Leitungen durch den Baustein geführt werden müssen.

In Folge werden mehr Signallagen benötigt, als ursprünglich abgeschätzt. Manchmal kann es in solch einem Fall hilfreich sein, die Leitungen außen um den Baustein herumzuführen. Allerdings benötigt auch das Raum und muss bei der Platzierung berücksichtigt werden (Bild 16-5).

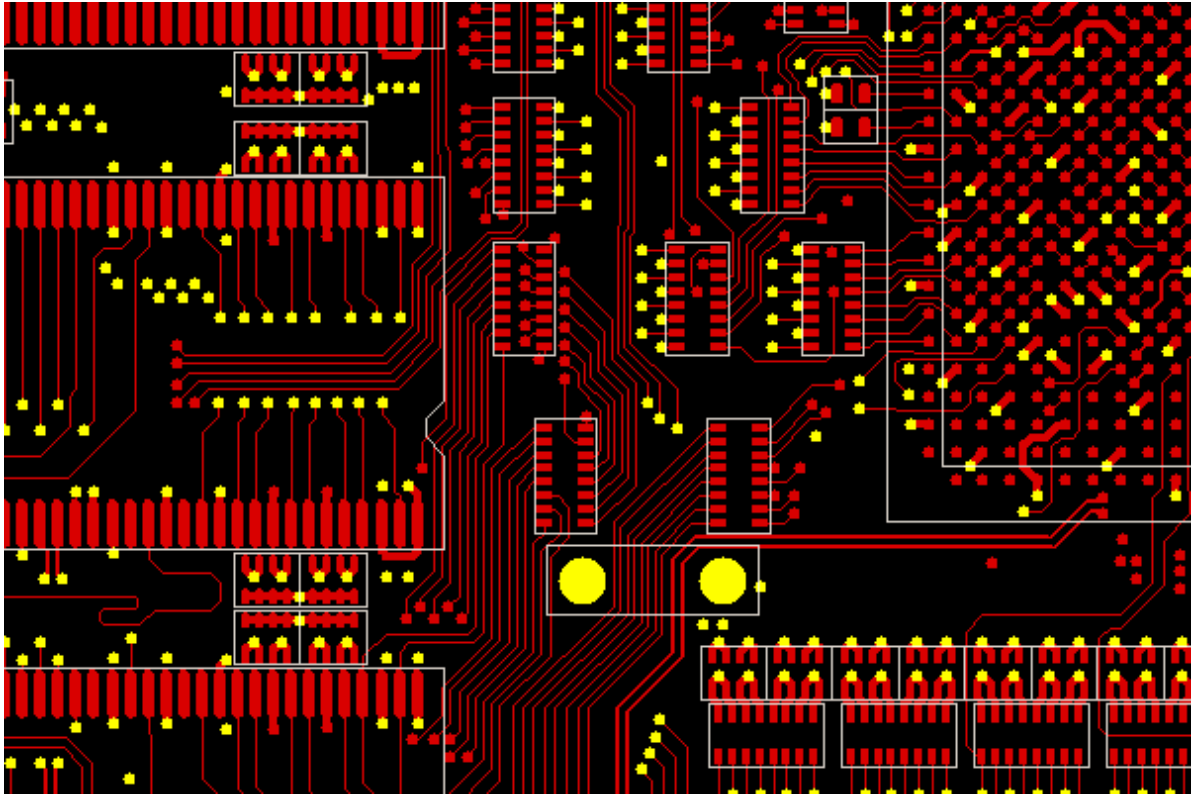


Bild 16-5 Raum für den Fan-Out muss bei der Platzierung berücksichtigt werden

Pin- und Gate-Swap

Verfügt ein Baustein über mehrere identische Gatter (Gates) oder haben einzelne Pins innerhalb eines Gatters identische Funktion, dann können Leitungskreuzungen reduziert werden, indem entweder Pins innerhalb eines Gatters oder gesamte Gatter eines Bausteins getauscht werden.

In einzelnen Fällen kann es sogar zulässig sein, Gatter über mehrere gleichartige Bauteile hinweg zu tauschen. Ein Pin- oder Gattertausch muss in jedem Fall mit dem Entwickler abgestimmt werden und die Möglichkeit der Backannotation in den Schaltplan muss gewährleistet sein.

Hinweis

Der Designer heute steht immer unter großem Zeitdruck. Da wird schon gern mal nachgefragt, warum denn das Herumschieben von ein paar Bauteilen eine Woche oder womöglich noch länger dauern muß.

Die Antwort lautet ganz klar: die Zeit, die in eine gute Platzierung investiert wird, verursacht keine Kosten, sie spart Kosten ein. Denn mit einer guten Platzierung wird gleichermaßen die Grundlage für die stabile und sichere Funktion des Gerätes als auch für die kosteneffektive und zuverlässige Produktion der Baugruppe geschaffen.



17. Kapitel / Jennifer Vincenz

Varianten - wie verwalten?

Und noch eine handgetippte Liste...

Wie werden Bestückungs- und/oder Gerätevarianten verwaltet?

Zwei Netzteile sollen konstruiert werden: sie teilen sich im Prinzip das gleiche Design und lediglich die Bestückung unterscheidet sich geringfügig für ein, zwei Widerstände, die entweder unbestückt bleiben oder je nach Netzteil-Leistung einen anderen Widerstandswert haben müssen. Der Einfachheit halber möchte man natürlich nur *einen* Schaltplan und *ein* Layout erstellen, vor allen Dingen aber auch nur *eine* Leiterplattentype für beide Netzteil-Typen bestellen.

Wie aber wird die Information transportiert, um welchen Typ Netzteil es sich handelt und welche Bauteile demzufolge bestückt werden müssen? Nun, es ist noch gar nicht solange her, da wurde, mal profan ausgedrückt, "ein Zettel drangemacht". Oftmals sind wir aber heute noch nicht nennenswert weiter. Es wird zwar nicht mehr der berühmte "Zettel drangemacht", jedoch wird die Verwaltung und das Handling von Baugruppenvarianten noch immer weitestgehend "zu Fuß", also manuell, durchgeführt.

Stücklisten und Pick&Place-Listen werden per Hand abgeändert, Notizen auf Bestückungsplänen angebracht und im Stillen wird gehofft, daß dabei nichts übersehen oder fehlerhaft eingetippt wird.

Ganz dramatisch wird es, wenn weder der Designer noch der Entwickler an der Erstellung der Unterlagen für die Baugruppenvarianten beteiligt sind.

Neuere EDA-Tools bieten Varianten-Management

Von der Schaltplaneingabe an können mehrere Varianten eines Designs effektiv verwaltet werden, die über eine eindeutige Benennung oder eine eigene Dokumenten-Nummer verfügen und damit

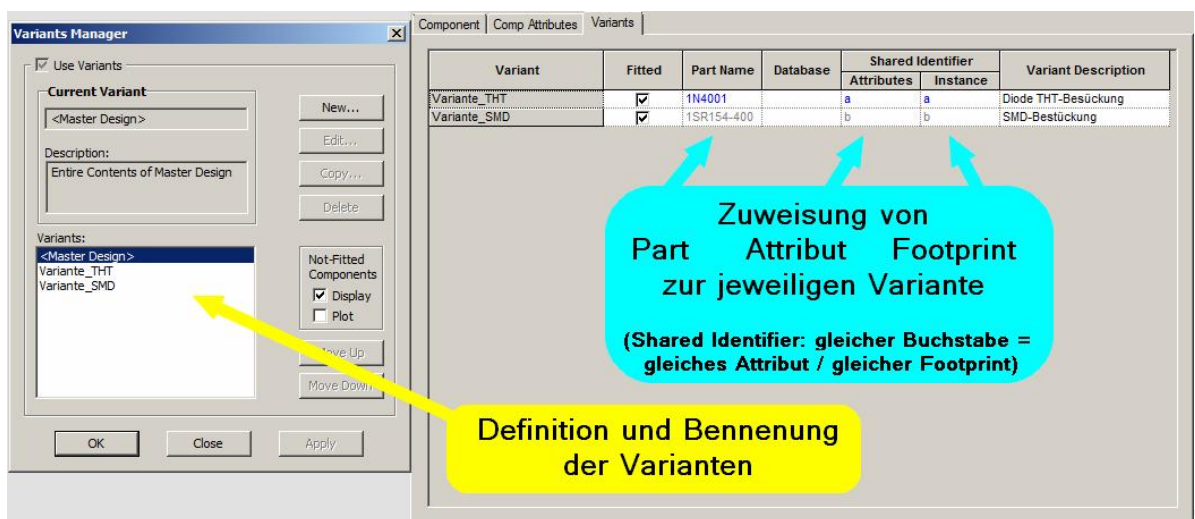


Bild 17-1

Beispiel Variantendefinition

eindeutig identifizierbar sind. Innerhalb der jeweiligen Variante kann nun definiert werden, welche Bauteile beispielsweise nicht bestückt werden. Oder es werden für bestimmte Bauteile andere Bauteilwerte definiert, z.B. Widerstandswerte.

Dies kann durch die Substitution von Attributen oder die Zuweisung eines anderen Parts erfolgen. Es können jedoch auch gänzlich unterschiedliche Bauteile eingesetzt werden, die dennoch den gleichen Referenz-Bezeichner (Bauteilnamen) verwenden, eben genau durch die Zuweisung eines anderen Parts (Bild 17-1).

Das Master-Design bildet sozusagen den "Überbau". Hier sind alle verwendeten Bauteile aufgeführt und alle Verbindungen enthalten. Die Darstellung sollte eine optische Unterscheidung der Varianten-Bauteile ermöglichen.

Die Darstellung nicht bestückter Bauteile sollte wahlweise optisch hervorgehoben oder aber ausgeblendet sein (Bild 17-2).

Vom Master-Design zur Leiterplatte

Das Master-Design des Schaltplans ist auch die Grundlage für das Leiterplatten-Layout, denn Sinn und Zweck der Übung war es ja, nur eine allgemeingültige Leiterplatte beschaffen zu müssen, die dann für alle Geräte-Varianten verwendet werden kann.

Also muß die Leiterplatte alle Bauteile, auch die unbestückten, sowie alle elektrischen Verbindungen enthalten. Sie wird daher aus dem Master-Design heraus erstellt. Das CAD-System muß dabei Varianten-Bauteile von "normalen" Bauteilen unterscheiden können, damit z.B. Varianten-Bauteile nicht nur nebeneinander sondern

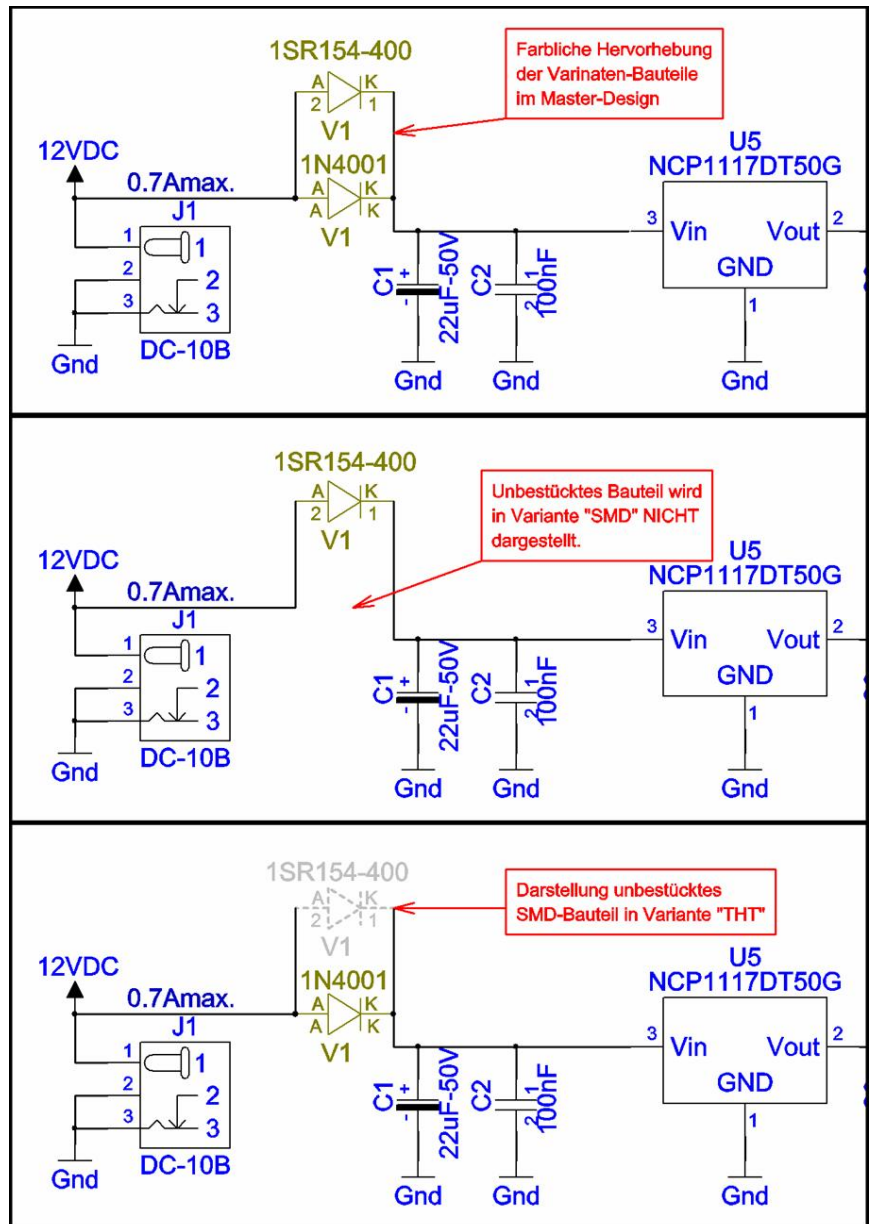


Bild 17-2 Optische Darstellung von Varianten-Bauteilen im Master-Design und in den Varianten

auch übereinander platziert werden können, ohne daß ein DRC-Error für Bauteil-Überlappung oder Pad-zu-Pad-Abstand für diese Teile ausgegeben wird.

Beispielsweise kann ein SMD-Bauteil der Variante "SMD" über dem THT-Bauteil der Variante "THT" platziert, ohne daß dies zu einem DRC-Error führt (Bild 17-3).

Mit der Platzierung von Bauteilen übereinander werden Stubs in Highspeed-Designs vermieden, jedoch muß immer die spätere Bestückbarkeit in Betracht gezogen werden. So kann es z.B. zu Lötchwierigkeiten führen, wenn durch das Übereinanderplazieren die SMD-Lötflächen so modifiziert werden, daß für das größere Bauteil der Abstand der Lötflächen zueinander unterschritten wird oder daß es für das kleinere Bauteil zum Tombstoning kommen kann. Dies ist insbesondere dann der Fall, wenn durch die Platzierung ungleiche Lötflächen entstehen.

Ebenso muß darauf geachtet werden, daß ein eventuell auf die Leiterplatte aufzubringender Bestückungsdruck keine Lötflächen berührt.

Selbstverständlich sollten auch im PCB-Design die Variantenbauteile optisch hervorgehoben werden können. Dies erleichtert es dem Bearbeiter, die Übersicht zu behalten.

Der Vorteil des Varianten-Managements durch die CAD-Software ist die vollständige Kongruenz zwischen Schaltplan und PCB-Design. Auch müssen keine "Pseudo-Bauteile" erstellt werden, um auf solchem Umweg beispielsweise unterschiedliche Footprints realisieren zu können.

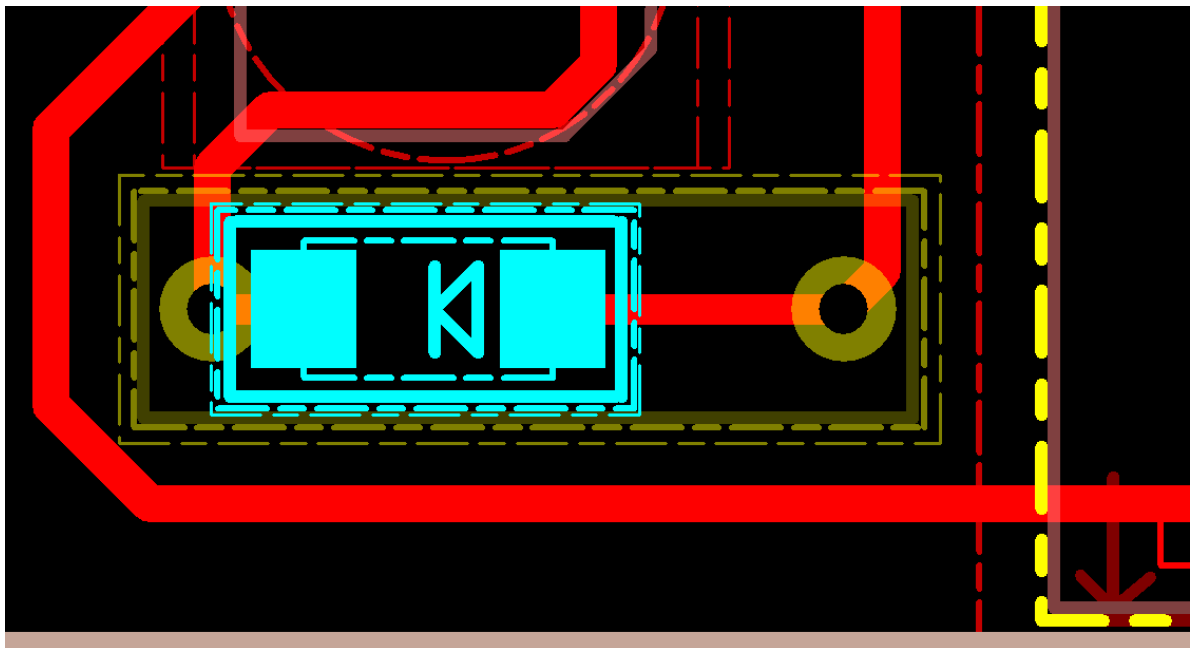


Bild 17-3 Variantenmanagement : Das SMD-Bauteil wurde über dem THT-Bauteil platziert

Varianten-Management über Dokumentations-Software

Wer durch sein CAD-System keine oder keine ausreichende Unterstützung für die sichere Verwaltung von Varianten bekommen kann, der kann auf externe Dokumentations-Software zurückgreifen, die diese Lücke schließen kann.

In ein solches Tool werden entweder die CAD-Daten direkt oder aber über z.B. ODB++ eingelesen, so daß auch die Bauteilinformation vorliegt. Die Definition von Varianten und die Zuweisung der bestückten oder unbestückten Bauteile sowie die Zuweisung alternativer Bauteile für eine Variante werden dann im Dokumentationstool vorgenommen (Bild 17-4).

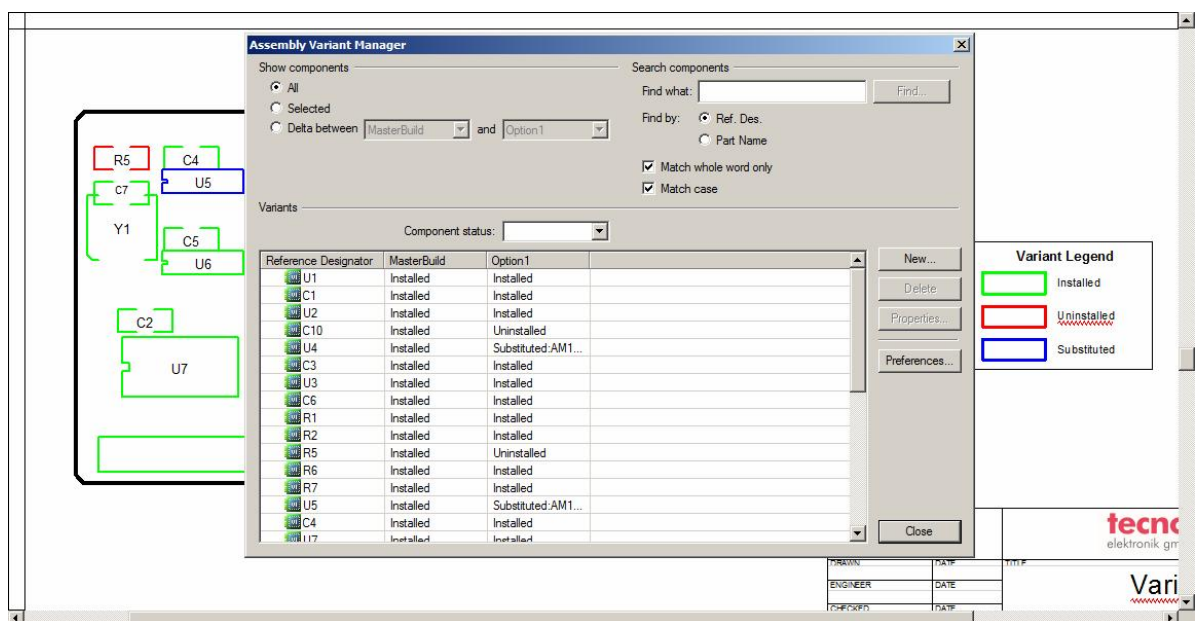


Bild 17-4 Zuweisung der Varianten-Bauteile über ein Blueprint Dokumentationstool

Dokumentation der Varianten

Der größte Vorteil eines softwaregestützten Varianten-Managements besteht in der gesicherten Verwaltung der Varianten. Für jede Bestückungsvariante müssen eigene Bestückungspläne, Stücklisten und natürlich auch Pastenschablonen erzeugt werden.

Alle nötigen Informationen sind im Design selbst oder in der Datenbasis der Dokumentations-Software enthalten und können zuverlässig und reproduzierbar abgerufen werden. Stücklisten, Schablonendaten und Bestückungspläne werden bei Bedarf variantenabhängig erzeugt (Bild 17-5).

Im Gegensatz dazu müssen bei manueller Erstellung der Stücklisten und Bestückungspläne im Falle einer Design-Revision diese wiederum manuell komplett neu erstellt werden.

Die Informationen für die Modifikation der Schablonendaten müssen entweder selbst per CAM-Software manuell vorgenommen oder entsprechend an den Schablonenhersteller vermittelt werden.

Ein solches Vorgehen beinhaltet naturgegebenermaßen ein hohes Fehlerrisiko, eine Automatisierung ist im Gegensatz zur vollständigen Automatisierbarkeit der Ausgaben beim softwaregestützten Varianten-Management nicht möglich.

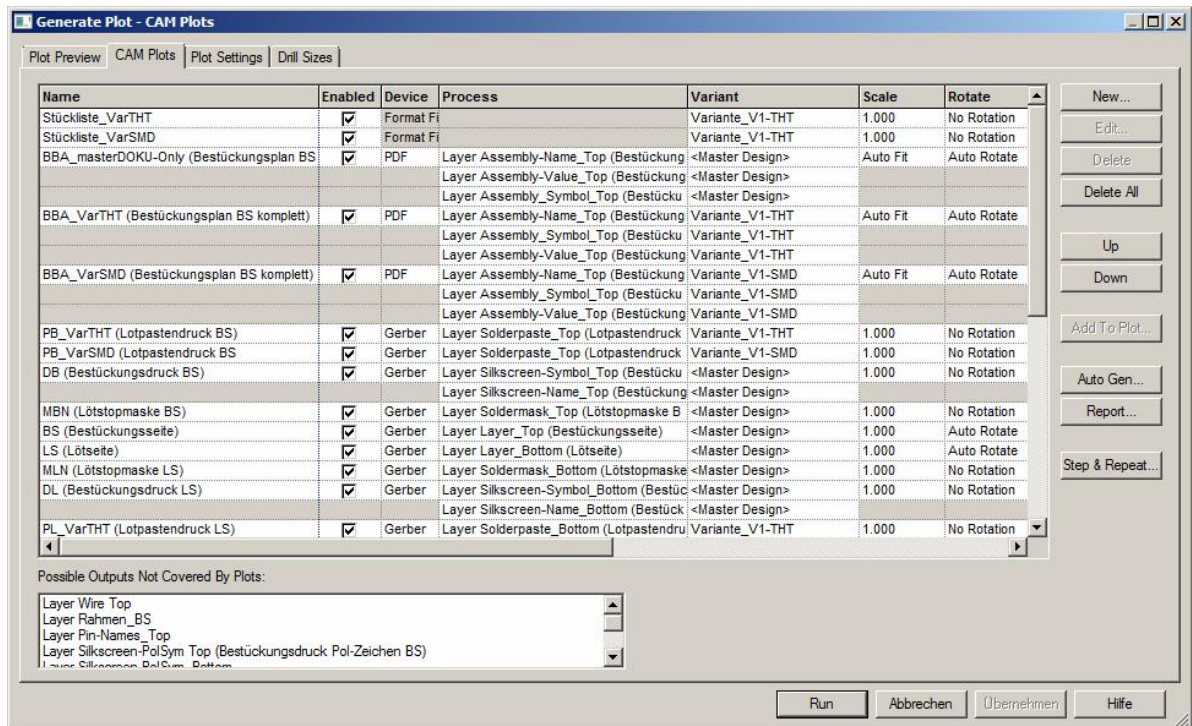


Bild 17-5 Automatisierte Ausgabe der Dokumente für ein Varianten-Design

Hinweis

Moderne CAD-Softwareprogramme oder spezielle Dokumentationstools ermöglichen eine effektivere Verwaltung und Dokumentation von Baugruppenvarianten und senken das Risiko für einen Fehler signifikant.

Sollte die verwendete CAD-Software ein Varianten-Management nicht oder nicht ausreichend unterstützen, dann wird sich wahrscheinlich irgendwann die Frage stellen, ab welchem Arbeitsaufwand für die manuelle Erstellung oder aber ab welcher Fehlerquote sich ein externes Dokumentations-Tool oder gar der Umstieg auf ein anderes CAD-System rechnet.

18. Kapitel / Arnold Wiemers

Verifikation von Leiterplatten

Finde den Fehler bevor es zu spät ist

Identität und Irrtum

Selbstverständlich erwarten wir, daß eine Leiterplatte den Vorgaben des CAD-Systems entspricht. Die real gewordene Leiterplatte soll/muß ein exaktes Abbild der virtuellen CAD-Konstruktion sein.

Das würde allerdings zuerst einmal voraussetzen, daß *alle* realen Produktionsbedingungen am CAD-System technisch richtig und vollständig abgebildet worden sind. Wir wissen inzwischen, daß das nicht der Fall ist. Kein CAD-System ist auf der Basis eigener Softwarekompetenz in der Lage, die Komplexität der Designregeln für die Fertigung von Leiterplatten und Baugruppe korrekt vorzugeben.

Die CAM des Leiterplattenherstellers muß deshalb üblicherweise einen **Design-Rule-Check** (= DRC) durchführen. Während der DRC am CAD-System vornehmlich die Funktion der Verdrahtung überprüft sowie geometrische Abstände zwischen Bildstrukturen, konzentriert sich der DRC am CAM-System zusätzlich außerdem auf die Produzierbarkeit der konstruierten Leiterplatte.

Die Verifikation der Teilkomponenten einer Leiterplatte und die Verifikation der fertigen Leiterplatte sind unverzichtbar. Nur die Identität der Leiterplatte mit den CAD-Daten erlaubt die systematische und erfolgreiche Inbetriebnahme der späteren Baugruppe.

Doch alle CAD-Systeme schwächeln, wenn es darum geht, umfassend brauchbare Daten für die Arbeitsvorbereitung an die CAM des Leiterplattenherstellers zu liefern.

Deshalb, und weil jede Leiterplatte ihre individuelle Ausprägung hat, müssen von CAM auch die Prüfdaten für die Produktion der Leiterplatten individuell erstellt werden. Der Aufwand dafür ist inzwischen erheblich und kann zu fatalen Irrtümern führen.

Zu prüfende Qualitäten

Die an/auf einer Leiterplatte zu prüfenden Qualitäten lassen sich in die drei Kategorien "Leiterbild", "Mechanik" und "Logistik" einsortieren.

Leiterbild Zum Leiterbild gehören alle Strukturen, die in Kupfer ausgeführt werden.

Mechanik Zur Mechanik gehören alle Bohrungen und Konturen.

Dokumentation Zur Dokumentation gehören diverse strategische Papiere/Daten.

Leiterbild

Die elektronischen Bauteile werden auf Lötflächen (i.e. SMT) oder in metallisierten Bohrungen (i.e. THT) montiert. Die Verbindungen zwischen den Anschlüssen der Bauteile werden über Leiterbahnen (~ Vektoren) hergestellt. Die absolute Richtigkeit der Verbindungen zwischen den Lötflächen, die Ausprägung von Polygonen (~ SMD-Shapes, Füllflächen, Powerplanes) und die korrekte Geometrie von Restringen und SMD-Flächen definieren die Funktion der Baugruppe.

Während der Produktion der Leiterplatten kann das Leiterbild beschädigt werden (Film zerkratzt, Ätzfehler, mechanische Transportschäden). Die Leiterbahnen/Leiterbilder müssen deshalb in unter-

schiedlichen Fertigungsabschnitten verbindlich getestet werden. Es gibt die beiden Strategien, das Leiterbild optisch oder elektronisch zu testen.

Bei einem Multilayer verifiziert der optische Test die Leiterbilder auf jeder *einzelnen* Innenlage. Beim AOI-Test (= **A**utomatisch **O**ptische **I**nspektion) erfaßt ein Scanner das Leiterbild und vergleicht das verpixelte Kontrastbild mit einem gespeicherten Datensatz.

Auf der fertigen Leiterplatte wird die Vollständigkeit und Richtigkeit der Signalwege durch den elektronischen Test geprüft. Dazu müssen die Endpunkte der Verbindungen mit einem Prüfkontakt/einer Prüfnadel mechanisch adaptiert werden. Über eine aufgebrachte Testfrequenz lassen sich Unterbrechungen und Kurzschlüsse orten.

Üblicherweise stellt das CAD-System jedoch für keinen dieser unverzichtbaren Tests einen Datensatz zur Verfügung, der geeignet ist. CAM ist aber auf die Vektorinformationen angewiesen, die durch den Postprozeß des CAD-Systems erzeugt werden und leitet deshalb geeignete Prüfdaten daraus ab. Die *absolute* Richtigkeit dieser Prüfdaten ist durch mögliche Softwarefehler und fehlende Konventionen jedoch leider nicht gegeben.

Da einheitliche Konventionen fehlen, können die Prüfdaten zudem wegen nicht rotationssymmetrischer Anschlußpads oder ungenau interpretierter Polygonzüge oder grob aufgelöster Basiskoordinaten verfälscht sein.

Der elektronische Test bestätigt demzufolge also *nicht* die Identität der Leiterplatte mit den CAD-Daten sondern die Identität der Leiterplatte mit den CAM-Daten.

Eine Verbindungsliste im neutralen Gerber-Format könnte diese Lücke problemlos schließen (Bild 18-1).

Elektronische Prüfung : Verbindungslisten im Gerberformat

Hinweis
 Alle Verbindungsgruppen lassen sich im Gerberformat als eine Vektorgruppe beschreiben. Die Interpretation und die Zuordnung einer Verbindungsgruppe erfolgt zuverlässig über die Gerber-Funktionen "D1", "D2" und "D3". Damit ist die Topologie einer Verbindungsgruppe definiert.

Beispiel
 Der Gerber-Viewer zeigt die Zugehörigkeit der Netzpunkte zueinander an.
 Für die elektronische Prüfung reicht es aus, wenn die Netzendpunkte adaptiert werden. Über die D-Codes kann auch die Geometrie der Netzpunkte im Original dargestellt werden.



Information
 Die Definition der Verbindungen als Gerberformat ist ein Vorschlag der LeiterplattenAkademie. Von CAD ist diese Information nicht verfügbar.

Bild 18-1 Option : Verbindungslisten im Gerberformat

Im Gegensatz zur elektrischen Konnektivität können geometrische Fehler im Leiterbild nicht detektiert werden. Das gilt vornehmlich für Fehler auf den Außenlagen. Weil diese fast ausschließlich elektronisch geprüft werden, bleiben auf Highspeed-Boards Kurzschlüsse innerhalb eines geometrischen Laufzeitausgleichs oft unentdeckt.

Gleiches gilt für funktionsbeeinträchtigende Beschädigungen am Bild von HF-Leiterplatten (Bild 18-2).

Mechanik/Bohren Bohrungen sorgen für den Signaltransfer über mehrere Lagen, für die mechanische Aufnahme bedrahteter Bauteile und für die Befestigung der Baugruppe im Gerät.

CAM muß im Zuge der Dateneingangsprüfung die funktionale und technische Eignung einer Bohrung prüfen. Das setzt eine detaillierte Dokumentation der Bohrungen voraus.

Jede der beiden Bohrklassen DK (= durchkontaktiert) oder NDK (= nicht durchkontaktiert) muß als separates File für CAM zur Verfügung stehen. Innerhalb der Klasse DK müssen die Typen "Blind Via", "Buried Via" und "Durchkontaktierung" unterschieden werden. Innerhalb des Typs "Blind Via"

muß die Orientierung "topseitig" oder "bottomseitig" unterschieden werden sowie die Qualität "Bohren" oder "Lasern".

Die Verifikation der Bohrungsparameter ist sehr umfassend und nur in Kombination mit weiteren Informationen verbindlich möglich.

Ob eine partielle Bohrung (i.e. Buried Via oder Blind Via) auf einer Leiterplatte umsetzbar ist, hängt vom Lagenaufbau ab.

Dieser muß CAM vorliegen, weil sonst eine Beurteilung der zu kontaktierenden Teilbereich nicht möglich ist.

Für die Beurteilung der technischen Kontaktierbarkeit einer Bohrung muß zudem das AspektRatio bekannt sein, das von der Anlagentechnik des Leiterplattenherstellers mit Blick auf die Kontaktierbarkeit realisiert werden kann.

Die Dokumentation (der sogenannte "Drill Report") vieler CAD-Systeme ist unvollkommen, weil sie die Bohrwerkzeuge üblicherweise einheitlich in der Rubrik "Tool Diameter" (= Werkzeugdurchmesser) listet.

Der Begriff ist irreführend. Eigentlich ist unter dieser Rubrik der Enddurchmesser (= Final Diameter) auf der fertigen Leiterplatte gemeint.

Für nichtkontaktierte Bohrungen sind Werkzeugdurchmesser und Enddurchmesser normalerweise identisch.

Bei kontaktierten Bohrungen muß der Werkzeugdurchmesser größer als der Enddurchmesser sein, weil die Metallisierung der Hülse den Enddurchmesser immer verringert. Die Verringerung liegt bei ca. 50µm bei einer Kupferschichtdicke in der Hülse von umlaufend 25µm. Je nach Endoberfläche kommen umlaufend weitere ca. 20µm dazu (..... bei HAL) oder ca. 5µm (....bei ENIG).

Mit der Prozessierung von durchgehenden Viabohrungen mit einem Enddurchmesser ≤ 250µm wird der Zuschlag auf den Werkzeugdurchmesser herstellertypisch uneinheitlich vergeben.

Ein uneinheitlicher Zuschlag hat allerdings auch eine uneinheitliche Entwärmungskapazität zur Folge. Ein wesentlicher Parameter für die Funktion der Baugruppe ist damit nicht sicher reproduzierbar.



Bild 18-2 Elektrisch nicht prüfbare Strukturen

Nr.	End Ø	Loch Ø	Klasse	Fertigung	Typ	Anzahl	Symbol
T1	0.050 mm	0.100 mm	Via	Lasern	DK	127	◇
T2	0.150 mm	0.225 mm	Via	Bohren	DK	81	⊗
T3	0.850 mm	0.950 mm	Bauteil	Bohren	DK	52	○
T4	0.900 mm	1.000 mm	Bauteil	Bohren	DK	68	□
T5	1.200 mm	1.300 mm	Bauteil	Bohren	DK	8	⊖
T6	2.000 mm	2.100 mm	Bauteil	Bohren	DK	5	◇
T7	3.000 mm	3.100 mm	Bauteil	Bohren	DK	2	◇
T8	4.500 mm	4.500 mm	Mechanik	Bohren	NDK	7	⊞
T9	5.800 mm	5.800 mm	Mechanik	Bohren	NDK	1	⊞

Bild 18-3 Differenzierte Angabe der Bohrwerkzeuge

Das kann zu einer deutlichen Einschränkung in der Langzeitzuverlässigkeit der Baugruppe führen.

Wenn CAM eine verbindliche Verifikation umsetzen soll, dann muß der Drill-Report differenzierter sein (Bild 18-3), als das heute üblich ist. Ergänzend zur Angabe des "Tool Diameters" (...als Enddurchmesser) müssen der zugeordnete diskrete Bohrwerkzeugdurchmesser angegeben werden und sogar die einzusetzende Prozeßtechnologie (i.e. Bohren oder Lasern).

Mechanik/Kontur Eine sehr komplexe Aufgabenstellung ist die Verifizierung der Leiterplattenkontur. Der Umschnitt für eine einzelne Leiterplatte oder für einen Liefernoteil kann heute geritzt, gefräst, gesägt und/oder perforiert sein. Bei flexiblen und starrflexiblen Leiterplatten kommt noch das vollständige oder abschnittsweise Lasern der Kontur dazu.

Das CAD-System gibt dazu keine oder nur rudimentäre Daten an CAM weiter. Die minimale Dokumentation besteht üblicherweise nur in der vektorisierten Konturlinie, die als (...Gerber-) File weitergegeben wird. Eine explizite Bemaßung von Längen und Radien fehlt meistens. Die Referenzbemaßung einer Bohrposition zu einer Ecke der Kontur fehlt fast immer.

CAM muß diese Dokumente mit eigenem Kosten- und Personalaufwand erstellen oder zumindest vervollständigen. Erst dann ist eine Prüfung der mechanischen Vorgaben während der Fertigung der Leiterplatte und später während der Warenausgangskontrolle überhaupt möglich.

Wenn die Kontur gefräst werden soll, dann müssen die Daten um etliche Parameter ergänzt werden. Die Aufnahmepositionen des Produktionszuschnittes, die Ein- und Austauschpunkte des Fräswerkzeuges, die Drehzahl und der Vorschub, der Werkzeugoffset und die umlaufende Fräsrichtung sowie die Reihenfolge der Konturabschnitte müssen vor Fertigungsbeginn verbindlich festgelegt werden.

Dokumentation Die vorausschauende und nachvollziehbare Dokumentation der Leiterplatte ist unverändert von höchster Bedeutung für die Produktion einer Leiterplatte und der dazugehörigen Baugruppe.

Die Verifikation einer Leiterplatte fängt bereits weit im Vorfeld der Fertigung an. Im Prinzip muß der Lagenaufbau mit Abschluß der Arbeit am Schaltplan schon verbindlich vorliegen. Der Leiterplattenhersteller kann dann früh beurteilen, ob das vorgesehene Konzept erfolgversprechend ist. Details hierzu wurden in den Folgen 10 und 11 dieser Serie beschrieben (i.e. Konstruktion und Dokumentation von Multilayersystemen).

Der weitreichende Nutzen der Dokumentation soll am **Kontur-Maß-Bohrplan** (= KMB-Plan) erläutert werden. Das erfolgreiche Zusammenspiel der Leiterplattenmechanik mit der Bestückbarkeit vieler Bauteile und mit der Montage der Baugruppe im Gerätegehäuse erfordert eine gute Kommunikation zwischen den Disziplinen CAD, Leiterplatte und Baugruppe.

Die aussagefähige Qualität eines Konturplans respektive einer Maßzeichnung bestimmt die Qualität dieser Kommunikation. Deshalb müssen die Konturlinie, die Bemaßung, die Bohrwerkzeugdurchmesser und die Agenda auf *einem* Plan untergebracht sein (Bild 18-4).

Ein solcher KMB-Plan muß natürlich immer elektronisch vorliegen und in Kombination mit dem Leiterbild am CAD-System (... und später auch am CAM-System) geprüft werden können.

Er muß aber auch lesbar gedruckt werden können, weil viele Verifikationen parallel zum Fertigungsprozeß ausgeführt werden.

Das Messen von Fräsabschnitten und Lochdurchmessern ist eine übliche Anforderung, um die Richtigkeit soeben durchgeführter Arbeitsgänge zu prüfen.



Für den Wareneingang eines ISO-zertifizierten Leiterplattenherstellers ist der KMB-Plan weiterhin genauso unverzichtbar, wie für den Wareneingang des gleichfalls ISO-zertifizierten Empfängers der Leiterplatten.

Weil Notizen und Hilfsinformationen vor Ort einfach aufgeschrieben werden können, ist das Handling eines gedruckten Planes einfacher und praktikabler, als die oft umständliche Manipulation eines elektronischen Datensatzes.

Die zunehmende Verarbeitungsgeschwindigkeit von Daten in elektronischen Systemen führt immer zu Highspeed-Baugruppen, die wiederum auf einer Highspeed-Leiterplatte basieren.

Das erfordert die Verifikation der Signallaufzeiten auf der Leiterplatte.

Wenn die spätere elektrophysikalische Funktion der Leiterplatte im Vorfeld sichergestellt werden soll, dann führt die heute etablierte Testvariante stets über die Messung der Impedanz auf den Signalleitbahnen.

Auch diese Qualität ist disziplinübergreifend, weil sie von der Konstruktion des Schaltplanes ausgehend über die geometrischen Constraints für das CAD-Layout erst auf der Leiterplatte Wirklichkeit wird und verifiziert werden kann.

Die Inflation der Impedanzvarianten führt inzwischen zu unterschiedlichen Impedanzwerten auf mehreren Innenlagen und natürlich auch auf den Außenlagen. Das erfordert die Konstruktion individualisierter Coupons auf den betroffenen Layern durch die CAM des Leiterplattenherstellers.

Eine auch nachträglich aussagefähige Dokumentation geht dann nur noch mit Hilfe von produktbezogenen Datenbanken, wenn die verifizierten Impedanzwerte langfristig und kritiksicher zur Verfügung stehen müssen.

Es gibt viele weitere Qualitäten, die auf einer Leiterplatte geprüft werden müssen. Die Haftung von Lötstoplacken auf der Leiterplattenoberfläche, die Haftung der Endoberfläche auf dem Kupfer, die Benetzbarkeit der Endoberfläche durch Lote, der Lagenversatz in einem Multilayer, die Kontinuität der Hülsenkupferdicke sind einige davon.

Für den Leiterplattenhersteller heißt das: Prüfen, Prüfen, Prüfen.

Nicht zuletzt mit einem technischen, wirtschaftlichen und personellen Einsatz, der fast schon über dem reinen Aufwand für die Fertigung der Leiterplatten liegt.

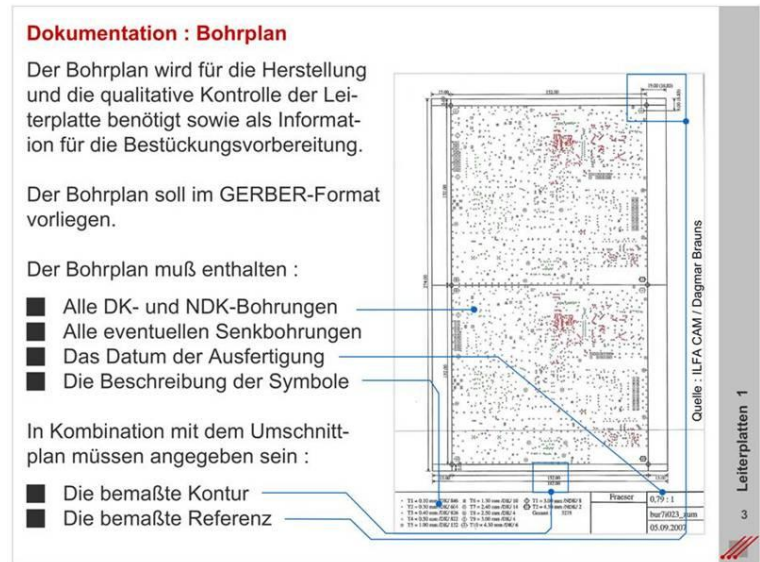


Bild 18-4 Vollständiger Kontur-Maß-Bohrplan

Hinweis

Die an einer Leiterplatte vorgenommenen Verifikationen sollten dem Kunden im Detail bekannt sein.

Die pauschale Bestellanforderung "...Fertigung nach IPC" täuscht eine trügerische Sicherheit vor. Der Flut heutiger Technologievarianten kann *keine* Richtlinie zeitnah gerecht werden. Sie müssen Ihre Forderungen immer selbst festlegen und formulieren.

Stimmen Sie sich mit Ihren Leiterplatten- und/oder Baugruppenproduzenten ab.



19. Kapitel / Arnold Wiemers

Der Einfluß des m.n.-Formates auf die Qualität von Leiterplatten und Baugruppen

....wenn nicht zusammenpaßt, was zusammenpassen sollte

Schatten der Vergangenheit

Eigentlich spricht man kaum noch speziell über *Mikroelektronik*. Das ist eben nichts besonderes mehr. Alles ist heute irgendwie *mikro*. Die Bauteile, die Leiterplatte und damit selbstverständlich auch das CAD-Layout als Konstruktionsvorlage für die Baugruppe. Das scheint überschaubar und unkompliziert.

Ein Knopfdruck nach Fertigstellung des Layouts genügt und der Postprozeß der CAD-Software versorgt uns automatisch mit allen Daten für die Produktion der Leiterplatte und der Baugruppe. Bohrprogramme, Leiterbilder, Fräsen, Ritzen und Lasern, Datafiles für Fotoplotter und Laserdirektbelichter sowie für die Bestückung der Bauteile, Geometrien für Lotpastenschablonen, Steuerdaten für Dispenser und Kleber werden in Sekunden erstellt und sind für uns abrufbar.

Für beinahe jeden Fertigungsschritt steht uns ein Datensatz zur Verfügung, der den effektiven Einsatz einer Maschine ermöglicht, die mit atemberaubender Geschwindigkeit und hoher Präzision technologisch anspruchsvolle Prozeßschritte durchführt.

Das zumindest ist unsere Erwartung. Allerdings verunsichert uns der Blick durch das Mikroskop, wenn die Leiterplatte und/oder die Baugruppe in Mikrofeinstleiteteknik nicht gleich so funktioniert, wie wir uns das gedacht haben.

Vieles paßt nicht mehr. Bohrungen sind nicht mittig im Pad. Die Lotpaste ist nicht da, wo die SMD-Lötfläche ist. Bei differentiellen Impedanzen ist der Abstand des Leiterbahnpaares in X-Richtung ein anderer, als in Y-Richtung. Alles ist irgendwie schief, daneben, ungenau.

Die langen Schatten der Vergangenheit beginnen uns einzuholen. Um das zu verstehen, müssen wir uns mit der Geschichte des Datentransfers beschäftigen.

Anforderungen an Produktionsdaten

Alle Fertigungsprozesse in der Leiterplatten- und Baugruppenproduktion setzen voraus, daß in der Ebene gearbeitet werden kann. Der Name "*Leiterplatte*" kommt ja nicht von ungefähr und macht bereits deutlich, daß hier etwas plan, flach und eben ist.

Der klassische Vorgang des Bohrens von Löchern in Leiterplatten erläutert diesen Vorgang exemplarisch. Das Auflegen eines Filmes zur Belichtung des Leiterbildes erfolgt plan. Selbst wenn der Fotoplott von einem Lasertrommelplotter erzeugt wird, dann ist die Trommeloberfläche in eine Ebene transferierbar. Alle Siebdrucke erfolgen zwangsläufig auf einer Fläche. Auch der Aufdruck von Lotpaste auf die Leiterplatte erfolgt plan. Dazu wird eine Schablone benötigt, die ebenfalls plan ist. Die Bestückung einer Baugruppe setzt voraus, daß die Leiterplatte eben aufliegt und zuverlässig durch die Produktionsanlagen transportiert werden kann.

Für die Ausführung dieser Prozeßschritte ergibt sich strategisch immer die gleiche Aufgabenstellung: *Was soll an welcher Position stattfinden ?*



Betrachten wir das Bohren, dann ist es die Aufgabe, an einer definierten X-,Y-Position ein Loch mit einem vorgegebenen Durchmesser zu bohren.

Für das Fotoplotten ist die Aufgabe, an einer definierten X-,Y-Position ein SMD-Pad mit einer vorgegebenen Geometrie auf den Film zu belichten.

Nehmen wir das Bestücken dazu, dann ist an einer definierten X-,Y-Position ein vorgegebenes Bauteil mit einer vorgegebenen Drehrichtung zu platzieren.

Eine Position in einer Ebene ist durch die Angabe ihrer X- und Y-Koordinate hinreichend beschrieben.

Das zweidimensionale kartesische Koordinatensystem bietet uns bereits die Lösung für unsere Aufgabe (Bild 19-1). Das CAD-System muß deshalb lediglich die Koordinaten für die Ansteuerung der Produktionsmaschinen ausgeben.

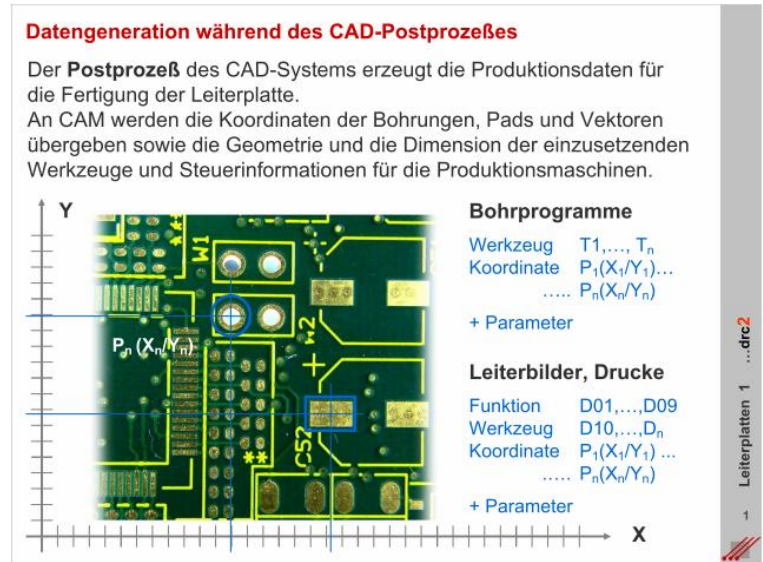


Bild 19-1 Anlage der Layoutdaten für die Produktion

Evolution des Datentransfers

Nun ist das nichts wirklich Aufregendes. Bereits vor Jahrzehnten wurden Daten für die Ansteuerung von Produktionsmaschinen genutzt. Viele Fertigungsabläufe konnten damit automatisiert werden.

Allerdings war es damals nicht so komfortabel, Daten zu speichern, wie das heute der Fall ist. Die Diskette war noch nicht erfunden. Auch Magnetbänder gab es noch nicht. Für die variable Ansteuerung von Werkzeugmaschinen wurden Lochkarten genutzt, später dann die fortschrittlichere Variante, der Lochstreifen. Der Datenträger war gleichzeitig auch das Speichermedium mit einem verständlicherweise ausgesprochen geringen Speichervolumen. Das Speichervolumen und das Speichermedium waren linear proportional aneinander gekoppelt. Bei doppeltem Informationsgehalt mußte der Lochstreifen also doppelt so lang sein.

Daraus ergab sich die Notwendigkeit, den Umfang des formellen Datentransfers zu straffen.

Wir lesen als Menschen die Koordinatenangabe "X=123,45mm" sehr zügig und verstehen, wo wir damit im Koordinatensystem positioniert sind. Wenn wir Gleiches von einer Maschine erwarten, dann müssen wir im Zeitalter des Lochstreifens jedes Zeichen als ASCII-Code transportieren. Das ist ein eigenes Byte in einer eigenen gestanzten Spalte auf dem Lochstreifen.

Damit die Lochstreifen nicht zu lang und die Dateninterpretation in der Maschine nicht zu umständlich wurden, hatte man eine Konvention hinsichtlich des Datentransfers getroffen : Es wurden nur die absolut notwendigen Daten als Ziffernreihenfolge und mit eingeschränkter Koordinatenauflösung weitergegeben.

Das "m.n."-Format war erfunden. Das ging zirka drei Jahrzehnte gut und Lochstreifen sind längst Geschichte. Allerdings führt die seit diesen Tagen unverändert übernommene Strategie des Datentransfers heute zu einigen Komplikationen.

m.n.-Format

Im m.n.-Format werden die Koordinaten ohne Kommastelle und Längenreferenz angegeben. Eine Position im Koordinatensystem hat demnach beispielsweise die Form "P(x/y)= 12300 54630".

Erst der Hinweis auf das m.n.-Format macht diese Angabe sinnvoll nutzbar.

Mit "m" wird die maximale Anzahl an Vorkommastellen für die Koordinate angegeben, mit "n" die grundsätzliche Anzahl an Nachkommastellen.

Als ergänzende Information wird mitgeteilt, ob die Werte der Koordinaten metrisch oder zöllig zu interpretieren sind. Zudem gilt die Konvention, daß in einem Koordinatenpaar der X-Wert zuerst steht.

Geben wir für das obige Beispiel das m.n.-Format mit "2.3 inch" vor, dann liest sich die Koordinate für P(x/y) als "X12,300in Y54,630in".

Das ergibt schon eher einen Sinn und mit der Übergabe des m.n.-Formates

an die Produktionsmaschinen können die Daten für Plotten, Bohren, Fräsen, Schablonenfertigung und Baugruppenbestückung etc. jetzt von den Automaten genutzt werden (Bild 19-2).

Die Aufgabenstellung scheint damit gelöst zu sein. Die Analyse dieses Formates zeigt jedoch, daß es eine Einschränkung gibt. Das Format "2.3in" bedeutet, es können maximal 3 Stellen nach dem Komma angegeben werden.

Die *kleinste* Koordinate ist demnach 0.001in. Das ist 1/1000 inch oder 1 mil. 1 mil entspricht 25.4µm. Die *nächste* beschreibbare Koordinate kann dann erst bei 0.002in liegen. Die Koordinatenauflösung beträgt somit 1mil.

Oder, anders formuliert, bei einem m.n.-Format von "2.3in" sind Koordinatenpositionen nur mit einem ganzzahligen Vielfachen von 25.4µm darstellbar.

Nun gibt es offensichtlich am CAD-System präzisere Positionierungen. Die CAD-Systeme arbeiten *intern* auf einer Inch-Basis mit einer Auflösung von 8 und mehr Stellen hinter dem Komma.

Die Nachkommastellen werden erst reduziert (= verworfen) und auf- oder abgerundet (= interpoliert), wenn über den Postprozeß die Datenausgabe erfolgt.

Damit entsprechend die realen Produktionsdaten jedoch *nicht* den virtuellen Konstruktionsdaten. Folglich können die reale Leiterplatte und die darauf aufbauende Baugruppe niemals ein *exaktes* mechanisches Abbild der virtuellen CAD-Konstruktion sein.

Für Bilddaten ist ein m.n.-Format von "2.3in" typisch. Diese Voreinstellung für den Postprozeß des CAD-Systems findet sich in fast allen fabrikneu ausgelieferten Softwareprogrammen für die Ausgabe von Bildern (i.e. Leiterbilder, Siebdrucke, Lotpastenschablonen, Kleberschablonen, Bestückungs-koordinaten).

Datenformat : Gerber / File-Inhalt	
File-Inhalt	Funktion
%FSLAX44Y44*%	Format Statement, Leading zeros omitted, Absolut, X=4.4, Y=4.4 (führende Nullen unterdrückt, Koordinatenbasis absolut, Koordinaten haben 4 Vor- und 4 Nachkommastellen)
%MOIN*%	MODE / Maßeinheit = INCH (gilt für alle weiteren Daten) (die metrische Maßeinheit in MM wäre %MOMM*%)
D14*	Auswahl der 1. Apertur/Blende = D14
G1X11000Y6000D2*	G1 = lineare Interpolation, Angabe der X + Y Koordinaten, Funktion D2 = Licht aus, * = End Of Block (EOB)
X11900Y60390D1*	X + Y Koordinaten, Funktion D1 = ziehe eine Linie, * = EOB
X11900Y60590*	Ziehe Linie bis X = 11900, Y = 60590 (fahre mit Licht)
X11300Y60090D2*	Fahre ohne Licht an die Position X = 11300, Y = 60090
X11300Y59890D1*	Ziehe eine Linie bis X = 11300, Y = 59890 (fahre mit Licht)
D47*	Wähle die Apertur/Blende D47
X13800Y8040D3*	Blitze mit D47 ein Pad an Position X = 13800, Y = 8040
X13800Y10040D3*	Blitze mit D47 ein Pad an Position X = 13800, Y = 10040
X35550Y60290D3*	Blitze mit D47 ein Pad an Position X = 35550, Y = 60290
X0Y0D2*	Fahre ohne Licht auf die Nullposition X = 0 und Y = 0
M02*	Ende der Datei

Quelle : Mendritzki / Wiemers
LA-Seminar GERBER 2010

Bild 19-2 Parameter in einem Extended-Gerber-File

Die zöllige Angabe (Hinweis : i.e. 1 Inch = 1 Zoll) referenziert aus historischen Gründen auf Produktionsmaschinen (...z.B. Fotoplotter) aus dem amerikanischen Umfeld.

Das typische m.n.-Format für Maschinen zur mechanischen Bearbeitung ist "3.2mm" und referenziert auf Maschinen (...z.B. Bohr-, Fräsmaschinen) aus dem deutschen/europäischen Umfeld.

Während des Postprozesses kommt es am CAD-System bei den ausgegebenen Daten zu einer Vermengung von zölligen (...für Fotoplotts) und metrischen (...für Bohren und Fräsen) Koordinatenpositionen. Deshalb ist eine absolute Deckungsgleichheit zwischen einem Viapad und der dazugehörigen Bohrung nur dann zu erreichen, wenn die metrische Bohrposition ein ganzzahliges Vielfaches der zölligen Padposition ist.

Fehlerbilder

Bei einem m.n.-Format von "2.3in" beträgt die Interpolation von CAD-Daten +,- 12,7µm. Das scheint ein geringer Wert zu sein, der vernachlässigt werden kann. Schließlich hat das ja die letzten Jahrzehnte anstandslos funktioniert.

Warum also jetzt diese Probleme ? Nun, inzwischen werden Layouts im Grenzbereich prozessierbarer Geometrien konstruiert. Leiterplatten und Baugruppen sind hochwertige Präzisionsprodukte geworden. Ein Versatz zwischen den Daten für die Bildbearbeitung und den Daten für die mechanische Bearbeitung führt heute nicht nur zu Toleranzen zwischen den Arbeitsschritten zur Fertigung der Leiterplatte. Es ergeben sich auch unnötige Toleranzen zwischen der Produktion der Leiterplatte und der Produktion der Baugruppe. Sogar die physikalische Funktion der Baugruppe kann drastisch in Mitleidenschaft gezogen werden.

Das klassische Interpolation der Daten für die Produktion betrifft die Passung zwischen Bohrung (= Mechanik) und Pad (= Leiterbild). Für Vias sind die Restringe inzwischen bereits minimal konstruiert, um beim Layouten eine möglichst hohe Verdrahtungsdichte erreichen zu können.

Ein durch den Postprozeß des CAD-Systems bedingter Versatz zwischen Viabohrung und Pad kann fatale Folgen haben. Wird die fertigungstechnisch zulässige Toleranz während der Leiterplattenfertigung bereits in Anspruch genommen, dann führt der datenbedingte Versatz dazu, daß die Bohrung außerhalb des Pads liegt.

Das entspricht einer Reduzierung des Sicherheitsabstandes zu benachbarten Leiterbildstrukturen von maximal 12.7µm. Bei HDI-Layouts mit 100µm Strukturabstand entspricht das einer Reduzierung von 12.7%. Weil die Interpolation benachbarter Strukturen gegenläufig sein kann ('links' wird aufgerundet und 'rechts' wird abgerundet), sind auch Abstandreduzierungen von bis zu 25.4µm oder 25.4% möglich (Bild 19-3).

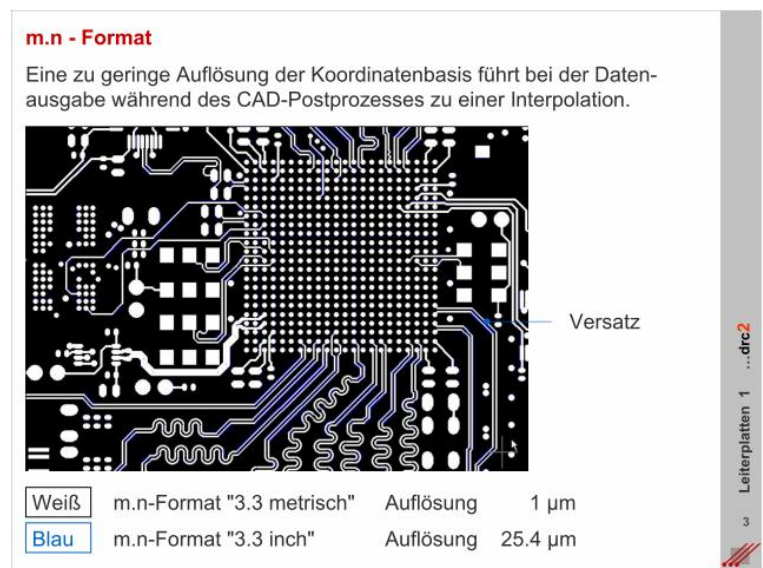


Bild 19-3 Soll- (= blau) und Ist-Position (= weiß)

Der Begriff "benachbarte Strukturen" ist eine allgemeine Formulierung. Das können auch parallel verlaufende Leiterbahnen sein. Bei einer gegenläufigen Interpolation durch Abrunden einerseits und Aufrunden andererseits können die Leiterbahnen unerwartet nah zusammenrücken.

Für einen guten Leiterplattenhersteller mag das fertigungstechnisch keine Komplikation bedeuten. Ein ungewolltes und in der Funktionssimulation nicht vorgesehene Übersprechen (i.e. Crosstalk) kann jedoch zur Folge haben, daß die bestückte Baugruppe nicht die stabile Funktionssicherheit bietet, die von der Anwendung benötigt wird und die vom Konstrukteur auch korrekt vorausberechnet wurde.

Daß keineswegs nur Leiterplatten und Baugruppen in MFT (i.e. MicroFine-lineTechnology) betroffen sind, zeigt die Analyse des Einflusses einer möglichen Interpolation auf die Varianz des Impedanzwertes bei differentieller Signalübertragung.

In der Tabelle von Bild 19-4 ist für eine Geometrie von 175-175-175 (= Leiterbahn_Leiterbahnabstand_Leiterbahn) bei einer Interpolation von +/- 10µm eine Impedanzabweichung von 3.4 Ohm zu erwarten.

Wohlgermerkt, nur auf Grund der Interpolation der Datenpositionen durch das CAD-System. Es ist also noch gar kein Fertigungsschritt durchgeführt worden.

Ausblick

Wagen wir einen Blick in die nahe Zukunft, dann zeigt die Tabelle ebenfalls, daß für die gezeigte Geometrie bei einem Abstand von 75-75-75 der Impedanzwert um bis zu 9.6 Ohm abweicht. Das entspricht der heute insgesamt zulässigen Abweichung, die sich durch *reale Fertigungstoleranzen* ergeben darf.

Liegt die Interpolation über +/- 10µm, dann die Abweichung *bereits über der realen Fertigungstoleranz* und das Produkt wäre bereits unbrauchbar, noch bevor überhaupt das erste Loch gebohrt oder die erste Leiterbahn geätzt worden wäre.

Hinweis

Die richtige Koordinatenauflösung muß vom CAD-System kommen. Prüfen Sie am CAD-System die Einstellungen für den Postprozeß.

Stellen Sie alle Ausgabeformate einheitlich auf metrisch ein. Die in der Leiterplatten- und Baugruppenproduktion technisch umsetzbare Auflösung beträgt minimal 1µm.

Das sinnvolle und ideale m.n.-Format ist dann also "3.3mm".

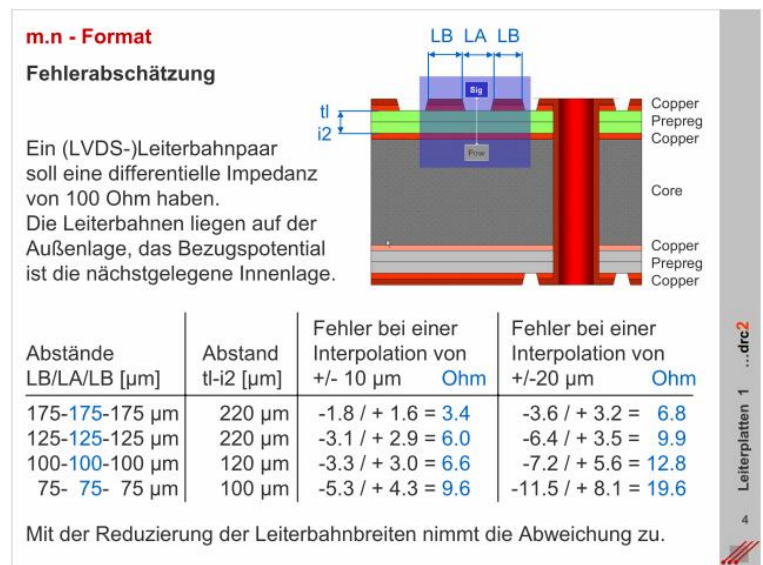


Bild 19-4 Einfluß der Interpolation auf den Impedanzwert

20. Kapitel / Arnold Wiemers

High-Speed-Multilayer

...Geschwindigkeit ist Alles ?

Der Weg ist das Ziel

Die Anforderungen an elektronische Baugruppen nehmen seit Jahren kontinuierlich zu. Im Prinzip ist die Diskussion um Highspeed-Baugruppen längst überfällig.

Wann spricht man von Highspeed-Baugruppen ?

Eine Baugruppe muß als High-Speed-Baugruppe klassifiziert werden, wenn die Übertragungsfrequenz über 1 GHz liegt, wenn die Datentransferrate 1 GBit/s überschreitet, vor allem aber, wenn die Signalanstiegszeiten deutlich unter 0.3 ns liegen.

Die zunehmende Leistungsfähigkeit integrierter elektronischer Komponenten hat einen massiven Einfluß auf die physikalischen Anforderungen an Leiterplatten. Die Konstruktion der Leiterplatten für Highspeed-Baugruppen muß deshalb (auch) strategische und funktionale Aspekte beachten.

Die Umsetzung der Anforderungen ist prinzipiell nur noch mit Multilayern ab 6 Lagen aufwärts machbar.

Für komplexere Baugruppen sind 10 bis 12 Lagen realistisch.

Diese Entwicklung führt uns direkt zu den bereits in einer früheren Folge erwähnten *Multilayersystemen* (Bild 20-1).

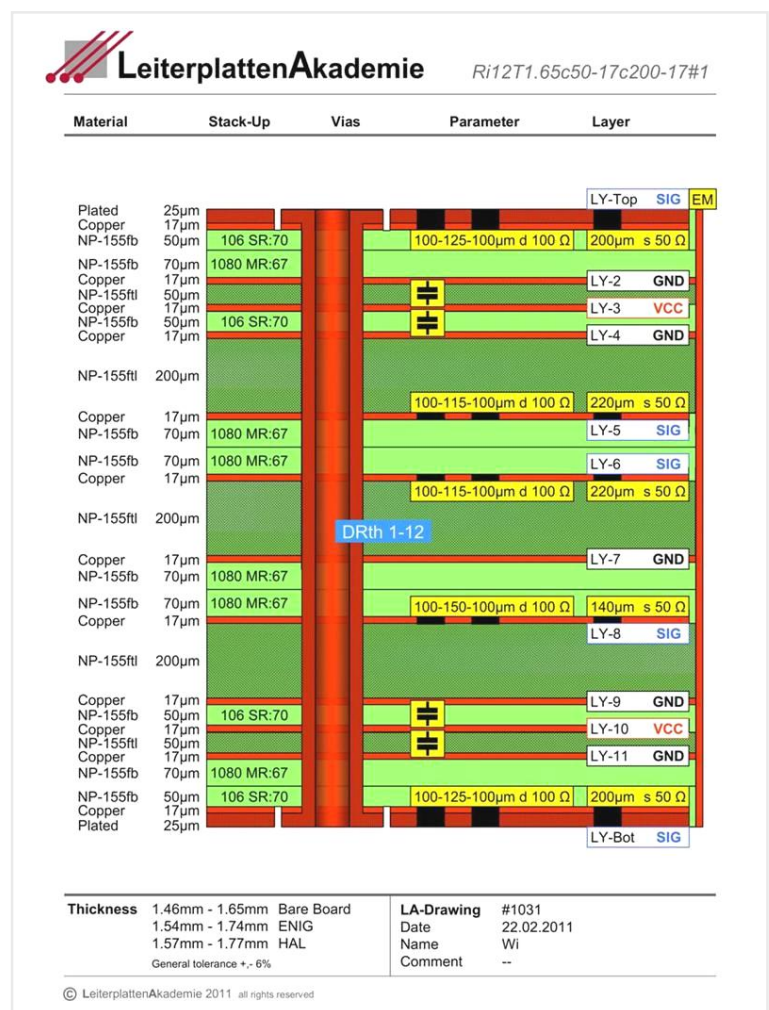


Bild 20-1 Multilayer für eine Highspeed-Baugruppe

Wo werden Highspeed-Baugruppen eingesetzt?

High-Speed-Baugruppen finden sich heute bereits in vielen Bereichen unseres täglichen Lebens. Dazu gehören Produkte und Geräte aus der Medizintechnik, der Luft- und Raumfahrt, der Sicherheitstechnik, der Verkehrstechnik, der Industrieelektronik, der Unterhaltungselektronik, dem Transportwesen, der Haustechnik und der Kommunikation.

Typisch ist eine Datenrate über 4 GBit/s für den Transport von Bildern, Videos, Musik und HDTV. Frequenzen über 15 GHz werden benötigt für die Sensortechnologie und für Fahrerassistenzsysteme (...beispielsweise das Abstandsradar).

Entscheidend ist jedoch, daß die High-Speed-Eigenschaft an die Bauteilkomponenten geknüpft ist. Der Trend bei der Entwicklung der integrierten Bauteile wird dazu führen, daß in wenigen Jahren *jede* digitale Schaltung die Highspeed-Bedingungen berücksichtigen muß.

Anforderung bei High Speed

Für die Konstruktion eines zuverlässig funktionierenden High-Speed-Multilayers müssen drei hochwertige Anforderungen beachtet werden.

Powerintegrität Die Spannungsversorgung der Baugruppe muß stabil und leistungsfähig sein. Die klassische Entkopplung der Schaltung muß durch den Einbau kapazitiver Powerplanes ersetzt werden. Die Abstände zwischen GND und VCC sollten maximal 100µm betragen, besser sind 75µm, *ideal* sind 50µm. Als Ergänzung können gerechnete Kondensatorgruppen (...bestehend aus minimal 1 bis maximal 4 Keramikkondensatoren) die breitbandige Entkopplung stabilisieren.

Signalintegrität Für alle Signalwege muß *immer* ein kontrollierter Rückstromweg zur Verfügung stehen. Die Realisierung dieser Forderung bedeutet üblicherweise den Einbau mehrerer GND-Planes und führt zwangsläufig zu höherlagigen Multilayern.

Mit der Signalintegrität ist auch die definierte Signallaufzeit verbunden, die hauptsächlich durch einen vorgegebenen Impedanzwert charakterisiert ist. Damit ergeben sich Vorgaben für die Abstände von Signal- und GND-Lagen innerhalb des Lagenaufbaus und für die Breite und den Querschnitt von Leiterbahnen.

Bei der Verteilung der Signale, der GND- und der VCC-Planes muß auf die verbindliche Zuordnung der Rückstromwege geachtet werden.

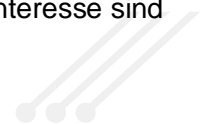
EMV Das interne und externe EMI-/EMV-Verhalten einer Baugruppe kann durch die Metallisierung der Leiterplattenkanten deutlich verbessert werden. Die Strategie dabei ist, für die Abschirmung des inneren Bereiches des Multilayers zu sorgen. Dazu werden innenliegende GND-Planes an die metallisierte Kanten ankontaktiert. Die so konstruierte Abschirmung vermeidet eine Störabstrahlung zum Nachteil benachbarter Baugruppen und reduziert die Störeinstrahlung zum Vorteil der eigenen Baugruppe.

Ein willkommener und sehr nützlicher Nebeneffekt ist die Wärmespreizung, die deutlich zur Kühlung der Baugruppe im Betrieb beiträgt.

Zuverlässigkeit und Basismaterialvarianz

Die physikalischen Eigenschaften von Leiterplatten werden weitgehend von den Eigenschaften der verbauten Basismaterialien bestimmt. (Fast) alle elektronischen Baugruppen basieren auf dem Basismaterial FR4. Durch die Integration der Geometrien, die am CAD-System konstruiert werden, ergibt sich die individuelle physikalische Funktion eines Multilayers.

Das Material der nächsten Jahre werden weiterhin FR4-Derivate sein. Von speziellem Interesse sind beim Aufbau eines Multilayers sind die Prepregs.



Die Bewertung der mechanischen Eigenschaften zeigt, daß bereits die Dickentoleranz eines einzigen Prepregs einen Einfluß auf das physikalische Verhalten eines Multilayers hat. Betroffen ist die Signalintegrität, da sich durch die Dickenänderung der Prepregs die kapazitiven Eigenschaften auf den benachbarten Lagen ändern. Das wirkt sich direkt auf die resultierenden Impedanzwerte der Signalleiterbahnen aus.

Ob die Abweichung zu einer vernachlässigbaren oder bereits zu einer schwerwiegenden Toleranz der Impedanzwerte führt, hängt letztlich von der Geometrie der gerouteten Leiterbilder ab sowie von der Multilayer-Konstruktion an sich.

Impedanz

Impedanzabweichungen sind stark abhängig vom Glasgewebe. Glasgewebe können unterschiedliche Gewebestrukturen haben. Die unterschiedlichen Abstände zwischen den Gewebefäden beeinflussen die lokalen dielektrischen Eigenschaften.

Diese Auswirkung des Basismaterials ist in Bild (20-2) zu erkennen. Durch die weite Maschenöffnung des Glasgewebes des eingesetzten Materials sieht das differentielle Leiterbahnpaar ein inhomogenes dielektrisches Umfeld.

Für die vorgegebene Geometrie liegt deshalb die Impedanz für die eine Leiterbahn bei ca. 89 Ohm und für die andere Leiterbahn bei ca. 104 Ohm.

Die bei differentiellen Leiterbahnpaaren angestrebte Einkopplung und die Synchronität der Signalübertragung kann so nicht erreicht werden.

Das Material ist für eine High-Speed-Baugruppe nicht geeignet und muß gegen FR4 mit gespreiztem Glasgewebe ausgetauscht werden (...z.B. NanYa).

Die definierte Impedanz der Leiterbahnen ist eine der wichtigsten Eigenschaften für die integre und zuverlässige Signalübertragung.

Die "Single-Ended"-Struktur nutzt einzelne Leiterbahnen, die differentielle Signalübertragung arbeitet mit Leiterbahnpaaren.

Übliche Werte sind 50, 65 oder 75 Ω für "Single-Ended" oder 100 Ω für "Differentiell". Oft sind verschiedene Impedanzvarianten in *einem Impedanzmodul* unterzubringen. Es ist schwer, dann noch eine geometrische Lösung zu finden, die für alle geforderten Varianten gut paßt.

Die durch die hohe Anschlußdichte der BGAs erforderliche notwendige Reduzierung der Leiterbahnbreiten verschärft diese Situation. Die weiterhin steigende Verdrahtungsdichte wird im CAD-Layout nur mit noch schmalere Leiterbahnen geroutet werden können.

In Bild (20-3) ist zu sehen, daß dann bereits die Geometrie für eine Single-Ended-Leiterbahn mit 50 Ohm aus Sicht der klassischen Leiterplattentechnologie grenzwertig wird.

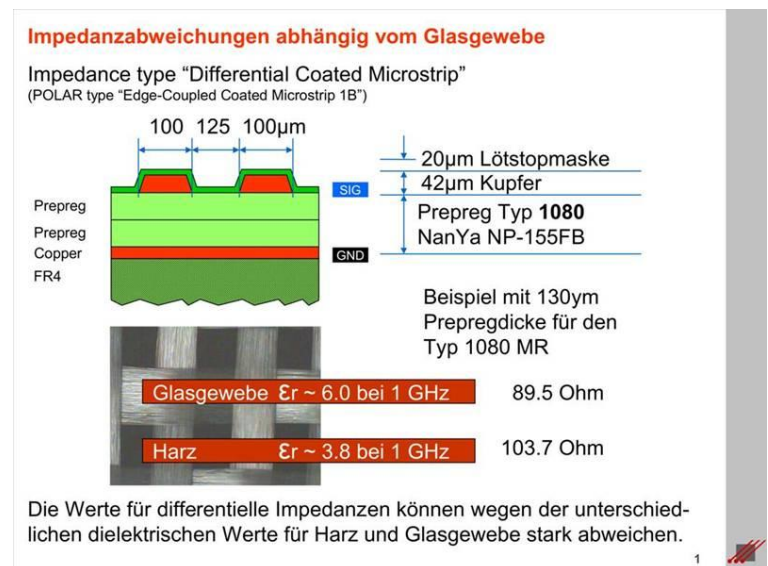


Bild 20-2 Der Einfluß des Glasgewebes auf die Impedanz

Soll gleichzeitig auf dem gleichen Layer auch noch eine differentielle Impedanz verwirklicht werden, dann ergeben sich mit Leiterbahnbreiten von $65\mu\text{m}$ bei einem Abstand von $125\mu\text{m}$ kontraproduktive Geometrien.

Mittelfristig wird diskutiert werden müssen, ob die bisherigen Zielimpedanzen zukunftsfähig bleiben.

Strategische Vorgaben

Bedingt durch die abwechselnde Schichtung von Prepregs und Laminaten in einem Multilayeraufbau finden sich pauschale Bauvarianten.

Von der Funktion, der CAD-

Konstruktion und der wirtschaftlichen Bewertung her ergeben sich allerdings deutliche Unterschiede. Der Entwurf eines Multilayersystems orientiert sich an den funktionalen Anforderungen, an den verfügbaren Produktionstechnologien und am wirtschaftlichen Umfeld.

Üblicherweise sind nie alle Anforderungen erfüllbar. Es gilt jeweils, die individuelle Lösung zu finden, mit denen die wichtigsten Vorgaben an die Baugruppe erfüllt werden können.

Die Auswahl und die Reihenfolge der Lamine bestimmen die Kontaktierungsstrategie und damit die Constraints für das CAD-System. Die eingesetzten Materialmengen an Prepregs und Laminaten bestimmen in Verbindung mit einfachen aber effektiven Bohrtechnologien (i.e. Laser) insbesondere bei großen LP-Stückzahlen die Kosten.

Die komplexe Konstruktion eines Multilayersystems bietet Lösungen im High-End-Bereich.

Aufbaumoduln

Durch die Reihenfolge von Laminaten und Prepregs werden die Abstände zwischen den Kupferlagen festgelegt. Daraus ergeben sich weitreichende Einflüsse auf die physikalischen und funktionalen Eigenschaften einer Baugruppe. Die Vorgabe für die folgenden Betrachtungen ist, daß für SIG, GND und VCC jeweils eine *eigene* Lage genutzt wird.

Die **Entkopplung** wird als "gut" bewertet, wenn VCC und GND benachbart sind. Dann kann bei Lagenabständen $\leq 100\mu\text{m}$ ein Flächenkondensator ausgeprägt werden. Die Bewertung ist "schlecht", wenn VCC und GND nicht benachbart sind. Dann könnten kapazitive Effekte auf keinen Fall genutzt werden.

Die **EMV** wird als "gut" bewertet, wenn *alle* inneren Signallagen von GND-Planes abgedeckt werden und wenn die VCC-Planes innen liegen und durch eine Kantenmetallisierung abgeschirmt werden *könnten*. Die Bewertung ist "mittel", wenn ein Signal in der Nachbarlage ein VCC hat. Die Bewertung ist "schlecht", wenn VCC nicht beidseitig durch GND abgedeckt wird und wenn VCC nicht durch eine Kantenmetallisierung abgeschirmt werden *könnte*.

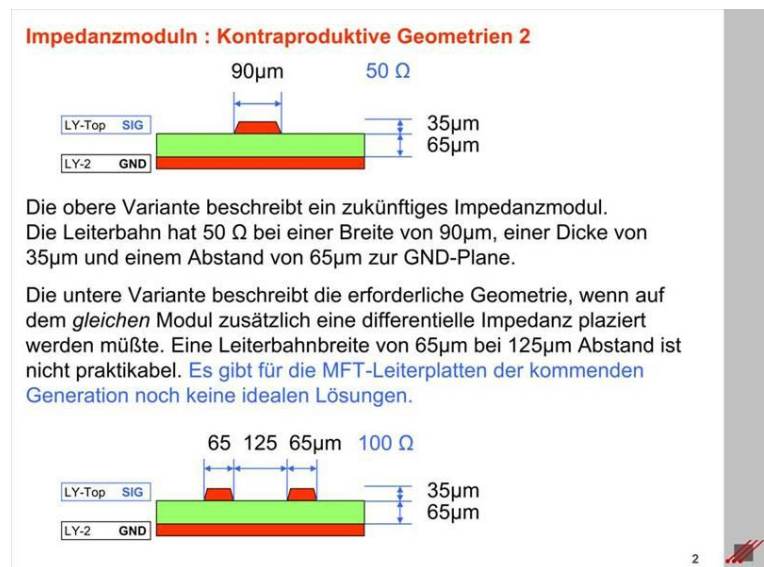


Bild 20-3 Zukünftige Anforderungen an Impedanzmoduln

Die **Signalintegrität** wird als "gut" eingestuft, wenn jedes Signal ein GND als direkte Nachbarlage hat.

Die Bewertung ist "schlecht", wenn es ein Signal gibt, das zwischen sich und GND ein zweites Signal sieht oder ein VCC.

Wie die Funktionsmoduln in einen Multilayeraufbau eingefügt werden könnten, ist im Bild (20-4) zu sehen.

Die **Eigenstörung** ist "niedrig", wenn alle Signale durch GND von VCC abgeschirmt sind.

Sie wird als "mittel" bewertet, wenn nur ein Signal betroffen ist.

Sie wird als "hoch" angesehen, wenn mehr als ein Signal betroffen ist.

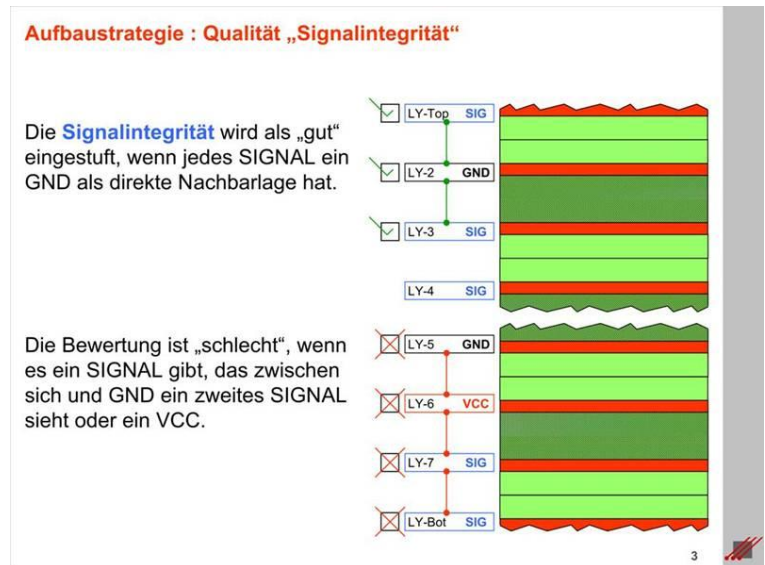


Bild 20-4 Strategische Optionen für die "Signalintegrität"

Aufbauoptionen für Multilayer

Die Reihenfolge von Signal- und Stromversorgungslagen in einem Multilayer kann sehr variantenreich erfolgen. Die Übersicht in Bild (20-5) zeigt typische Kombinationen. Die Beurteilung der unterschiedlichen Kombinationen nach den oben erläuterten Kriterien zeigt jedoch sofort Unterschiede in der elektrophysikalischen Funktion.

Die unbedachte Verteilung von Signal und Power kann offensichtlich zu massiven Nachteilen bei der Funktion einer Highspeed-Baugruppe führen (...siehe Variante 4 und 6).

Im Gegenzug führt die wohlüberlegte Reihenfolge von Signal und Power zu einer stabilen Funktion (...siehe dazu Variante 1 und 2), ohne daß dafür zusätzliche Kosten aufgewendet oder komplexere Schaltungskonzepte erdacht werden müssen.

Ganz allgemein können für High-Speed-Anwendungen bei Multilayern ab 10 Lagen gute Lösungen in den Bereichen EMV, SI und PI erwartet werden.

Allgemeine Aufbauoptionen für einen 10-Lagen-Multilayer

Tabelle 2

	Variante 1	Variante 2	Variante 3	Variante 4	Variante 5	Variante 6
Layer 1	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Layer 2	GND	GND	SIGNAL	VCC	GND	SIGNAL
Layer 3	VCC	VCC	GND	GND	VCC	GND
Layer 4	GND	GND	SIGNAL	SIGNAL	SIGNAL	SIGNAL
Layer 5	VCC	SIGNAL	GND	SIGNAL	GND	VCC
Layer 6	GND	GND	VCC	GND	SIGNAL	SIGNAL
Layer 7	SIGNAL	SIGNAL	GND	VCC	SIGNAL	SIGNAL
Layer 8	SIGNAL	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL
Layer 9	GND	GND	SIGNAL	SIGNAL	SIGNAL	SIGNAL
Layer 10	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Entkopplung	gut	gut	gut	gut	gut	schlecht
EMV	gut	gut	gut	mittel	mittel	schlecht
Signalintegrität	gut	gut	schlecht	schlecht	schlecht	schlecht
Eigenstörung	niedrig	niedrig	niedrig	mittel	mittel	hoch

Ergebnis: Ab 10 Lagen können für High-Speed-Anwendungen gute Lösungen für EMV, SI und PI erwartet werden.

Bild 20-5 Aufbauoptionen für 10-Lagen-Multilayer

Hinweis

Die Funktion eines Multilayers oder einer Baugruppe definiert sich nicht allein durch die überlegte Aufeinanderschichtung von Basismaterialien.

Die Strategie muß sein, alle Partner vom Entwurf des Schaltungskonzeptes bis hin zur Produktion der Baugruppe einzubeziehen.

Das setzt ein hohes Maß an Bereitschaft zur **Kommunikation** voraus. Die erarbeiteten Vorgaben müssen systematisiert eingebunden werden. Das geht nur mit einer verlässlichen **Organisation**.

Weil eine Baugruppenproduktion dynamisch ist, muß diszipliniert mit **Informationen** umgegangen werden.

Die Materialien und die Fertigungsprozesse der Partner müssen den Beteiligten vertraut sein.

Persönliche Kompetenz entscheidet und nur die *qualifizierte* und *kontinuierliche* Ausbildung der Menschen, die dieses Produkt herstellen, garantiert die *zuverlässige* Funktion von High-Speed-Baugruppen.



21. Kapitel / Arnold Wiemers

10 Klassische Irrtümer aus dem Bereich der Leiterplattentechnologie

Mechanik versus Elektronik / Tausche ALT gegen NEU

Die Welt ist im Wandel....

...und die Leiterplatte ist die Brücke zu der neuen Zeit. Nichts wird so bleiben, wie es ist. Wir müssen nach vorne sehen und akzeptieren, daß wir uns verändern müssen. Das wird nur möglich sein, wenn wir von alten Irrtümern lernen. Und von denen gibt es viele. Über einige dieser Irrtümer sollten wir jetzt mal sprechen.

1. Leiterplatten haben *nur* die Aufgabe, der mechanische Träger für die Bauteile einer Baugruppe zu sein.

Die Mechanik behält sicherlich ihre Bedeutung. Die Länge und die Breite einer Leiterplatte sowie die Anzahl und der Durchmesser von Bohrungen und die Stege, Bögen und Ausschnitte einer Fräskontur bleiben wichtig.

Vorrangig bestimmen aber längst die *elektrischen* Anforderungen an eine Baugruppe die erforderlichen Eigenschaften einer Leiterplatte. Und damit geht es nicht mehr darum, *ob*, sondern *wie* die Netzendpunkte einer elektronischen Schaltung miteinander verknüpft sind.

Einerseits hat sich die Beachtung physikalischer Anforderungen inzwischen durchgesetzt. Impedanzwerte sind unerläßliche Kenngrößen für die kontrollierte Laufzeit elektronischer Signale auf den einzelnen Lagen einer Leiterplatte. Stromtragfähigkeit und Isolationseigenschaften sichern den Betrieb von Maschinen und Anlagen.

Andererseits ist unser Alltagsleben mittlerweile derart intensiv vom Funktionieren der uns umgebenden Elektronik abhängig, daß notwendigerweise auch Aspekte wie die langfristige Qualität einer Baugruppe in den Vordergrund drängen.

2. Wichtig ist, daß eine Leiterplatte möglichst *wenige* Lagen hat und preiswert ist.

Es gibt keine Mehrklassenphysik. Die langfristig zuverlässige Funktion einer Baugruppe hat ihren berechtigten Aufwand. Das Potential der Leiterplattentechnologie ist überwiegend noch unbekannt und ungenutzt.

Während der Konstruktion und der Beschaffung einer Leiterplatte liegt der Fokus oft ausschließlich auf der Betrachtung einer singulären Komponente. Die Leiterplatte bleibt losgelöst von ihrer Aufgabe und wird selten unter strategischen Blickwinkeln gesehen.

Die Analyse starrflexibler Leiterplatten zeigt exemplarisch sehr deutlich, daß plurale Systemeigenschaften bewertet werden müssen und das sowohl aus funktionalen *als auch* aus wirtschaftlichen Blickwinkeln. Signalübertragungseigenschaften, Montage- und Prüfkosten, Bauteileinkauf, Bestücken und Löten der Leiterplatte sowie das Testen der Baugruppe werden stark durch die Möglichkeiten der Leiterplattentechnologie beeinflusst.

Die Investition in eine leistungsfähige Leiterplatte ist immer effektiver und letztlich unter dem Strich auch preiswerter als viele der bisher üblichen schaltungs- und gehäusetechnischen Maßnahmen.

3. Die Modifikation diverser Layout-Parameter für die Produktion von Leiterplatten sollte dem Leiterplattenhersteller überlassen werden.

Die Geometrien von SMD-Flächen, Lötstoplackfreihaltungen, Randabständen, Reststringbreiten, Wärmefallen, Isolationspads etc. sind konstruktive Elemente des CAD-Layouts, für die *immer* der CAD-Designer zuständig und verantwortlich ist und *niemals* der Leiterplattenhersteller.

Layoutgeometrien werden zunehmend softwareseitig ermittelt und abgesichert durch die Berechnung und Simulation elektrophysikalischer Eigenschaften. Diese sind üblicherweise sehr genau auf die technische Funktion, den späteren Einsatzbereich, die angestrebte Langzeitzuverlässigkeit und die präzisen Betriebsbedingungen abgestimmt.

Ergo fließen in das Layout zu dem Produkt und zu der Anwendung die individuellen Informationen und Richtlinien des beauftragenden Unternehmens mit ein.

Die heute übliche Spezifikation von Leiterplatten transportiert praktisch keine Informationen zu den Betriebsbedingungen der späteren Baugruppe. Folglich sind entscheidende Konstruktionsmerkmale dem Leiterplattenhersteller *nicht bekannt*.

Eine nachträgliche eigenständige Veränderung der CAD-Layoutdaten durch die CAM des Leiterplattenherstellers ist deshalb *immer* unzulässig. Als einzige Ausnahme sind Veränderungen akzeptabel, für die vorher die verbindliche und dokumentierte Freigabe des Konstrukteurs eingeholt wurde.

Im Gegenzug verhindert der Mangel an Informationen zu der vorgesehenen Aufgabe der Baugruppe allerdings auch eine fachgerechte Beratung des Konstrukteurs durch den Leiterplattenhersteller. Erst eine modifizierte Spezifikation kann dazu beitragen, daß die partnerschaftliche Zusammenarbeit zwischen dem CAD-Designer und dem Leiterplattenhersteller ihre volle Leistungsfähigkeit erreicht.

4. Für die Spezifikation eines Multilayers genügt die Angabe der Lagen.

Das kann lebensgefährlich werden. Die geometrischen Abstände zwischen elektrischen Lagen bestimmen die späteren physikalischen Eigenschaften der Baugruppe.

Stromtragfähigkeit, Spannungsfestigkeit und Signalintegrität sind über die Geometrie der Leiterplatte definiert. Damit ist ein kompletter, fachlich korrekter, dokumentierter und nachvollziehbarer Multilayeraufbau ein unverzichtbarer Bestandteil einer jeden Leiterplattenproduktion.

Ein aussagefähiger Lagenaufbau muß Teil der Fertigungsunterlagen sein und absolut verbindlichen Charakter haben. Bereits das einfache Vertauschen der Reihenfolge von Innenlagenlaminaten kann katastrophale Auswirkungen haben, ein Fehler, der von der üblichen elektronischen Prüfung auf der Seite des Leiterplattenherstellers zudem noch nicht einmal detektiert werden kann.

Aus Sicht des Autors ist es heute sogar unverzichtbar, bereits den Aufbau von ein- oder doppelseitigen Leiterplatten zu dokumentieren (Bild 21-1).

Grundsätzlich müssen der Lagenaufbau respektive die Leiterplattenspezifikation bereits *vor* der Beendigung der Arbeit am Schaltplan vorliegen.

Aspekte wie die Laufzeit von Signalen, die Kapazität von Stromversorgungssystemen, die Kosten für die Leiterplatte oder die Entwärmung der Baugruppe können sonst nicht verifiziert werden.

Das bedeutet in der Praxis, daß unzureichende Informationen über die zu erwartenden wirtschaftliche und technische Eigenschaft des künftigen elektronischen Gerätes vorliegen. Eine geregelte Abstimmung zwischen Konstrukteur, CAD-Designer und Leiterplattenhersteller kann dann nicht stattfinden. Und dann wäre die Baugruppe im Prinzip außer Kontrolle.

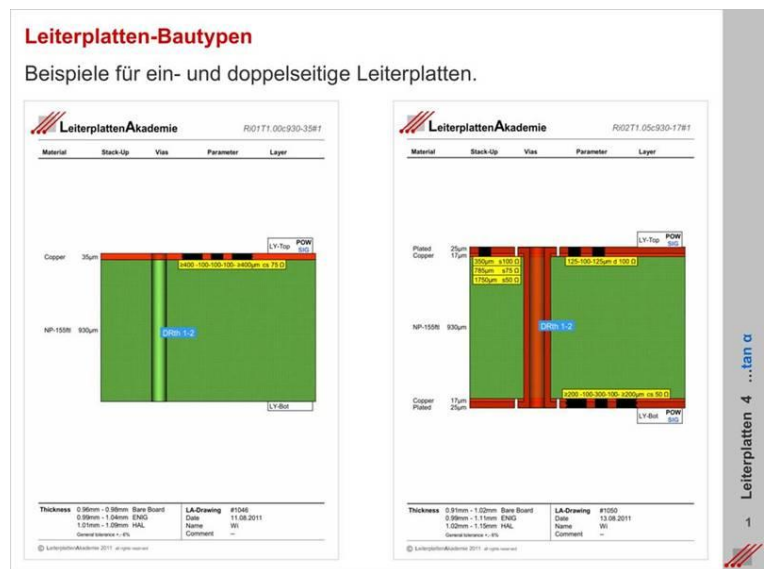


Bild 21-1 Dokumentation ein- und doppelseitiger LPs

5. **Durch das Entfernen von Non Functional Pads auf den Innenlagen eines Multilayers kann mehr Platz für das Fan-Out hochintegrierter Bauteile geschaffen werden.**

Leider nein. Für HDI- und MFT-Leiterplatten orientieren sich die maßgeblichen Routingabstände nicht mehr vornehmlich an den Abständen zwischen Leiterbahn und Leiterbahn oder zwischen Leiterbahn und Pad sondern am Abstand der Tangente einer Bohrung zur Leiterbahn.

Die Betrachtung "Leiterbahn zu Leiterbahn" wird damit um die entscheidende und weitläufig gültige Betrachtung "Leiterbahn zu Bohrung" erweitert.

Pauschal rückt damit die Betrachtung der *Leiterbildstruktur in Relation zur Leiterplattenmechanik* in den Vordergrund.

Als Folge dieser Verschiebung wird die zentrale Strategie nicht mehr (...nur) darin bestehen, am CAD-System die Werte für den "electrical distance (i.e. der elektrische Sicherheitsabstand)" von Vektorstrukturen als "constraints" (i.e. Vorgaben) zu formulieren.

An deren Stelle tritt auf mathematischer Basis die generelle aber individualisierte Betrachtung von *Toleranzräumen*. Für die Berechnung dieser Toleranzräume ist das diskrete Vorhandensein eines Pads oder einer Leiterbahn ohne Bedeutung. Die Berechnungen orientieren sich an den realen Parametern für die Fertigung von Leiterplatten. Ausgehend von den Einflüssen der Basismaterialien, des individuellen Leiterbildes, der erforderlichen Prozeßschritte und der Einsatzanforderungen an die Baugruppe werden die constraints für das Routing des CAD-Layouts über die dynamische Berechnung der real *möglichen und sinnvollen* Mindestabstände ermittelt.

Speziell für "Non Functional Pads" (~ NFP) belegt die Berechnung der Toleranzräume beeindruckend, welche Wirkung das Entfernen der Pads auf das CAD-Layout hat.

Ist das Pad im Padstack des CAD-Systems bereits auf den minimalen Durchmesser gesetzt, dann ergibt sich für das Routing keinerlei Vorteil. Wird der durch das entfernte Pad freigewordene Raum aus einem Mißverständnis heraus für das Routing von Leiterbahnen genutzt, dann steigt die Ausschußrate während der Leiterplattenproduktion sofort deutlich an und führt oft sogar zum Totalausfall des produzierten Loses.

6. Ein Lagenaufbau wird eigentlich nur vom Leiterplattenhersteller benötigt.

Nein. Der Bauplan für eine Leiterplatte, egal, ob ein- oder doppelseitig oder Multilayer, und egal, ob starr oder flex oder starrflex, muß bereits vor dem Abschluß der Arbeiten am Schaltplan vorliegen. Im Schaltplan werden zunehmend constraints für das Routing festgelegt. Vorberechnete Impedanzwerte verlangen eine präzise Leiterbahnbreite und vorab zugeordnete Referenzplanes. Signlräume mit Bezug zu bekannten Rückstromwegen sind eine verbindliche Vorgabe für die Layoutkonstruktion am CAD-System.

Die Option, Powerplanes mit kapazitiven Eigenschaften in Leiterplatten einbauen zu können oder "embedded components" (i.e. Bauteilfunktionen auf den Innenlagen) in Polymertechnik mittels des Carbondrucks (z.B. Induktivitäten und Widerstandswerte) zu fertigen, erhebt die Leiterplatte in den Status einer passiven elektrischen Komponente.

Im Schaltplan müssen diese Funktionen Berücksichtigung finden. Für das CAD-Layout enthält der Bauplan der Leiterplatte somit entscheidende Anweisungen mit Blick auf die notwendigen Routingparameter sowie die Anlage von Signal- und Powerplanes.

Der Bauplan muß immer auch an den Baugruppenfertiger weitergereicht werden. Gerade bei Prototypen und Kleinserien muß die Materialspezifikation transparent sein. Die Kupferdicken, die Anzahl der Masseflächen und der Lagen sowie der Lagenabstand beeinflussen die gezielte Auswahl eines geeigneten Reflowprofiles. Diverse Kleber bei starrflexiblen Leiterplatten, Pluggingsubstrate, Coverlay und Lötstopmasken müssen bekannt sein, um eine sichere Entscheidung für die richtige Strategie für die Produktion der Baugruppen treffen zu können (Bild 21-2).

Starrflexible Baugruppen : Legendokumentation

Multilayerbauplan

Bei einem starrflexiblen Multilayer müssen sowohl die Materialien im starren Abschnitt der Leiterplatte beschrieben werden als auch im starrflexiblen.

Gibt es physikalische Anforderungen, die erfüllt werden müssen, dann sind diese Vorgaben deutlich zu machen.

Hier sind gleichbleibend 50 Ohm SE-Impedanzen bei einer Leiterbahnbreite von 130µm gefordert. Das ist nur möglich mit einem Wechsel des Bezugspotentials. Für „LY-4 SIG“ ist im Flexbereich „LY-5 GND“ der Bezug, im starren Bereich ist es „LY-6 GND“.

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm			LY-TOP GND
Copper	17µm			VCS
NP-1558	100µm	2116 SR-52		LY-2 SIG
NP-1558	100µm	2116 SR-52		LY-3 GND
Copper	35µm			LY-3 VCS
NP-1558	250µm			LY-4 SIG
Copper	35µm			LY-4 VCS
NP-1558	50µm	1060 MR-67		LY-5 GND
NP-1558	50µm	106 SR-70		LY-5 VCS
Copper	17µm			LY-6 GND
NP-1558	100µm	2116 SR-52		LY-6 VCS
NP-1558	100µm	2116 SR-52		LY-7 SIG
Copper	17µm			LY-8OT GND
Plated	25µm			

Thickness: 1.23mm - 1.55mm Bare Board
 1.41mm - 1.59mm ENIG
 1.44mm - 1.62mm HAL
 Special materials +RS

LA-Drawing #1044
 Date 03.08.2011
 Name WI
 Comment

© LeiterplattenAkademie 2011 in gips-research

Bild 21-2 Komplexe Multilayerspezifikation

7. Bei SMD-Layouts müssen die Vias mit Lötstoplack immer zgedrückt sein.

Im Gegenteil, die Vias respektive Durchkontaktierungen müssen immer offen sein. Üblicherweise werden heute fotosensitive Lötstoplacke verarbeitet, die als dünne Schicht auf die Oberfläche der Leiterplatte aufgetragen werden.

Die Vias werden dadurch zwar überdeckt aber nicht verfüllt und der Lack bekommt später beim Trocknen auf Grund thermischer Spannungen Mikrorisse.

Für die heutigen chemisch prozessierten Endoberflächen dient der Lötstoplack als Resist, das heißt, der Lack wird vor der Endoberfläche auf die Leiterplatte aufgebracht. Ist die Hülse der Vias ganz oder weitestgehend mit Lötstoplack bedeckt, dann ist während des Prozessierens der chemischen Oberfläche keine ausreichende Durchflutung der Viahülsen mit den chemischen Reagenzien möglich. Folglich kann es nicht zu einer Beschichtung der Innenwand der Hülse mit der vorgesehenen metallischen Endoberfläche kommen.

Es können sogar diverse Rückstände chemischer Substrate aus der Oberflächenfertigung und der Baugruppenproduktion in den Hülsen verbleiben. Diese Rückstände sammeln sich in den Hülsen und können in Verbindung mit Kondensatbildung mittelfristig zur Korrosion führen.

Nur bei offenen, lackfreien Vias ist die Voraussetzung geschaffen, eine Endoberfläche in die Hülsen einzubringen und nach dem Bestücken für eine rückstandsfreie Reinigung der Baugruppe zu sorgen (Bild 3).

Die Voraussetzungen dazu müssen durch das CAD-Layout geschaffen werden. Nur ein korrekt angelegter Padstack in Verbindung mit einem abgestimmten Routingraster kann diese Aufgabe lösen.



Bild 21-3 Geometrische Spezifikation für den Lötstoplack

8. Bei "zu knappen" Restringen dürfen die Viadurchmesser verringert werden.

Keinesfalls. Der Viadurchmesser definiert die Hülsenoberfläche. Die Hülsenoberflächen aller Vias haben einen signifikanten Einfluß auf die Entwärmung der Baugruppe. Weil die Oberfläche der Hülsen direkt proportional zum Viadurchmesser ist, führt eine Änderung des Viadurchmessers von z.B. 300µm auf 200µm zu einer um 1/3 reduzierten layoutbasierten Entwärmung.

Mit den bereits oben erwähnten mathematischen Methoden läßt sich die Geometrie der Toleranzräume für Bohrungen berechnen. Die von CAD deklarierten Durchmesser sind immer als Enddurchmesser zu verstehen. Aus der üblichen Zugabe von 50µm umlaufend für das Bohrwerkzeug und aus der für FR4-Material üblichen Positionstoleranz "Bohrung zu Leiterbild" von umlaufend 100µm ergibt sich ein Toleranzraum von umlaufend 150µm. Bei CAD-Layouts für HDI-Baugruppen ist dies zugleich die minimal zulässige Restringbreite für das Viapad im Padstack.

Eine Unterschreitung dieses Wertes für die minimale Restringbreite bedeutet, daß bei Ausnutzung der zulässigen Toleranzen während der Fertigung der Leiterplatte ein Segment des Vias außerhalb des Viapads liegen wird. Dadurch verringert sich nicht nur der Abstand der Tangente des Vias zur benachbarten Leiterbildstruktur sondern auch der elektrische Sicherheitsabstand zwischen Via und Leiterbild. Gleichzeitig erhöht sich das Kurzschlußrisiko während der Leiterplattenproduktion.

Stellt CAM beim DRC eine solche Abstandsunterschreitung fest, dann ist die *einzig zulässige* Maßnahme eine Überarbeitung des Routings am CAD-System.

9. Möglichste große Isolationspads auf Powerplanes verringern den toleranzbedingten Ausschuß bei Multilayern.

Das ist sicherlich richtig, hat aber *keine Priorität* vor der technisch einwandfreien Funktion der Baugruppe. Absolut *unzulässig* ist die Modifikation der Isolationspads durch die CAM des Leiterplattenherstellers.

Powerplanes haben die Aufgabe, das elektronische Gerät im Betrieb störungsarm mit ausreichend Energie zu versorgen und für die Signalübertragung geeignete Rückstromwege anzubieten.

Das geht zuverlässig nur mit quasi durchgehenden Flächen. Dazu müssen zwischen den Isolationspads Kupferstege stehenbleiben.

Das geht aber nur mit möglichst kleinen Isolationspads (z.B. 500µm plus Enddurchmesser) und einem dazu passenden Routingraster am CAD-System.

Für die CAD-Konstruktion bedeutet das eine wohlkalkulierte Abstimmung der Routinggeometrien auf die Anforderungen der Schaltungsfunktion sowie auf die Toleranzen während der Produktion der Leiterplatten (Bild 21-4).

Wenn die Überprüfung der Designvorgaben durch die CAM des Leiterplattenherstellers eine Verletzung der produktionsseitig geforderten Toleranzräume ergibt, dann ist die *einzig akzeptable* Lösung, die Padstacks in der CAD-Bibliothek anzupassen und das Routing zu korrigieren.

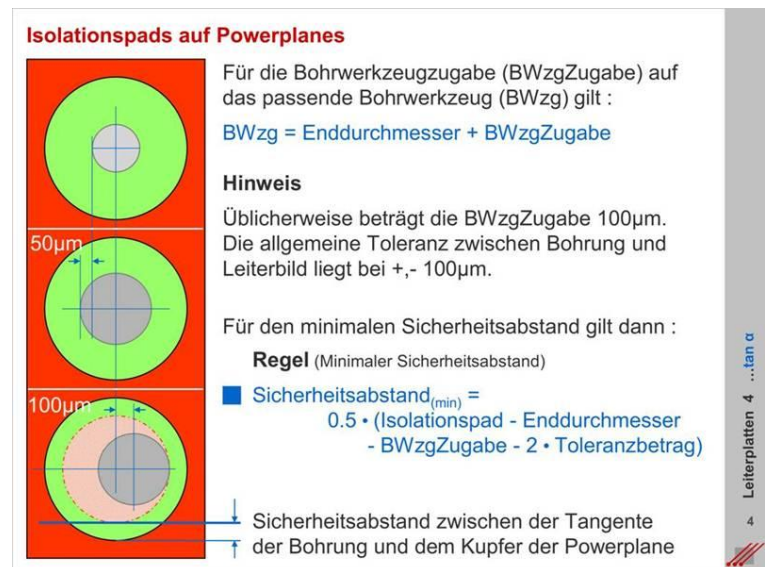


Bild 21-4 Regeln für Isolationspads auf Powerplanes

10. Für den Datenaustausch zwischen CAD und CAM wird ein *intelligentes* Datenformat benötigt.

Im Prinzip "nein". Für ein Datenformat Intelligenz zu fordern, ist zudem ein Widerspruch in sich.

Die Anforderung an CAD ist, Fertigungsdaten an CAM zu übergeben. Benötigt werden Informationen, die Punkte und Vektoren in einem 2-dimensionalen kartesischen Koordinatensystem beschreiben. Das GERBER-Format erfüllt diese Aufgabe exzellent, ist mathematisch wohldefiniert, für Jedermann nachvollziehbar und absolut zukunftsorientiert.

Viel wichtiger ist die *Vervollständigung* der an CAM übergebenen Daten. Die Schnittstelle von CAD zu CAM und zur Baugruppenproduktion weist *erhebliche* Lücken auf. Die Übergabe einer Materialspezifikation, die Weitergabe von Bohrplänen, bemaßten Konturpläne, Bauplänen, Verbindungslisten, Coupons, Files für das Fräsen und Ritzen, Dokumentation der Liefernutzen mit Paßmarken, Stegabständen etc. ist noch keineswegs üblich.

Diese Daten sind für die systematische Arbeitsvorbereitung im Zuge der Leiterplatten- und Baugruppenproduktion unerlässlich.

Die Optionen der GERBER-Syntax reichen aus, um all diese Anforderungen zu erfüllen.

Hinweis

Als Ergebnis aller Analysen werden zwei Schwerpunkte deutlich. Der systematische Transfer von automatisierten *Informationen* zwischen den Disziplinen CAD-Design, Leiterplatte und Baugruppe sorgt für Transparenz.

Die menschliche *Kommunikation* zwischen den Beteiligten beseitigt die verbleibenden Unklarheiten.

Dieses Zusammenspiel ist der Garant für Ihren Erfolg.



Anhang 1

Informationen zu Frau Vincenz und zur Firma. *tecnotron elektronik GmbH*



Jennifer Vincenz

Frau Jennifer Vincenz verfügt über weitreichendes und anerkanntes Fachwissen im Bereich CAD-Design. Sie ist vom IPC zertifizierte CID, CID+, Instructorin und FED-Designerin mit mehr als 20 Jahren Berufserfahrung.

Seit April 2010 ist sie bei der *tecnotron elektronik GmbH* im Bereich Softwarevertrieb tätig. Sie betreut die Kunden sowohl softwarebezogen als auch in technologischen Aspekten und bietet Ihnen fachmännischen Support. Zu ihren Aufgaben gehören zusätzlich die interne Aus- und Weiterbildung und die technische Dokumentation der Pulsonix EDA-Software.

Bei der ILFA GmbH in Hannover war sie zuvor 22 Jahre in den Bereichen CAD-Design, interne Aus- und Weiterbildung, Dokumentation und technische Kundenberatung tätig.

Als Referentin arbeitet sie seit 2002 aktiv am Schulungskonzept des FED mit.

Für die LeiterplattenAkademie GmbH referiert Sie seit 2009 das Fachseminar "CAD".

Frau Vincenz arbeitet an Projekten wie "Die Leiterplatte 2010" mit, veröffentlicht dazu in Fachmedien und übersetzt Fachartikel für die Elektronikpraxis. Ihre Tätigkeit als Referentin auf Konferenzen zum Thema "CAD-Design" und "Leiterplattentechnologie" runden das Profil ab.



Die tecnotron elektronik GmbH

Der Bereich **Softwarevertrieb** bei der *tecnotron elektronik GmbH* in Weißenberg am Bodensee konzentriert sich auf drei leistungsstarke Produkte. Diese begleiten und fördern das EDA-gestützte Arbeiten durch die gesamte Prozeßkette von der Entwicklung bis zur Baugruppenproduktion und dem Product Life Cycle Management.

Dabei gilt die Maxime: Wir verkaufen nicht nur Software, wir arbeiten auch damit !

Bei *tecnotron* sind die angebotenen Tools täglich im Einsatz. Wir wissen also ganz genau, wo die Stärken der einzelnen Werkzeuge liegen.

Sie können vom kleinen Labormuster bis zum komplexen Flex-SMD-Multilayer alle anfallenden Aufgaben zu Ihrer vollen Zufriedenheit lösen.

Schaltplan, Simulation, Layout und Ausgabe der Gerber Daten - all das bietet die leistungsstarke Layout Software **Pulsonix**.



Analysieren, editieren und modifizieren Sie Ihre Gerber Daten vor der Herstellung der Leiterplatten. Auch Nutzenerstellung, Reverse Engineering sowie viele Checks zur Produktionstauglichkeit Ihrer Platine bietet Ihnen das Gerber Tool CAM350.

Ein Zweig des Herstellungsprozesses, der immer mehr an Bedeutung gewinnt, ist die **Dokumentation**. Mit BluePrint können Sie Ihre Dokumentation in kürzester Zeit mit allen notwendigen Funktionen und mit wenig Aufwand erzeugen (Link: http://www.tecnotron.de/soft_edas.htm).

Im Bereich **Dienstleistung** entwickelt und produziert die tecnotron elektronische Baugruppen, Geräte und Systeme für Auftraggeber aus der Luft- und Raumfahrt, Verteidigungstechnik, Maschinenbau und Medizintechnik sowie für anspruchsvolle Kunden aus dem Automotive- und Kommunikationsbereich. Für all jene also, die sowohl an die Zuverlässigkeit als auch an Service, Qualität und Wirtschaftlichkeit kompromißlos hohe Ansprüche stellen.

Wir sind nicht nur Ihr Lieferant, sondern verstehen uns als Partner für Ihre komplexen Aufgaben. Wir arbeiten im High-Quality-Bereich und die Basis unserer gesamten Arbeit ist der Blickwinkel des Kunden.

Die Umsetzung individueller Kundenwünsche in der **Entwicklung, Konstruktion** und **Fertigung** ist für uns ebenso selbstverständlich wie die Einhaltung branchenüblicher Normen und Vorschriften (Link: <http://www.tecnotron.de/>).



Anhang 2

Informationen zu Rainer Taube und zur Firma TAUBE ELECTRONIC GmbH



Rainer Taube

Herr Rainer Taube ist Geschäftsführer und Inhaber der 1986 in Berlin gegründeten Firma TAUBE ELECTRONIC GmbH.

Ausgehend von der Design-Dienstleistung wurde die Baugruppenfertigung Anfang der 90er-Jahre der neue Schwerpunkt für das Unternehmen.

Dem ISO9001-Zertifikat von 1997 folgte 2002 die Zertifizierung der Mitarbeiter gemäß der IPC-A-610. Im gleichen Jahr wurde der Firma TAUBE ELECTRONIC der renommierte Preis "Baugruppenfertiger des Jahres" verliehen, eine Auszeichnung, die im Folgejahr sogar noch ein zweites Mal an das Unternehmen vergeben wurde.

Rainer Taube ist seit vielen Jahren erfolgreich in der Aus- und Weiterbildung aktiv. Er ist Referent für Seminare, Konferenzvorträge und Workshops zum Thema Baugruppenfertigung.

Rainer Taube ist zertifizierter Master IPC Trainer für die IPC-A-610 und arbeitet mit an der Übersetzung von IPC-Standards.

Er ist im FED-Vorstand zuständig für den Fachbereich "IPC-Standards und Normen" und arbeitet mit im FED-Arbeitskreis "Zukunftsweisende Baugruppenfertigung" und in der Normung bei DKE682/IEC TC91.



Die TAUBE ELECTRONIC GmbH

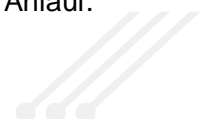
Leiterplattendesign und Baugruppenfertigung eng verzahnt.

Die konsequente Beachtung der Anforderungen entlang der gesamten Prozesskette vom Design bis zur geprüften Baugruppe ist eine wesentliche Grundlage für die hohe Zufriedenheit unserer Kunden mit den Leiterplattendesigns von TAUBE ELECTRONIC.

Durch die enge Verzahnung von Leiterplattendesign und Baugruppenfertigung lassen sich alle Faktoren die unter "Design for Manufacturing" bekannt wurden, bereits in der Designphase optimal berücksichtigen.

Dieses Konzept für eine erfolgreiche Zusammenarbeit hat sich seit über 25 Jahren bei Hunderten von Leiterplattenlayouts entwickelt und bewährt.

Aufgrund der Qualifikation unserer Designer (CID+/FED-Designer & IPC-A-610 Zertifikate), des zertifizierten Designflows nach ISO9001 sowie geplanten automatischen und manuellen Kontrollen erreichen wir in vielen Fällen unser angestrebtes Ziel **First Time Right** schon im ersten Anlauf.



Kontrollierte Fertigung nach IPC-A-610 Klasse 2 & 3

Ein gut eingespieltes Team hochqualifizierter und -motivierter Mitarbeiter fertigt an ESD-sicheren Arbeitsplätzen bei TAUBE ELECTRONIC zuverlässige elektronische Baugruppen und Geräte für den industriellen Einsatz.

Unsere Baugruppen arbeiten in vielen anspruchsvollen Industrieprodukten - von der Ventilüberwachung für Ölförderbohrungen am Meeresgrund bis zur Steuerung von hochzuverlässigen Satellitenkommunikationssystemen.

Unser Prozeßziel : First Time Right

Mit einem kontrollierten Qualitätsregelkreis mit geplanten Prüfungen und umfangreichen Maßnahmen zur Fehlervermeidung stellen wir eine hohe Produktqualität bei gleichzeitiger Minimierung der Produktgesamtkosten im Interesse unserer Kunden sicher.

Seit dem Jahr 2005 fertigen wir RoHS-konforme Baugruppen und haben bereits Anfang 2006 als einer der ersten Baugruppenproduzenten in Deutschland Green-konforme Baugruppen für einen japanischen Endkunden geliefert.

Obwohl auch immer noch konventionelle bedrahtete Baugruppen auf einseitigen Leiterplatten hergestellt werden, liegt der Schwerpunkt auf komplexen SMD-Baugruppen, bis hin zu hochdichten, beidseitig-reflowgelöteten Schaltungen auf Starrflex-Multilayern.

Wir beherrschen die Fertigungsprozesse

Erprobte und kontrollierte Prozesse gestatten FCKW-freie Reinigung bis unter die MIL-Grenzwerte, Voraussetzung für anschließendes einwandfreies Coating. Das erlaubt den Einsatz der Baugruppen auch unter extremen Sicherheitsanforderungen und unter schwierigsten klimatischen Bedingungen.

Nachdem sich die SMD-Technik in den 90er Jahren als Standardmontagetechnik durchgesetzt hat, stehen wir zum Beginn des neuen Jahrtausends erneut vor einer gewaltigen Umwälzung in der Elektronikfertigung.

Die außerordentlich empfindlichen Fine-Pitch-QFP und TSSOP-Bauteile werden derzeit durch neue Gehäusetypen wie BGAs (Ball Grid Arrays), CSPs (Chip-Size-Packages) und Flip-Chips ergänzt und irgendwann sicherlich auch abgelöst.

Wir wissen wohin sich die Verbindungstechnik entwickelt

TAUBE ELECTRONIC hat sich in den letzten Jahren durch kontinuierliche Investitionen auf diese Herausforderung eingestellt.

Die sichere Beherrschung aller Fertigungsprozesse bietet die Grundlage für eine sachliche Entscheidung, welche Technologie im Interesse des Produktes und wirtschaftlich sinnvoll einsetzbar ist.

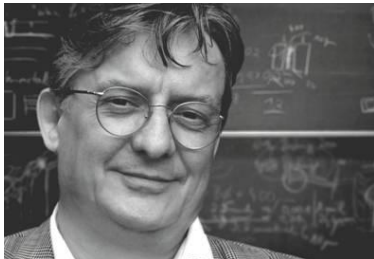
Die Weitergabe unseres technologischen Wissens ist dabei immer auch Bestandteil unseres Verständnisses von partnerschaftlicher Zusammenarbeit.

Neben der perfekten Beherrschung von Standardtechnologien beobachten wir den Einsatz fortgeschrittener Montagetechniken und suchen in partnerschaftlicher Zusammenarbeit mit unseren Kunden die Lösungen für die Montage neuer Bauteiltechnologien sowie die Erhöhung der Wirtschaftlichkeit in der Produktherstellung.



Anhang 3

Informationen zu Arnold Wiemers und zur LA - LeiterplattenAkademie GmbH



Arnold Wiemers

Herr Arnold Wiemers ist Technischer Direktor der 2009 in Berlin gegründeten LA - LeiterplattenAkademie GmbH.

Arnold Wiemers ist der Leiterplatte seit 1982 verbunden. Von 1985 bis 2009 war er bei der ILFA GmbH in Hannover beschäftigt. Er war verantwortlich für den Geschäftsbereich CAD-Design und für den Fachbereich CAM, für die Auftragsvorbereitung und für die technische Dokumentation der Firma ILFA im Internet.

Er arbeitet seit 1982 als freier Softwareentwickler, vornehmlich für branchentypische Applikationen im Bereich der Leiterplatten- und Baugruppenteknologie, wie die Kalkulation und die Fertigungssteuerung für die Produktion von komplexen Leiterplatten.

Arnold Wiemers ist Referent für Seminare, Konferenzvorträge und Workshops zum Thema Leiterplattentechnologie. Seit den 90er-Jahren wurden diverse Fachaufsätze und Serien zu den Themen MFT, MPS, Impedanz, Multilayersysteme, Gerber, Designregeln und LP2010 veröffentlicht.

Herr Wiemers ist vom IPC zertifizierter CID, CID+ und IPC-Instructor. Er ist FED-Designer und FED-Referent und arbeitet am Schulungskonzept des FED mit sowie im ZVEI-Arbeitskreis "Design Chain".



Die LA - LeiterplattenAkademie GmbH

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (...auch) durch die Qualität ihrer Elektronikprodukte bestimmt. Das erfordert eine fachlich hochwertige Aus- und Weiterbildung. Die systematische und kontinuierliche Qualifikation der Mitarbeiterinnen und Mitarbeiter eines Unternehmens sichert die Wettbewerbsfähigkeit auch auf internationaler Ebene.

Lernen und Handeln

Für jedes Unternehmen bietet sich der größte Vorteil im Vorfeld einer Baugruppenentwicklung, also beim Übergang vom Schaltplan zum CAD-Layout.

Wissen, das zu diesem Zeitpunkt eingesetzt werden kann, hat den wirtschaftlich und technologisch hochwertigsten Nutzen für das Produkt.

Die Komplexität des Produktes erfordert eine intensive Kenntnis der miteinander verknüpften Bereiche "Konstruktion", "CAD", "CAM", "Leiterplatte" und "Baugruppe". Die Regelwerke, die Materialien und die Fertigungsprozesse der Partner müssen allen Beteiligten vertraut sein.

Persönliche Kompetenz entscheidet

Wichtig für die Konstruktion und die Fertigung einer Leiterplatte sind formales technisches Wissen,

ausgewogene Kreativität, eine exzellente Kombinationsfähigkeit und eine hohe Kommunikationsbereitschaft.

Die Kompetenz für die Erstellung eines CAD-Layouts, für die Fertigung einer Leiterplatte und für die Produktion einer Baugruppe ist NICHT an ein Software-Programm delegierbar.

Software ist ein Werkzeug. *Entscheiden* muß der Mensch auf der Basis seines Könnens.

Nur die qualifizierte und kontinuierliche Ausbildung der Menschen, die elektronische Baugruppen herstellen, garantiert deren zuverlässige Funktion.

Kontinuierliches Lernen

In den Fachbereichen "Schaltungsentwicklung", "CAD-Layout" und "Baugruppenkonstruktion" findet seit einigen Jahren ein Generationswechsel statt. Die Mitarbeiter/innen mit langjähriger Berufserfahrung wechseln in höhere Positionen, gehen auf Altersteilzeit oder verlassen das Unternehmen in Richtung Ruhestand.

Der nachfolgenden Generation fehlt die historische Kenntnis über die Anforderungen, die Möglichkeiten und die Grenzen der Leiterplatten und Baugruppenteknologie.

Parallel dazu entwickeln sich das "CAD-Layout", die "Leiterplatte" und die "Baugruppe" zu extrem individualisierten Industrieprodukten. Das Spektrum der Anforderungen aber auch der Leistungsfähigkeit dieser Fachbereiche wächst in immer kürzeren Zeitabständen.

Die Ausbildung der Menschen in diesen Fachbereichen muß deshalb zeitnah, auf hohem Niveau und fachübergreifend erfolgen.

Wissen

Die Anforderungen an den Entwurf und die Produktion von elektronischen Baugruppen ändern sich ständig.

Neue Prozesse kommen zu den vorhandenen hinzu oder lösen sie ab. Die technischen Eigenschaften und die Verfügbarkeit von Basismaterialien ändern sich.

Aufbaustrategien für Multilayer werden korrigiert oder erfahren neue Varianten. Software-Funktionen werden ergänzt oder in einen anderen Zusammenhang gestellt.

Das Wissensumfeld eines jeden Mitarbeiters muß stetig erweitert werden. Dieses Wissensumfeld muß flankierend durch eine Automatisierung von Informationen und Expertenwissen (Software, Expertensysteme und / oder Datenbanken) begleitet werden.

Unsere Aufgabe

Die zentrale Aufgabe der LeiterplattenAkademie ist, das heutige Fachwissen aus den Bereichen der Schaltungsentwicklung, des CAD-Designs, der CAM-Bearbeitung, der Leiterplattentechnologie und der Baugruppenproduktion in Seminaren, Workshops und Tutorials zu vermitteln.

Die LeiterplattenAkademie versteht sich als Partner für öffentliche Einrichtungen der Lehre und für Unternehmen aus der Wirtschaft, die in vergleichbaren Feldern engagiert sind.

Unser Vorhaben ist, die Entscheidungskompetenz und das Verantwortungsbewußtsein der Mitarbeiter sowie das Miteinander der einzelnen Fachbereiche eines Unternehmens zu fördern.

