

Arnold Wiemers

"Konstruktive Vorgaben für HDI-Multilayer mit Referenz auf die physikalische Integrität."





Vorwort	3
Bohren	8
Bohren : Toleranzraum	11
Kontaktierungsstrategien	17
VIP (Via in Pad)	24
Querschnittsprofil des Leiterbildes	27
Isolationspads auf Powerplanes	42
Impedanz des Stromversorgungssystems	47
Dokumentation von Leiterplatten	55
<i>Anhang</i> : Toleranzen der Enddurchmesser	66
<i>Anhang</i> : Multilayerdokumentation	73
<i>Anhang</i> : Fehler in der CAD-Datenbank	84
<i>Anhang</i> : Fräsen	92
Informationen zur LeiterplattenAkademie	95





Vorwort



Vorwort

Kompetenz

Die Kompetenz der Konstrukteure/Innen für das Design des CAD-Layouts setzt nicht nur das grundlegende Wissen über die Toleranzen der Leiterplatten- sondern auch der Baugruppenproduktion voraus.

Integrität

Für die erfolgreiche physikalische Funktion einer Baugruppe ist die Konstruktion des HDI-Multilayers mit räumlicher Ausrichtung auf die Einhaltung der **Signal-** und **Powerintegrität** ausschlaggebend. Die Auswahl des Basismaterials und der Lagenaufbau des Multilayers bestimmen die **EMV-Integrität**.

Lagenaufbau

Die Erweiterung des klassischen Lagenaufbaus um die Varianten "**Multi Core**" und "**Any Layer**" bieten Optionen für eine mögliche Kontaktierungsstrategie, die erfolgreich, aber, mit Blick auf die **Langzeit-Zuverlässigkeit** einer Baugruppe - auch kritisch sein kann.



Vorwort

Routing

Typisch für HDI-Boards ist die Reduzierung der **Layoutgeometrien**. Der Ätzprozeß für die Strukturierung des Leiterbildes während der Leiterplattenproduktion muß in der Layoutphase nicht nur hinsichtlich der Impedanzen sondern auch im Einklang mit der Bestückung betrachtet werden.

Bibliotheksvorgabe

Die Kompensation der Reduzierung der Leiterbahnbreiten und der SMD-Lötflächen muß in der Anlage der Routing-Geometrien und den CAD-**Bibliotheksvorgaben** erfolgen.

Dokumentation

Und nicht zuletzt ist ein HDI-Multilayer dann auch noch verbindlich zu **dokumentieren**.

Toleranzen

Wichtig ist die Kenntnis der elementaren **Fertigungstoleranzen**.



Signalintegrität

Das Verhalten elektromagnetischer Signalenergie ist für uns Menschen schwer vorstellbar. Da hilft ein Blick auf das Wasser in Ozeanen.

"Abstrahlung"

"Reflexion"

"Interferenz"

Bildquelle Google 2016
Neuseeländische Küste





Bohren



Leiterplattenproduktion : 6-Spindel CNC-Bohrmaschine

Für die Passung des Bohrprogramms zum Leiterbild sind die Maschinen üblicherweise mit einer CCD-Kamera ausgerüstet.

Die Positioniergenauigkeit einer regelmäßig gut gewarteten Maschine liegt maximal bei $\pm 15\mu\text{m}$.

Bei (...zu) hoher Betriebsgeschwindigkeit und unregelmäßiger Wartung *kann* die Positioniergenauigkeit auf bis zu $\pm 45\mu\text{m}$ abweichen.



Bildquelle : Schmoll/Internet 2014

6 Bohrspindeln

Arbeitsbereich für die Aufnahme der Produktionszuschnitte

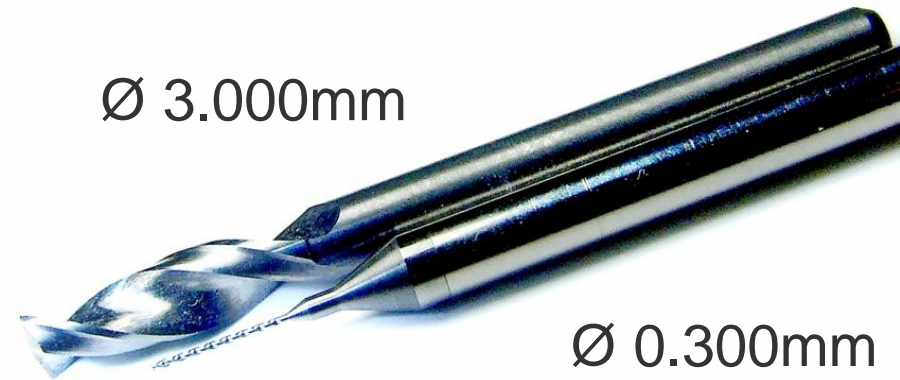
Granittisch



Bohrwerkzeuge

Toleranz

Bohrer für Leiterplatten sind hochwertige Präzisionswerkzeuge mit geringen Toleranzen im Minusbereich.



Allgemeine Bohrertoleranz General drill tolerances

Durchmesser Diameter			< 2,0 mm	2,0 mm – 3,175 mm	> 3,175 mm
Schaft-Ø Shank dia.	D	3,175 mm	-0,002 mm / -0,005 mm		-0,001 mm / -0,008 mm
Nenn-Ø Nominal dia.	d		0 / -0,005 mm	0 / -0,006 mm	0 / -0,007 mm
Gesamtlänge Overall length	L ₁	38,1 mm	+0,1 / -0,1 mm		+0,1 mm / -0,20 mm
Spirallänge Flute length	L _N		+0,2 / -0 mm		+0,2 mm / -0,20 mm
Absatzlänge Body length	L _N		+0,2 / -0 mm		+0,2 mm / -0,20 mm
Hinterschlifflänge Relief length	L _N		+0,2 / -0 mm		+0,2 mm / -0,20 mm
Spitzenwinkel Point angle	δ		15° +/-1° [alternativ/variant LX30S 150° +/-2°]		165° +/-2°
1. Freiwinkel Primary angle	α ₁		15° +/-1° [alternativ/alternatively 12° +/-1°]		10° +/-2°
2. Freiwinkel Secondary angle	α ₂		30° +/-2°		30° +/-2

Für Bohrdurchmesser < 2.0mm liegt die maximale Toleranz bei +0 und -5µm.

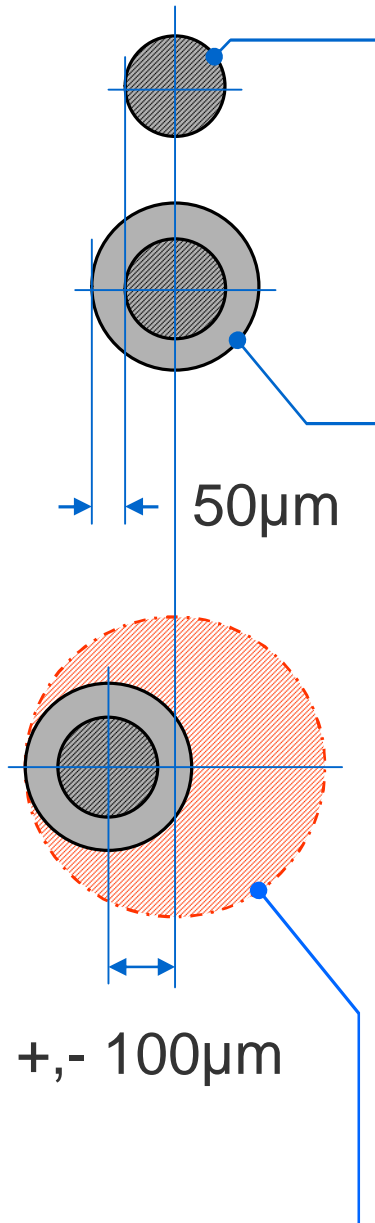
Tabelle



Bohren : Toleranzraum



Toleranzraum : CAD-Vorgabe, Bohrwerkzeug und Paßtoleranz



CAD gibt einen *Enddurchmesser* vor. Das zugehörige Bohrwerkzeug muß im Durchmesser größer sein, damit dieser Enddurchmesser auf der fertigen Leiterplatte nach dem Kontaktieren der Bohrhülse und dem Prozessieren der Endoberfläche auch zuverlässig erreicht wird.

Üblicherweise wählt der Leiterplattenhersteller eine *Zugabe* auf das passende Bohrwerkzeug (BWzg).

Regel BWzg = Enddurchmesser + 100µm Zugabe

Dieses Bohrwerkzeug ist somit umlaufend 50µm größer, als der vom CAD-Layout vorgegebene Enddurchmesser.

Bedingt durch die allgemeine *Toleranz* von $\pm 100\mu\text{m}$ kann die Bohrung zum Pad auf der fertigen Leiterplatte um 100µm von der Sollposition verschoben sein.

Die Bohrung wird sich letztlich innerhalb eines Toleranzraumes mit einem definierten Durchmesser wiederfinden.

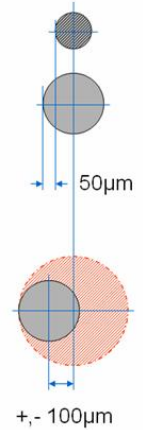
Definition (Toleranzraum)

Toleranzraum = Enddurchmesser + 100µm Zugabe + (2 • 100µm Toleranz)

Bohrungen : Minimaler Restring und minimaler Paddurchmesser

Wenn der Toleranzraum wie eine Kupferfläche bewertet werden muß, dann kann er auch mit einer Kupferfläche belegt werden. Weil der Toleranzraum immer ein Kreis ist, hat die Kupferfläche die Form eines runden Pads.

Weil der Toleranzraum den minimalen Raum beschreibt, der gesperrt werden muß, definiert das substituierende Pad das minimal mögliche/sinnvolle Pad zu der zugehörigen Bohrung. Aus dieser Definition lassen sich der minimale Paddurchmesser und der minimale umlaufende Restring ableiten.



Definition (Toleranzraum)

Der Toleranzraum für eine Bohrung beschreibt die Geometrie des *minimal* sinnvollen Pads zu einer beliebigen dk-Bohrung.

Regel (Minimaler Paddurchmesser)

$$\text{Paddurchmesser}_{(\min)} = \text{Toleranzraum} = \text{Enddurchmesser} + 300\mu\text{m}$$

Regel (Minimaler Restring)

$$\text{Restring}_{(\min)} = 0.5 \cdot (\text{Paddurchmesser}_{(\min)} - \text{Enddurchmesser}) = 150\mu\text{m}$$

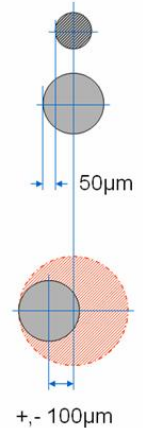


Zugabe auf das Bohrwerkzeug 2

Hinweis (Zugabe auf das Bohrwerkzeug)

Für THD-Bohrungen liegt die Zugabe nicht einheitlich bei $100\mu\text{m}$. Einige Hersteller erhöhen die Zugabe auf $150\mu\text{m}$ für Bohrungen eines seitens CAD vorgesehen Enddurchmessers $> 1.00\text{mm}$.

Damit verändert sich der Lotaufstieg während des Wellenlötens.



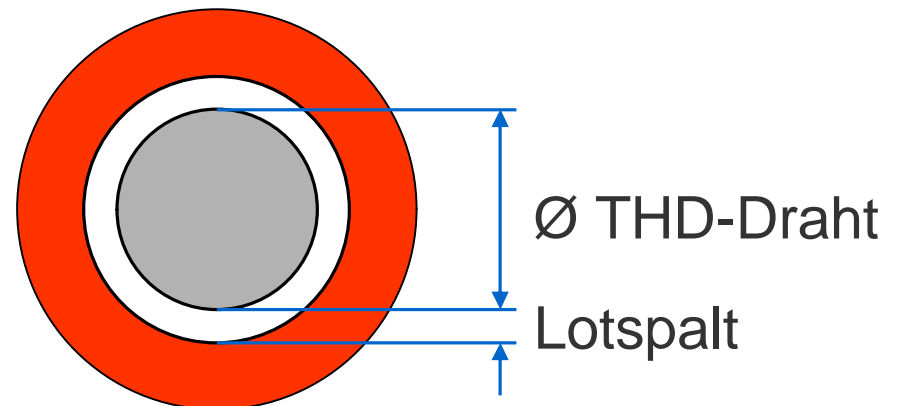
Definition (Lotspalt)

Der Lotspalt entspricht der umlaufenden Freistellung, die sich aus der Hälfte der Differenz des Enddurchmessers zum THD-Drahtdurchmesser ergibt :

$$\text{Lotspalt} = 0.5 \cdot (\text{Enddurchmesser} - \text{Drahtdurchmesser})$$

Regel (Lotaufstieg)

Der Aufstieg des Lotes in einem mit dem Draht eines THD-Bauteils bestückten Lochs wird maßgeblich durch den Lotspalt bestimmt.



Zugabe auf das Bohrwerkzeug 3

Hinweis (Lotaufstieg)

Die Verbindung eines THD-Bauteils zur Leiterplatte hängt während des Wellenlötens vom Lotspalt ab. Einen massiven Einfluß auf den Lotaufstieg haben die Viskosität des Lotes und die Gegenwirkungen der Adhäsions- und Kapillarkräfte zur Gravitationskraft.

Für bleifreie Lote wird ein Lotspalt von $150\mu\text{m}$ empfohlen.

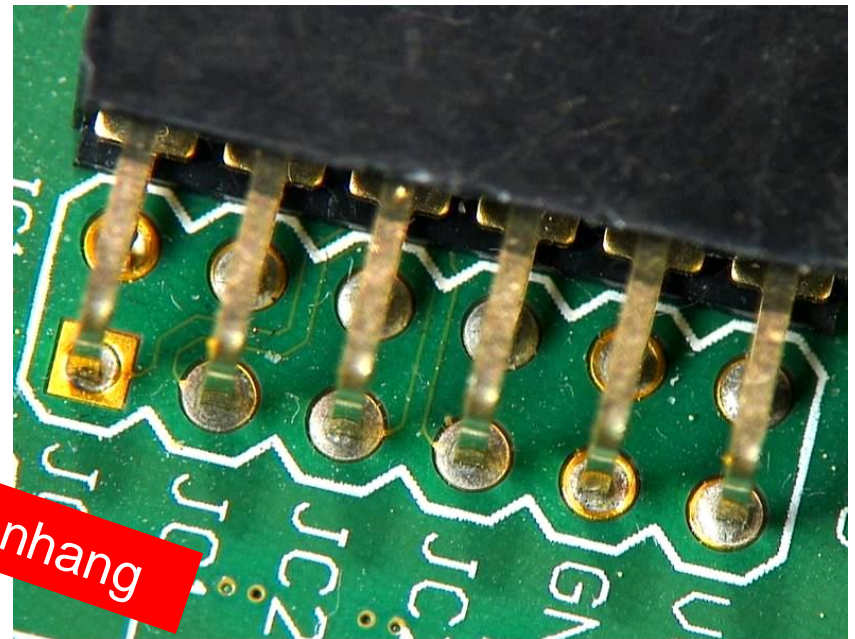
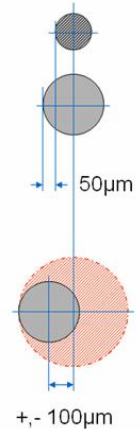
Regel (THD Enddurchmesser)

In der CAD-Bibliothek muß sich die Vorgabe für die Geometrie des Enddurchmessers eines THD-Loches *nicht* an der mechanischen Bestückbarkeit sondern an der *Lötbarkeit* orientieren.

Regel (Zugabe auf das Bohrwerkzeug)

Die Zugabe auf ein Bohrwerkzeug muß mit der *CAD-Dokumentation* festgelegt werden.

Die zulässige Toleranz für den Enddurchmesser liegt bei -0 bis $+50\mu\text{m}$.





Kontaktierungsstrategien



Viastrategie : Standard

Die Kontaktierungsoption muß vor Beginn des Routings am CAD-System in den Constraints definiert werden.

Damit sind nicht nur die Vorgaben für die physikalische Funktion der Baugruppe sondern auch die Strategie des Layoutens und die Kosten für die Leiterplatte festgelegt. Ändert sich die Lagenanzahl, dann müssen die Viastrategie und das Lagenkonzept geprüft werden.

Beispiel 1 (Lagenaufbau Standard)

Für das BGA mit einer fast belegten Matrix von 25x25 Spalten und Reihen sind maximal 5 Signallayer für das Routing erforderlich.

Für GND sind 7 Lagen vorgesehen, für VCC insgesamt 4 Lagen.

In dem **Standard-Aufbau** sind die GNDs so verteilt, daß Impedanzen und Rückströme definiert sind. Durch die Kombination von 8 GND-VCC-Paaren stehen interne Kapazitäten im Multilayer für eine effektive Stromversorgung zur Verfügung.

LeiterplattenAkademie Ri16T1.95c50-17c100-17#2

Material	Stack-Up	Vias	Parameter	Layer
			100-175-100µm d 120 Ω	LY-Top SIG EM
			150-100-150µm d 90 Ω	
Plated	25µm			
Copper	17µm			
NP-155fb	70µm	1080 MR:67	135-125-135µm d 100 Ω	300µm s 50 Ω
			200- 90-200µm d 80 Ω	100µm s 80 Ω
NP-155fb	105µm	2116 SR:52		
Copper	17µm			LY-2 GND
NP-155tfl	50µm			
Copper	17µm			LY-3 VCC
NP-155fb	50µm	106 SR:70		
Copper	17µm			LY-4 GND
NP-155tfl	50µm			
Copper	17µm			LY-5 VCC
NP-155fb	50µm	106 SR:70		
Copper	17µm			LY-6 GND
NP-155tfl	50µm			
Copper	17µm			LY-7 VCC
NP-155fb	50µm	106 SR:70		
Copper	17µm			LY-8 GND
NP-155tfl	50µm			
Copper	17µm			LY-9 VCC
NP-155fb	50µm	106 SR:70		
Copper	17µm			LY-10 GND
NP-155tfl	100µm			
Copper	17µm		100-110-100µm d 80 Ω	100µm s 50 Ω
NP-155fb	70µm	1080 MR:67	100-150-100µm d 90 Ω	LY-11 SIG
NP-155fb	70µm	1080 MR:67		
Copper	17µm		DRth 1-16	LY-12 GND
NP-155tfl	200µm		100-120-100µm d 100 Ω	
NP-155fb	70µm	1080 MR:67	120-100-120µm d 90 Ω	LY-13 SIG
Copper	17µm		170- 90-170µm d 80 Ω	325µm s 40 Ω
NP-155fb	70µm	1080 MR:67	170- 90-170µm d 80 Ω	225µm s 50 Ω
Copper	17µm		120-100-120µm d 90 Ω	LY-14 SIG
NP-155tfl	200µm		100-120-100µm d 100 Ω	
Copper	17µm			LY-15 GND
NP-155fb	105µm	2116 SR:52		
NP-155fb	70µm	1080 MR:67	200- 90-200µm d 80 Ω	100µm s 80 Ω
Copper	17µm		135-125-135µm d 100 Ω	300µm s 50 Ω
Plated	25µm			
			150-100-150µm d 90 Ω	LY-Bot SIG
			100-175-100µm d 120 Ω	

Thickness 1.76mm - 1.99mm Bare Board
1.84mm - 2.08mm ENIG
1.88mm - 2.11mm HAL
General tolerance +/- 6%

LA drawing #1167
Date 29.03.2017
Name Wi
Comment --

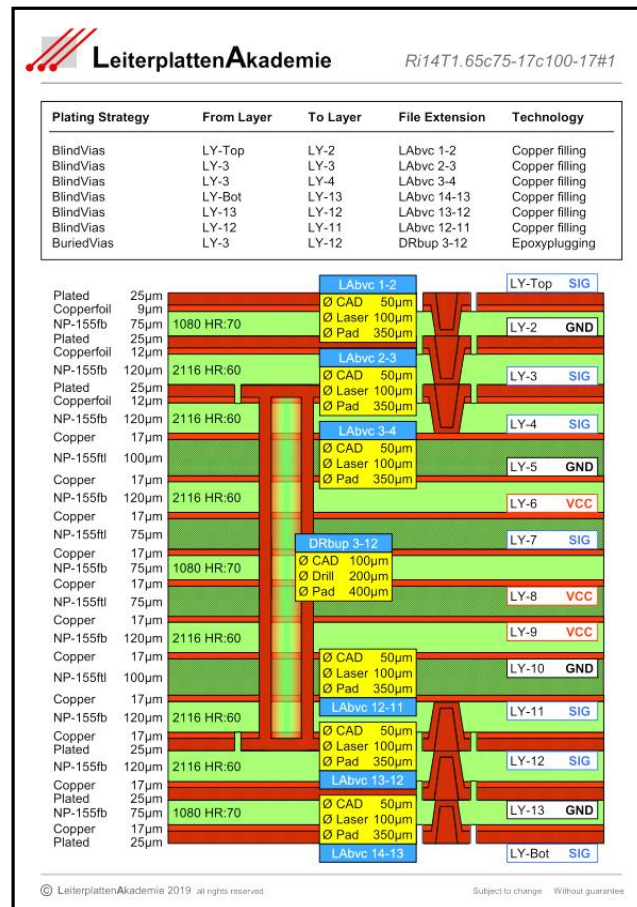
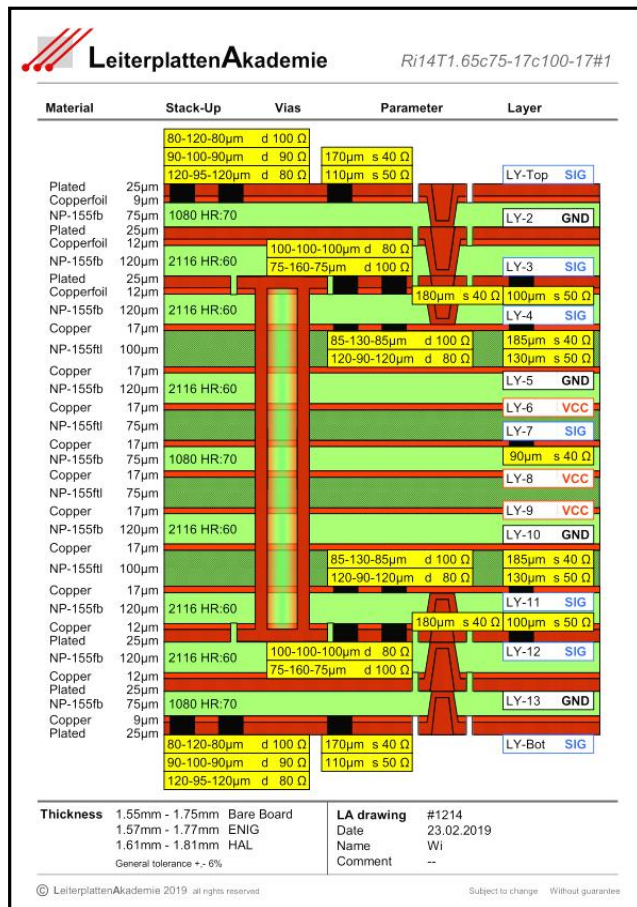
© LeiterplattenAkademie 2017 all rights reserved Subject to change Without guarantee

Viastrategie : Any Layer

Beispiel 2 (Lagenaufbau Any Layer)

Ein Lagenaufbau des Typs **Any Layer ohne** durchgehende Vias. BuriedVias mit Epoxyd-Plugging. BlindVias mit Copper Filling. Die Geometrien der BlindVias sind im Grenzbereich. Variable Kupferdicken.

Aber : Keine idealen Rückstromwege und Stromversorgungen.
Risikoreich. *Teuer.*



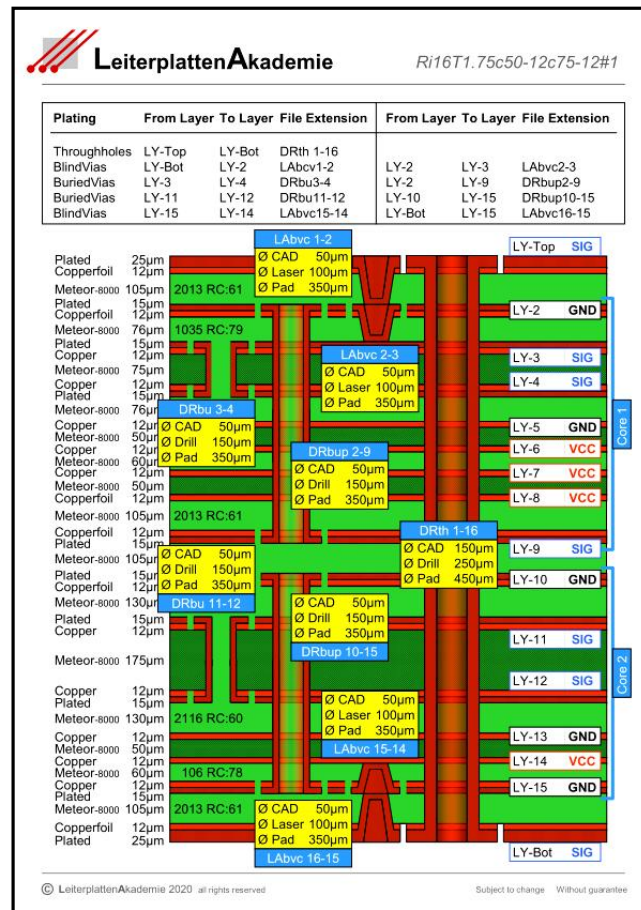
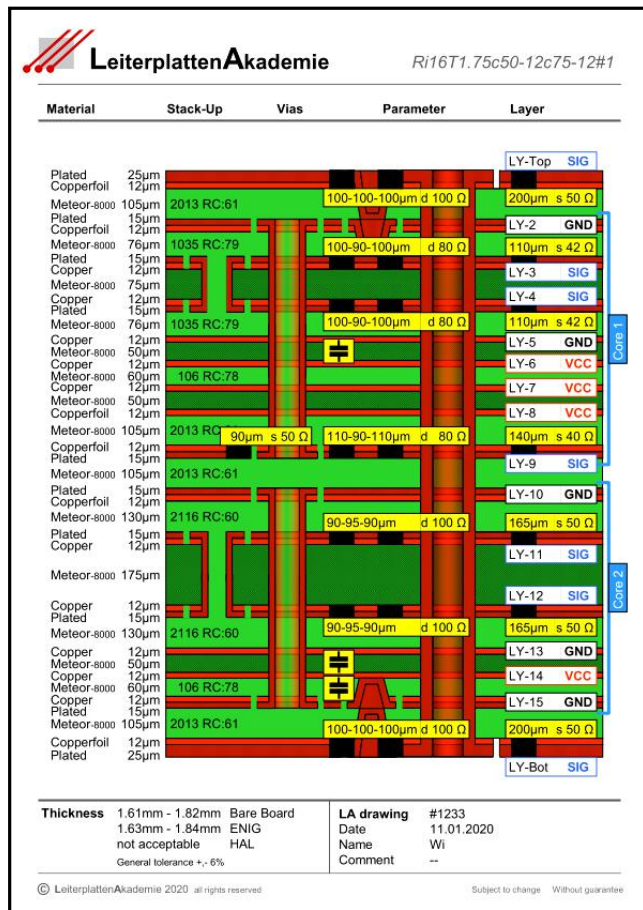
Hinweis (Any Layer)

Die Priorität dieses Lagenaufbaus ist, eine Lösung für das CAD-Layout zu finden. Die Bedingung, daß BlindVias nicht auf BuriedVias aufsetzen dürfen, ist oft in den Routing-Constraints nicht zu hinterlegen. Ausfälle sind typisch.

Viastrategie : Dual Core

Beispiel 3 (Lagenaufbau Dual Core)

Ein **Dual Core**-Aufbau mit optimiertem Rückstromweg, hoher Signalintegrität, geringstem Crosstalk und Impedanzen. Die Stromversorgung liegt auf 50µm-Planes und -Prepregs. Kondensatorgruppen dämpfen die Resonanzfrequenzen. Kantenmetallisierung. Hohe EMV-Stabilität. Akzeptable Geometrien. Die Kosten liegen im mittleren Bereich.



Hinweis (Dual Core)

Die Priorität dieses Lagenaufbaus ist, eine stabile Lösung für die Baugruppe und die physikalische Funktion zu finden.

Vom Konzept her für eine Bestückung in den Innenlagen geeignet (~ Embedded Components).



Padstacks von dk-Vias und dk-THT-Bohrungen in Multilayern

Elementare Geometrien für den *Padstack* von dk-Bohrungen in der Bibliothek des CAD-Systems. Für das fachgerechte Routing eines Layouts müssen diese Geometrien auf die Produktion der Leiterplatten und Baugruppen abgestimmt sein.

THT-Lötstopplackfreistellung Top

dkVia-/THT-Bohrung (Drill)

dk-THT-Pad Top

THT-Thermalpad (Innenlage)

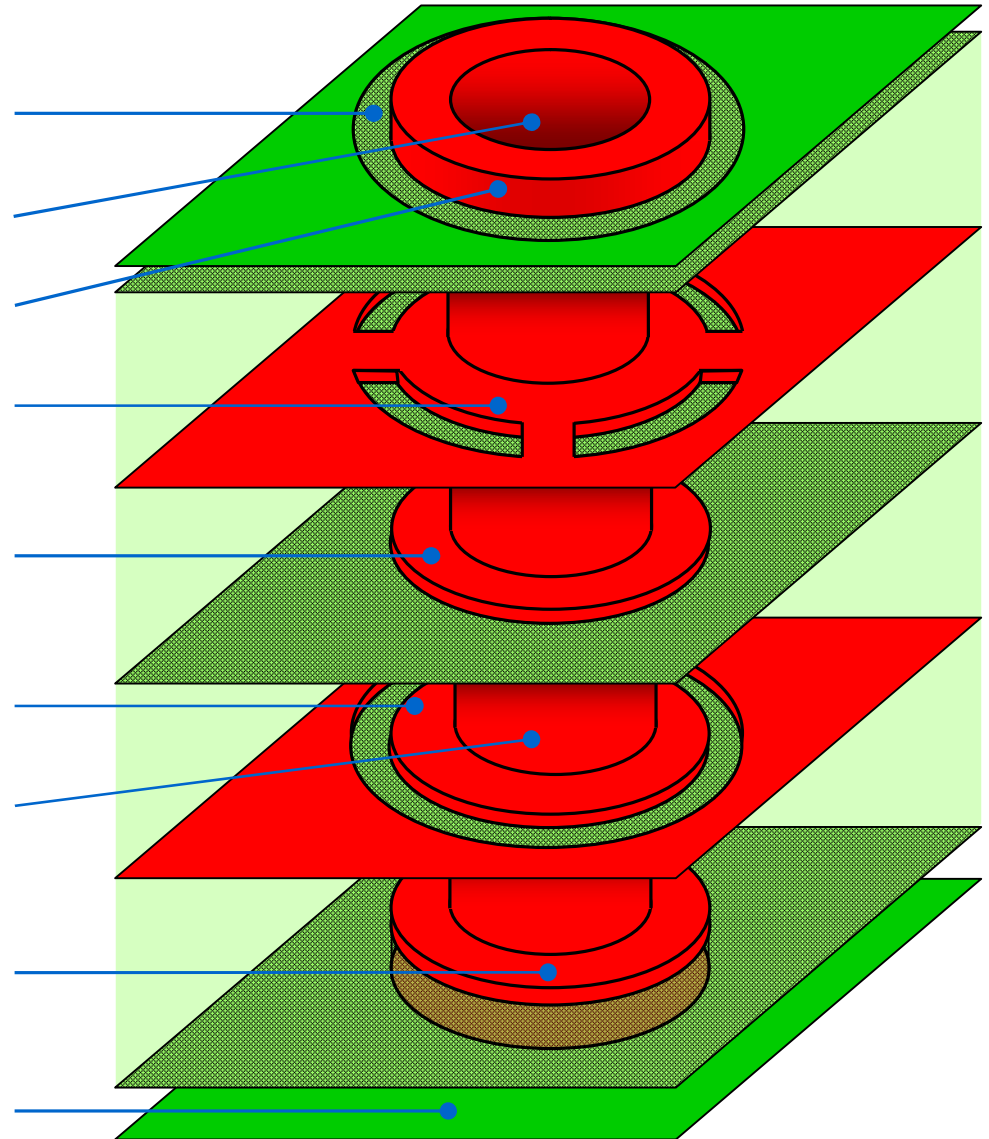
THT-Pad (Innenlage)

THT-Isolationspad (Innenlage)

Via-/THT-Bohrhülse

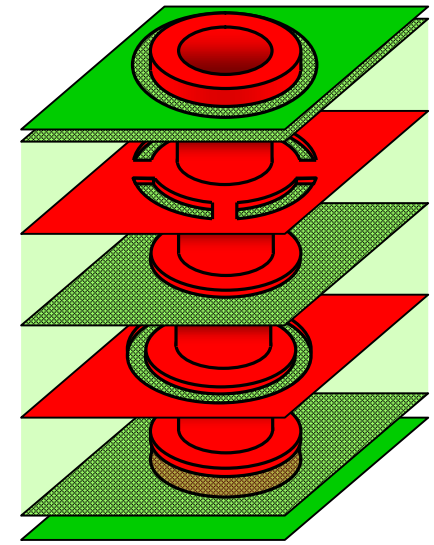
dk-THT-Pad Bot

THT-Lötstopplackfreistellung Bot



Padstacks von dk-Vias

dk-Vias nehmen kein Bauteile auf. Ihr Durchmesser muß aber für eine Durchflutung der Hülse geeignet sein, damit die Metallisierung zuverlässig stattfinden kann. Die Auswahl des minimalen dk-Vias orientiert sich folglich am AspectRatio für Vias. Die Standardgeometrie (std) ist typisch. Der minimale Wert (**min**) ist möglich.



Endmaß	Ø	50µm	100µm	150µm	200µm	250µm	300µm
Bohren	Ø	150µm	200µm	250µm	300µm	350µm	400µm
LS-Maske	Ø (std)	550µm	600µm	650µm	700µm	750µm	800µm
Viapad	Ø (std)	450µm	500µm	550µm	600µm	650µm	700µm
Isolation	Ø (std)	750µm	800µm	850µm	900µm	950µm	1000µm
Wärmefalle	Ø (std)	750µm	800µm	850µm	900µm	950µm	1000µm
LS-Maske	Ø (min)	450µm	500µm	550µm	600µm	650µm	700µm
Viapad	Ø (min)	350µm	400µm	450µm	500µm	550µm	600µm
Isolation	Ø (min)	650µm	700µm	750µm	800µm	850µm	900µm
Wärmefalle	Ø (min)	650µm	700µm	750µm	800µm	850µm	900µm

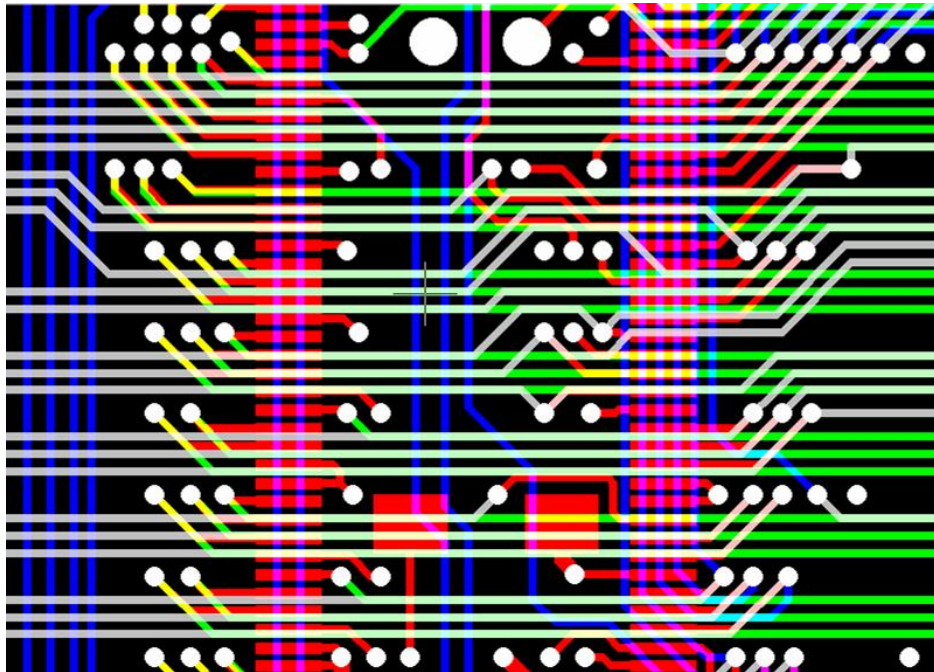


Bohrungen : Routingkanäle 2

Beispiel 2 (Routingkanäle)

Die dk-Vias sind im CAD-Layout vorausschauend platziert. Es entstehen horizontale Kanäle (rot, grau, grün) für das direkte Routing der Signalverbindungen.

Die Leitungslängen sind geometrisch (fast) identisch und synchronisieren den Informationstransfer.

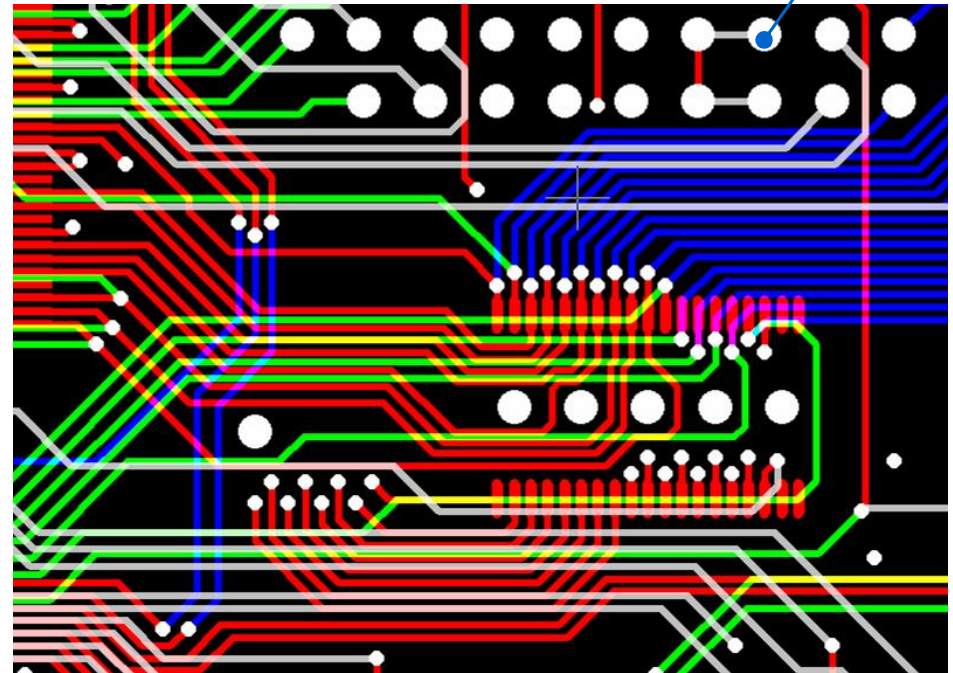


Beispiel 2 (Routingkanäle)

Pro Signal werden Leiterbahnen möglichst auf nur zwei Lagen geführt.

THD-Bohrungen werden als Via genutzt.

Das spart Platz und Kosten und stabilisiert die Funktion der Baugruppe.





VIP (Via in Pad)



Abstand für Vias in Pads (Lötfläche < Toleranzraum) 1c

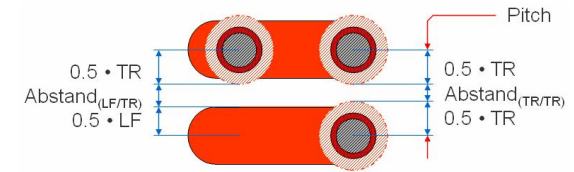
Beispiel (Berechnung des Abstandes LF/TR)

Folgende Werte sind gegeben :

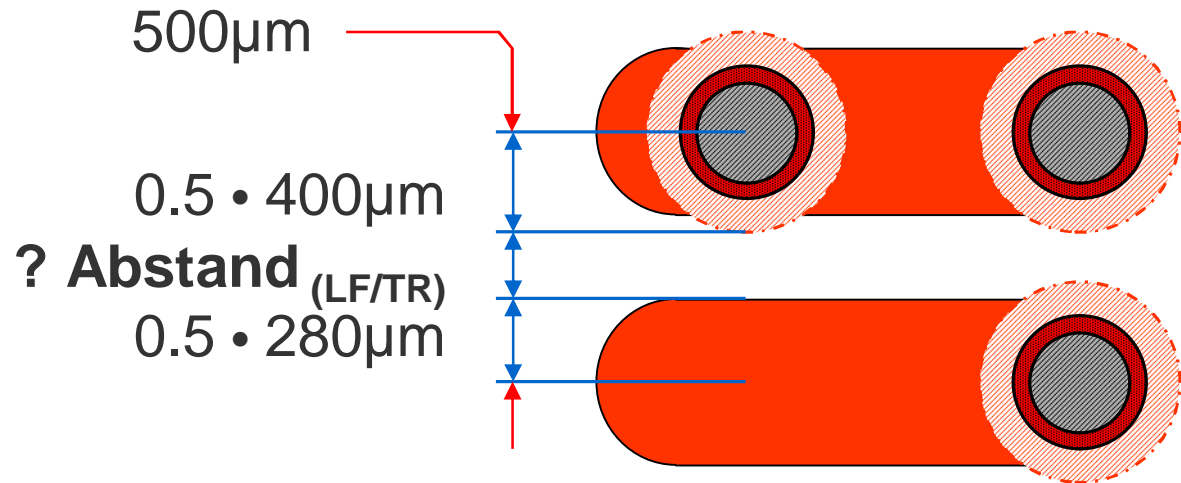
500µm Pitch

400µm Toleranzraum (~ Viadurchmesser 100µm, BWzg 200µm)

280µm Lötfläche (minimale Breite)



Für das Löten ist ein Abstand_(LF/TR) von 200µm erforderlich. Kann dieser Abstand eingehalten werden ?



Es ist :

$$\begin{aligned}\text{Abstand}_{(LF/TR)} &= \text{Pitch} - 0.5 \cdot (\text{Lötfläche} + \text{Toleranzraum}) \\ &= 500\mu\text{m} - 0.5 \cdot (280\mu\text{m} + 400\mu\text{m}) = 500\mu\text{m} - 340\mu\text{m} \\ &= \underline{160\mu\text{m}}\end{aligned}$$

Der geforderte Abstand von 200µm kann *nicht* eingehalten werden.



Abstand für Vias in Pads (Lötfläche < Toleranzraum) 2c

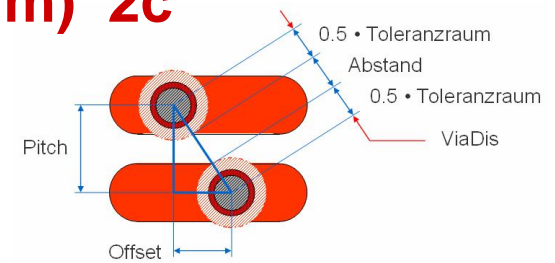
Beispiel (Berechnung des Offsets)

Folgende Werte sind gegeben :

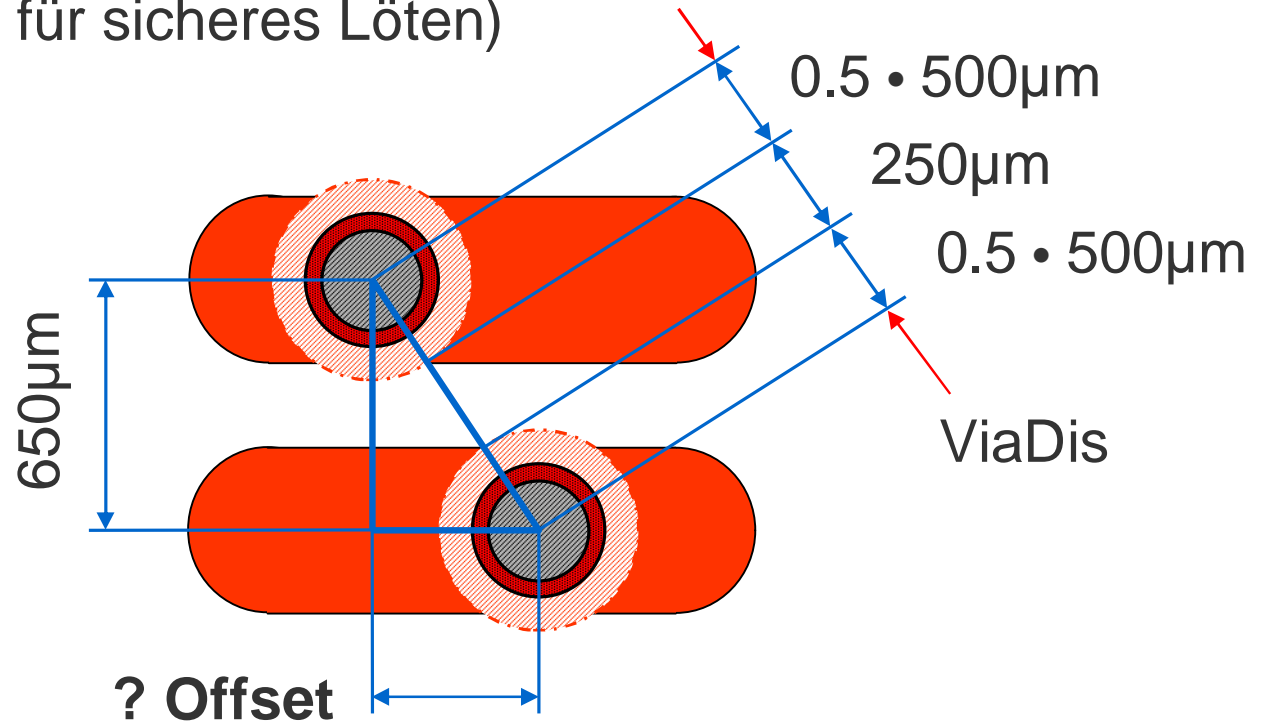
250µm Abstand_(TR/TR) (... für sicheres Löten)

500µm Toleranzraum

650µm Pitch



Welcher Offset ist beim Routing zwischen den benachbarten Vias einzuhalten ?



Nach Formel **3** ist :

$$\text{Offset} = \sqrt{(\text{Toleranzraum} + \text{Abstand}_{(TR/TR)})^2 - \text{Pitch}^2}$$

$$\begin{aligned} \text{Offset} &= \sqrt{(500 + 250)^2 - 650^2} \text{ µm} = \sqrt{750^2 - 650^2} \text{ µm} \\ &= \sqrt{562500 - 422500} \text{ µm} = \sqrt{140000} \text{ µm} = \underline{\sim 375 \text{ µm}} \end{aligned}$$





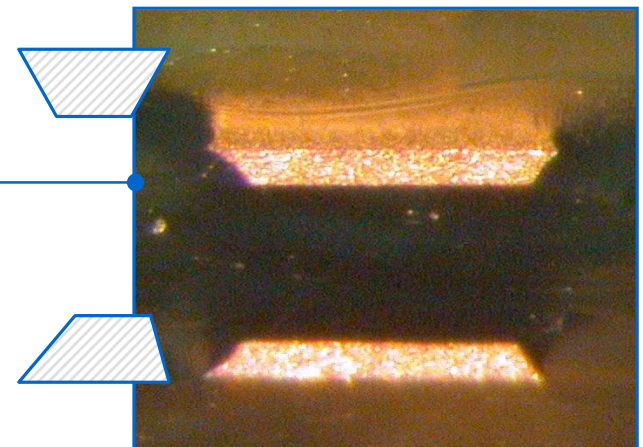
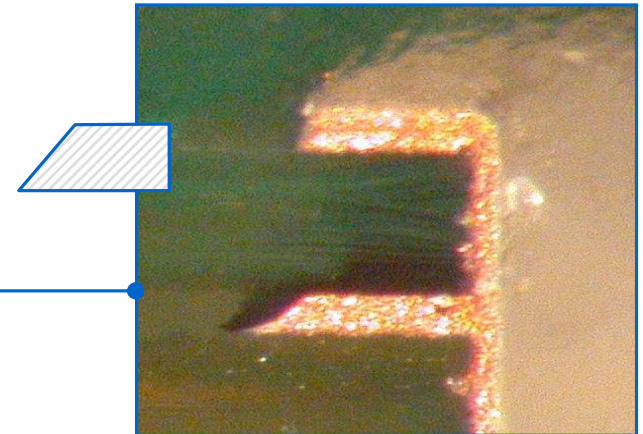
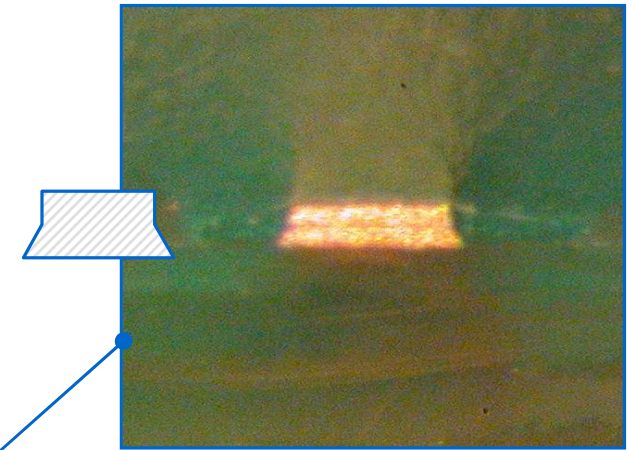
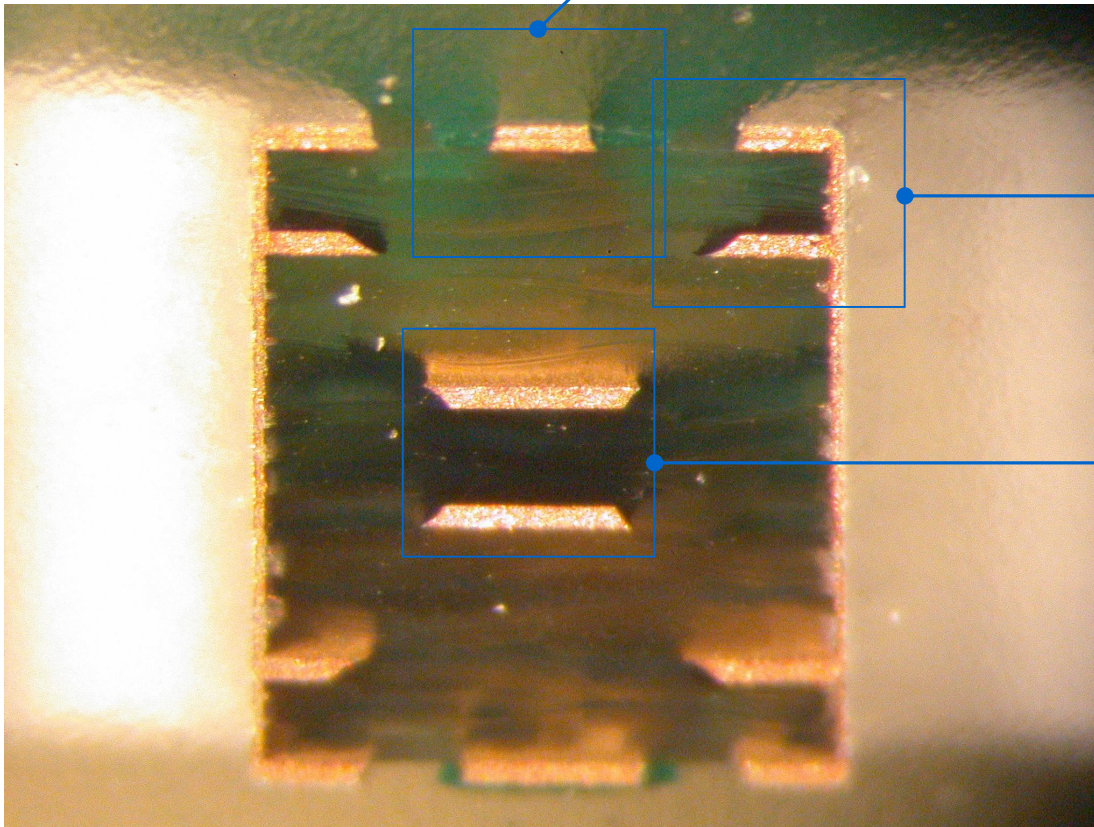
Querschnittsprofil des Leiterbildes



Querschnittsprofil : Profilvarianten

Das Querschnittsprofil einer Leiterbahn auf einer kontaktierten Lage ist anders, als das Querschnittsprofil einer Leiterbahn auf einer nicht kontaktierten Lage.

Die Winkel auf der rechten und der linken Ätzflanke einer Leiterbildstruktur sind nicht immer identisch.



Rückätzung : Reduzierung der Funktionsfläche

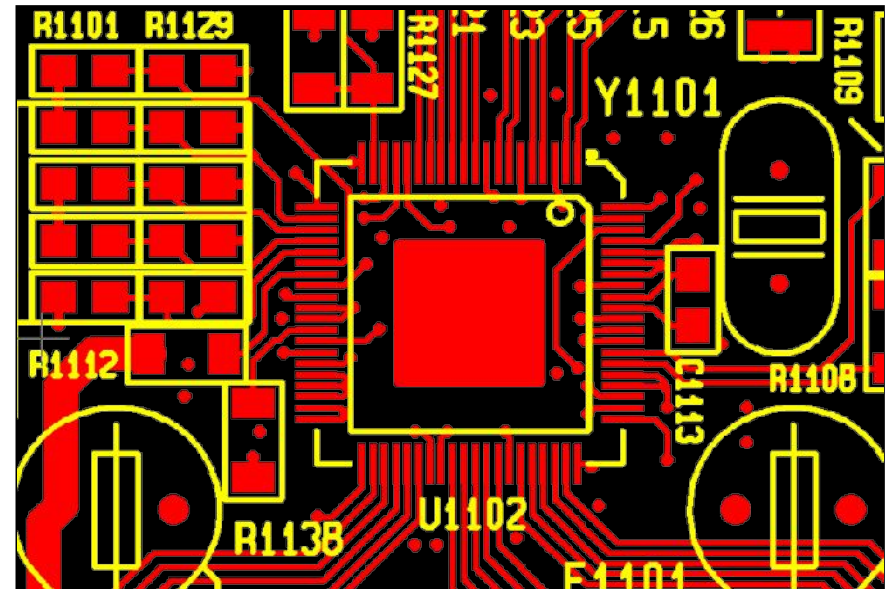
Regel (Rückätzung)

Es gibt *immer* eine Rückätzung der Leiterbildstruktur.

Die Toleranz des Ätzergebnisses *sollte* maximal $\pm 8\mu\text{m}$ betragen.

CAD-Systeme bilden das spätere Layout 2-dimensional ab und kennen keine Rückätzung. Alle Leiterbildstrukturen sind aber ihrer Natur gemäß 3-dimensional.

Weil die Unterseite die Referenz für die Sollbreite einer Bildstruktur sein *muß*, ergibt sich, daß die Breite einer Bildstruktur auf ihrer Oberfläche *niemals* identisch ist mit der deklarierten Breite der originären Vektorstruktur am CAD-System.



Regel (Lötflächendurchmesser)

Die Geometrie einer Funktionsfläche ist in der Praxis *immer* um den Betrag der Rückätzung kleiner, als vom CAD-System vorgegeben.



Eigenschaften von Leiterbildstrukturen 1

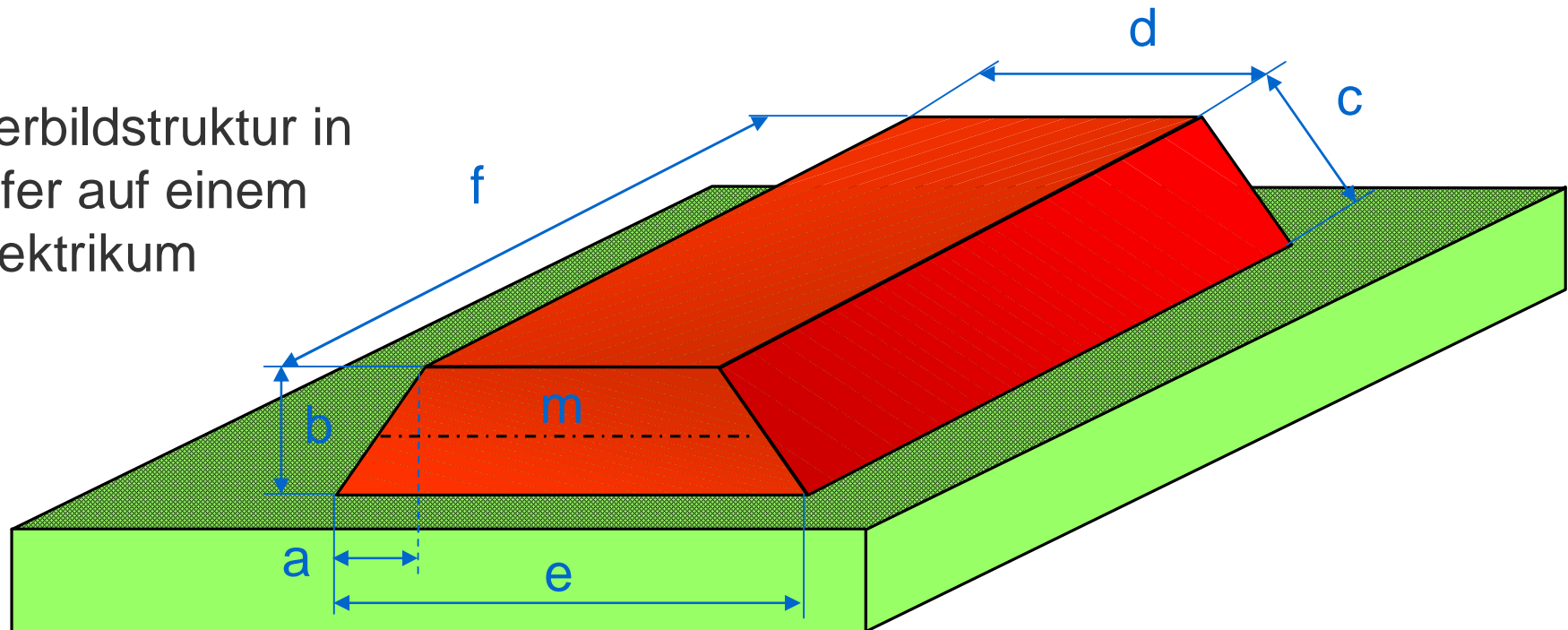
Die bisherige Bewertung einer Leiterbahn konzentriert sich oft auf die Parameter "Leiterbahnbreite" und "Kupferdicke".

Allgemein ist die "minimale Leiterbahnbreite" ein einfaches Maß für die Komplexität des CAD-Layouts und der späteren Baugruppe.

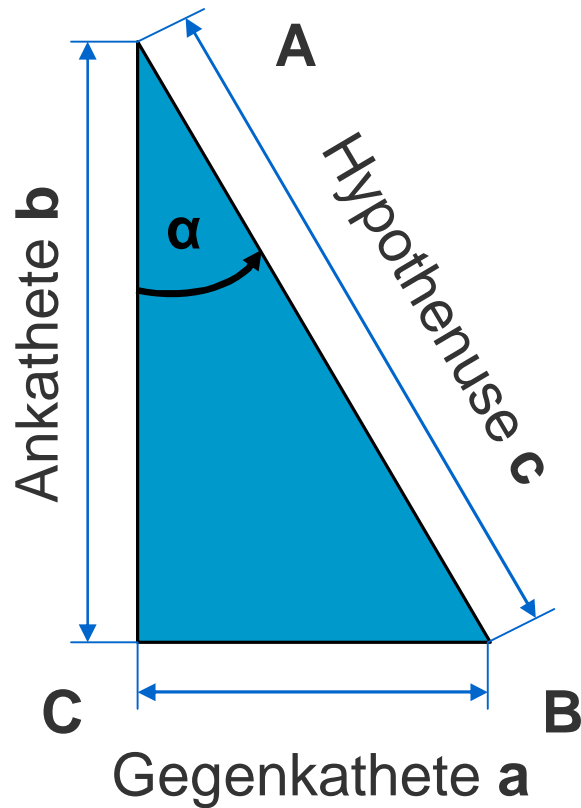
Gleichzeitig ist sie ein *Leitwert* für die technologische Kompetenz eines Leiterplattenherstellers.

Die strategische Bewertung aller technischen Eigenschaften einer "Leiterbildstruktur" erfolgt bisher nicht mit der notwendigen Tiefe.

Leiterbildstruktur in
Kupfer auf einem
Dielektrikum



Querschnittsprofil : Definition des Tangens Alpha



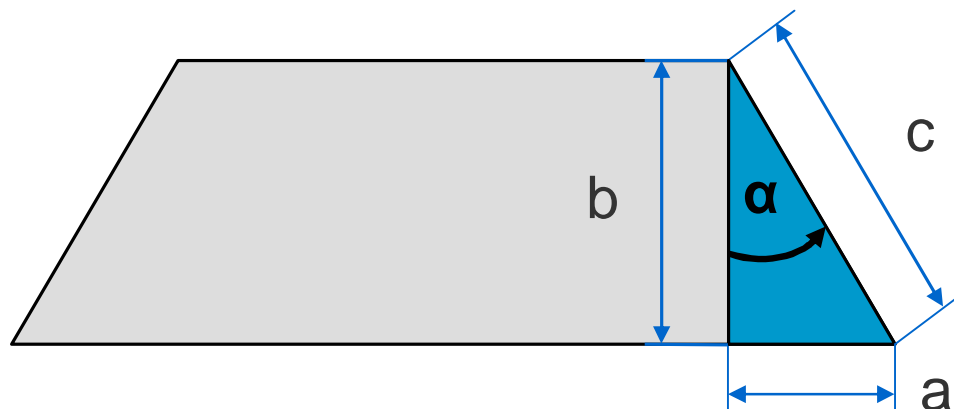
Die Längen für a, b und c sind nicht ohne weiteres ermittelbar. Die Dokumentation der CAD-Daten gibt dazu keine Auskunft.

Eine Beziehung zwischen diesen Größen kann über die **trigonometrische Definition** des Tangens beschrieben werden.

Allgemein gilt :

$$\tan \alpha = \frac{\text{Gegenkathete}}{\text{Ankathete}} = \frac{a}{b}$$

$$\text{Gegenkathete} = \text{Ankathete} \cdot \tan \alpha$$
$$a = b \cdot \tan \alpha$$



Alpha ' α ' ist der Winkel zwischen der Flanke 'c' der Bildstruktur und der Kupferdicke 'b'.



Ätzfuß : Definition

Mit dem Tangens des Winkels α wird ein mathematischer Zusammenhang zwischen dem Ätzfuß und der Kupferdicke formuliert.

Definition (Ätzfuß)

$$\text{Ätzfuß} = \text{Kupferdicke} \cdot \tan \alpha$$

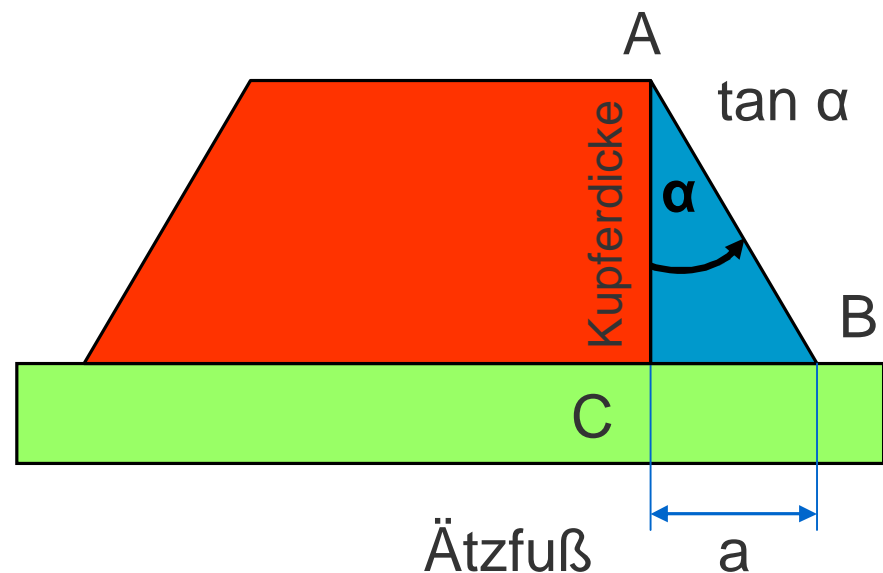
Hinweis (TangensAlpha)

Die Kupferdicke ist genau oder innerhalb eines Intervalls bekannt. Der Tangens ist eine prozeßbezogene Größe und ist ebenfalls genau oder innerhalb eines Intervalls bekannt. Mit dieser Definition kann der Ätzfuß genau oder innerhalb eines Intervalls berechnet werden.

Aus der Definition läßt sich die folgende Abhängigkeit ableiten.

Regel (Abhängigkeit des Ätzfußes)

Der Ätzfuß ist *ausschließlich* von der Kupferdicke abhängig.



Funktionsfläche

Mit dem Tangens des Winkels α wird ein mathematischer Zusammenhang zwischen der Rückätzung und der Kupferdicke formuliert.

Regel (Rückätzung gesamt)

$$\text{Rückätzung}_{(\text{ges})} = 2 \cdot \text{Kupferdicke} \cdot \tan \alpha$$

Daraus ergibt sich :

Regel (Abhängigkeit der Rückätzung)

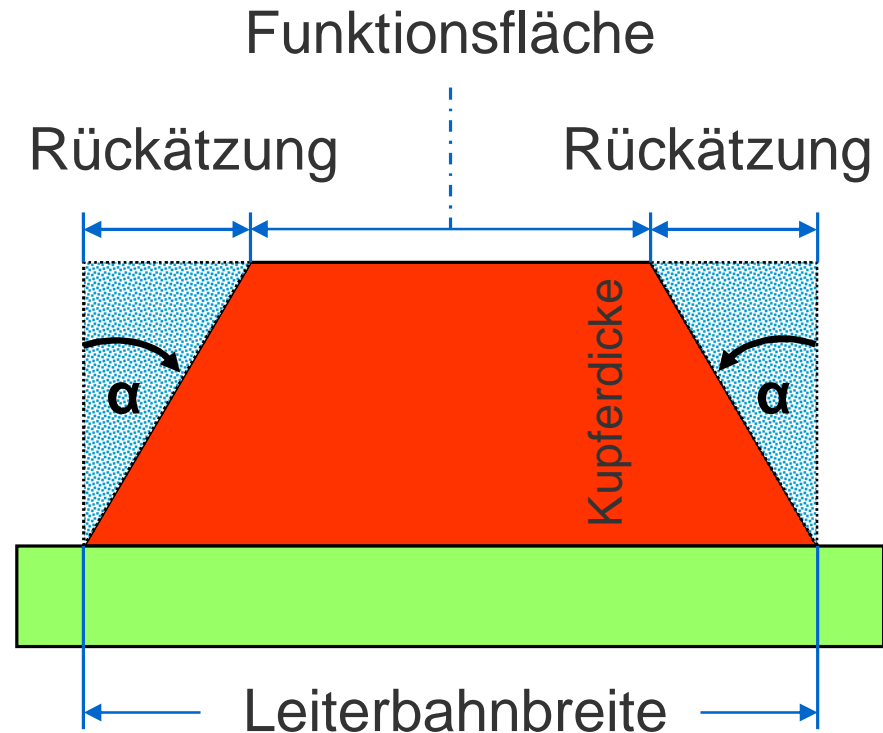
Die Rückätzung ist *ausschließlich* von der Kupferdicke abhängig.

Begriff (Funktionsfläche)

Die Breite des oberen Leiterbildes wird als *Funktionsfläche* bezeichnet.

Regel (Funktionsfläche)

$$\begin{aligned} \text{Funktionsfläche} &= \text{Leiterbahnbreite} - \text{Rückätzung}_{(\text{ges})} \\ &= \text{Leiterbahnbreite} - (2 \cdot \text{Kupferdicke} \cdot \tan \alpha) \end{aligned}$$



Rückätzung : Reduzierung der Lötfläche/Funktionsfläche

Aufgabe

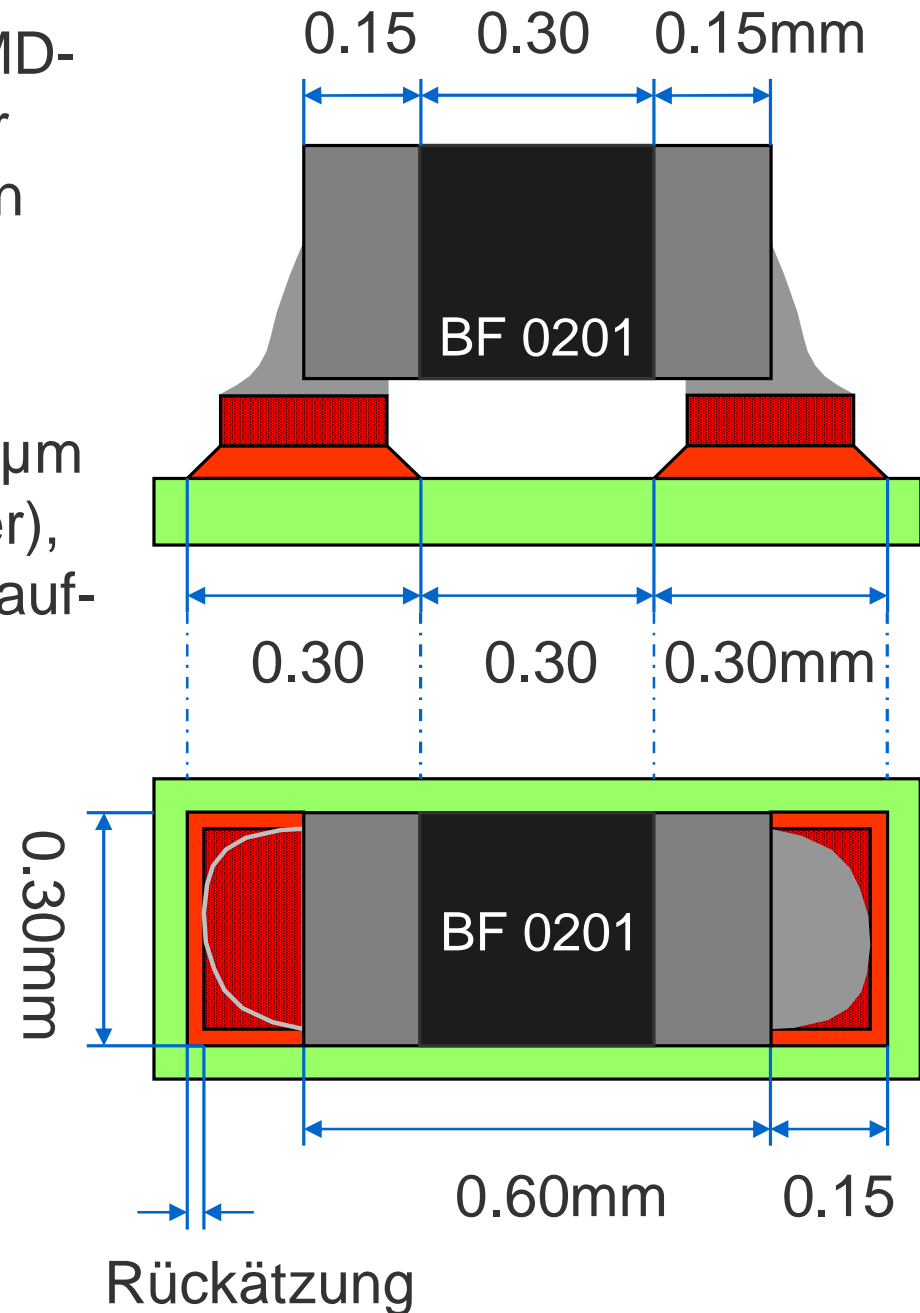
Wie groß ist die Lötfläche bei einer SMD-Bauform vom TYP "0201", wenn in der CAD-Bibliothek eine Padgeometrie von $300\mu\text{m} \times 300\mu\text{m}$ vorgesehen ist ?

Lösung

Annahme : Die *Kupferdicke* beträgt $42\mu\text{m}$ ($\sim 17\mu\text{m}$ Kupferfolie + $25\mu\text{m}$ DK-Kupfer), der *Ätzwinkel* liegt bei 20° . Der Kupferaufbau erfolgt im *Patternplating*.

Die Rückätzung beträgt umlaufend $30.58\mu\text{m}$. Die Lötfläche des Pads ist dann $269.42\mu\text{m} \times 269.42\mu\text{m}$ und der Flächenverlust liegt bei 19.3%.

Bei einem Ätzwinkel von 15° und einer Kupferdicke von $37\mu\text{m}$ ($\sim 12\mu\text{m}$ Kupferfolie + $25\mu\text{m}$ DK-Kupfer) liegt der Flächenverlust noch bei 12.8%.



Funktionsfläche : Abhängigkeit von der Kupferdicke

Beispiel (Kupferdicke und Entwärmung)

Die Funktionsfläche wird schmaler, wenn die Kupferdicke zunimmt.

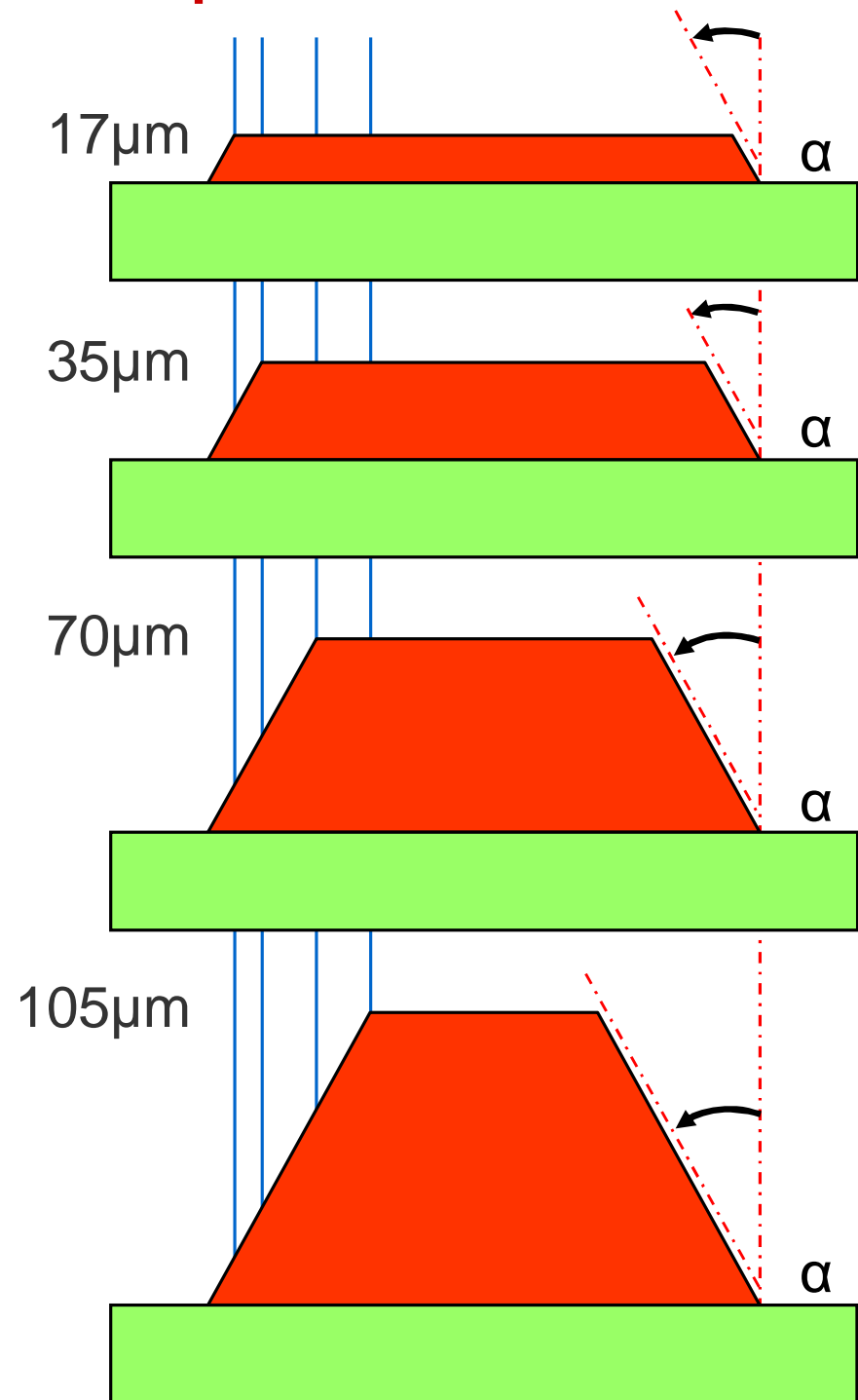
Die Voraussetzung ist, daß der Ätzwinkel α gleichbleibt.

Es ändert sich dann aber auch die Qualität des Leiterbahnquerschnitts.

Wenn die Funktionsfläche für die Montage von Bauteilen vorgesehen ist, dann muß eine Kompensation in der CAD-Bibliothek vorgenommen werden.

Wenn das Leiterbild für die Entwärmung der Baugruppe benötigt wird, dann muß der Volumenverlust berechnet werden.

Ebenfalls beachtet werden muß die Stromtragfähigkeit der Leiterbahnen.

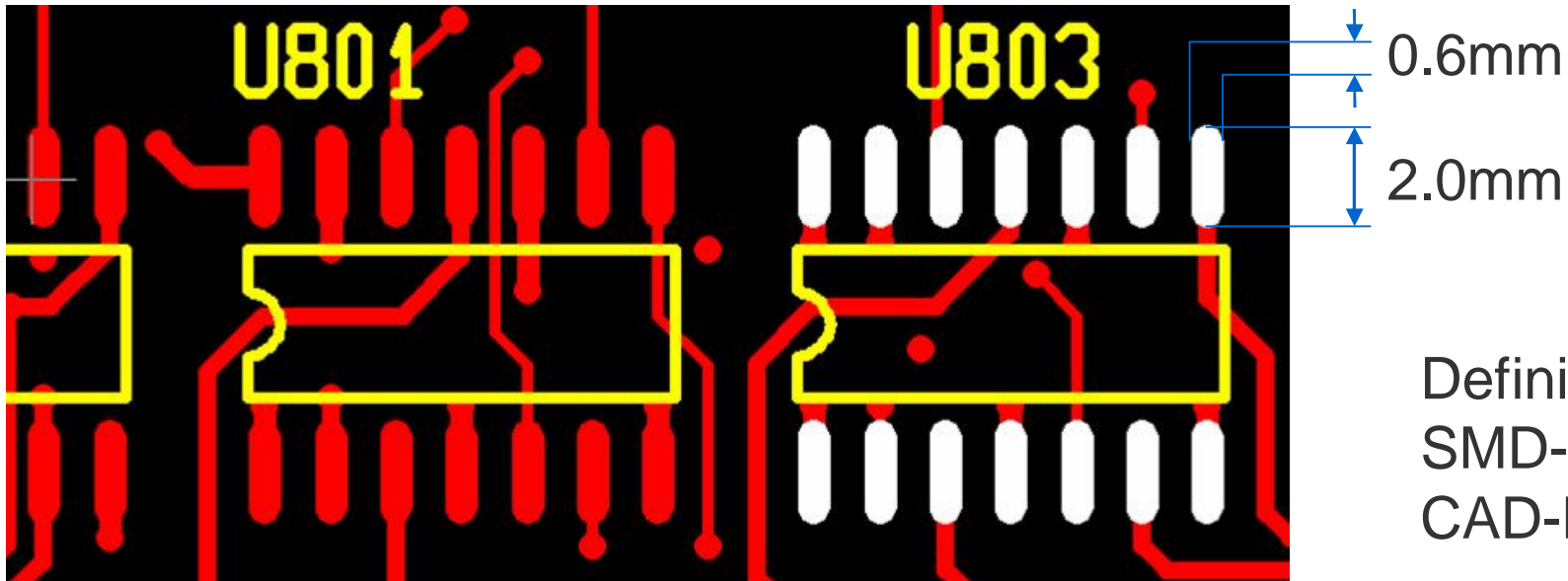


Rückätzung : Reduzierung der Funktionsfläche

Beispiel Ein SMD-Pad für ein SMD-IC sei in der CAD-Bibliothek definiert mit einer Fläche von $0.6\text{mm} \times 2.0\text{mm} = 1.20\text{mm}^2$. Das Kupfer soll auf der Bestückungsebene $42\mu\text{m}$ dick sein.

Die effektiven Flächendifferenzen hängen u.a. vom Panel- oder Pattern-Plating ab (\sim Kupferaufbau) und können bei bis zu minus 10% liegen.

Ätzwinkel (bei $42\mu\text{m}$ Cu)	Maß	Reduzierung (umlaufend)	Fläche (effektiv)	Differenz (zur Vorgabe)
0°	0.600 x 2.000mm	$0\mu\text{m}$	1.20mm^2	0%
20°	0.569 x 1.969mm	$15.3\mu\text{m}$	1.12mm^2	6.5%
30°	0.551 x 1.951mm	$24.3\mu\text{m}$	1.08mm^2	10.3%



Definition eines SMD-Pads in der CAD-Bibliothek

Rückätzung von BGA-Pads

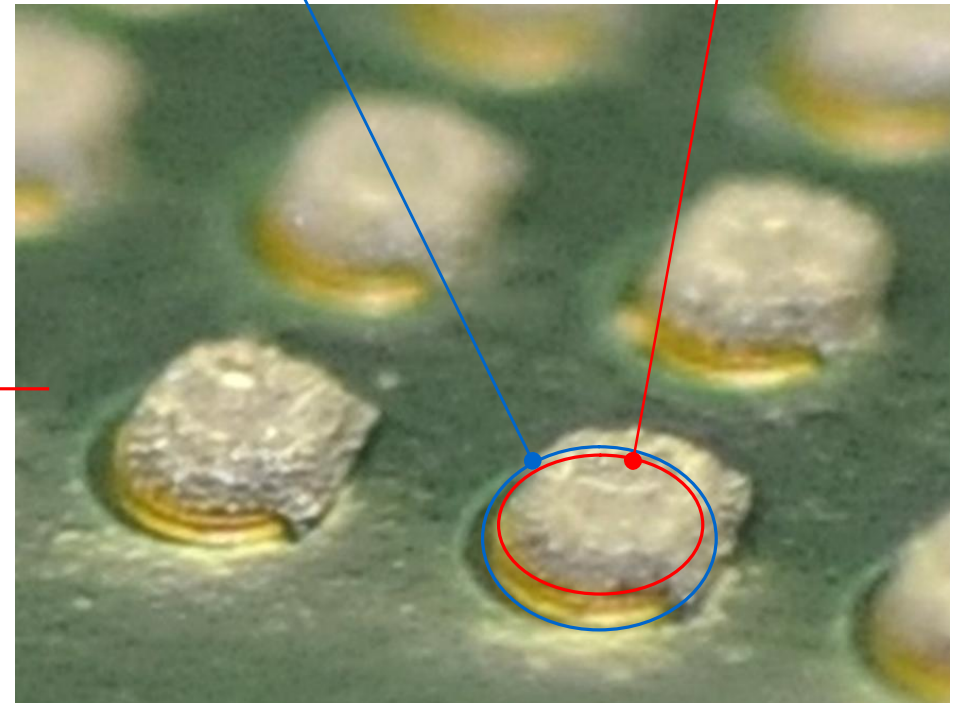
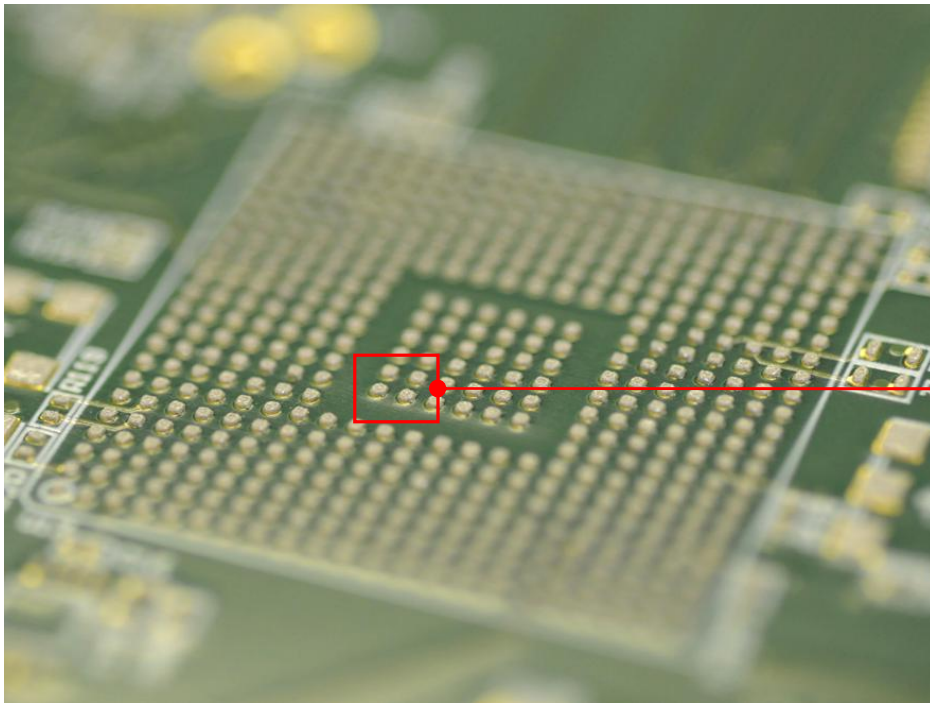
Die Geometrie einer BGA-Lötfläche orientiert sich am Pitch des BGAs und muß vom Baugruppenproduzenten vorgegeben werden. Der Leiterplattenhersteller kann die Rückätzung des BGA-Pads durch die *kupferdickenabhängige Blendenkompensation* nur *bedingt* korrigieren.

Damit die erforderliche Lötflächegeometrie sichergestellt werden kann, muß in der CAD-Bibliothek das Pad *zusätzlich* mit einer Zugabe kompensiert werden.

BGA-Paddurchmesser
nach dem Ätzprozeß

BGA-Paddurchmesser
nach der CAD-Vorgabe

Bildquelle Rainer Taube



Rückätzung von BGA-Pads : Fehlerquote

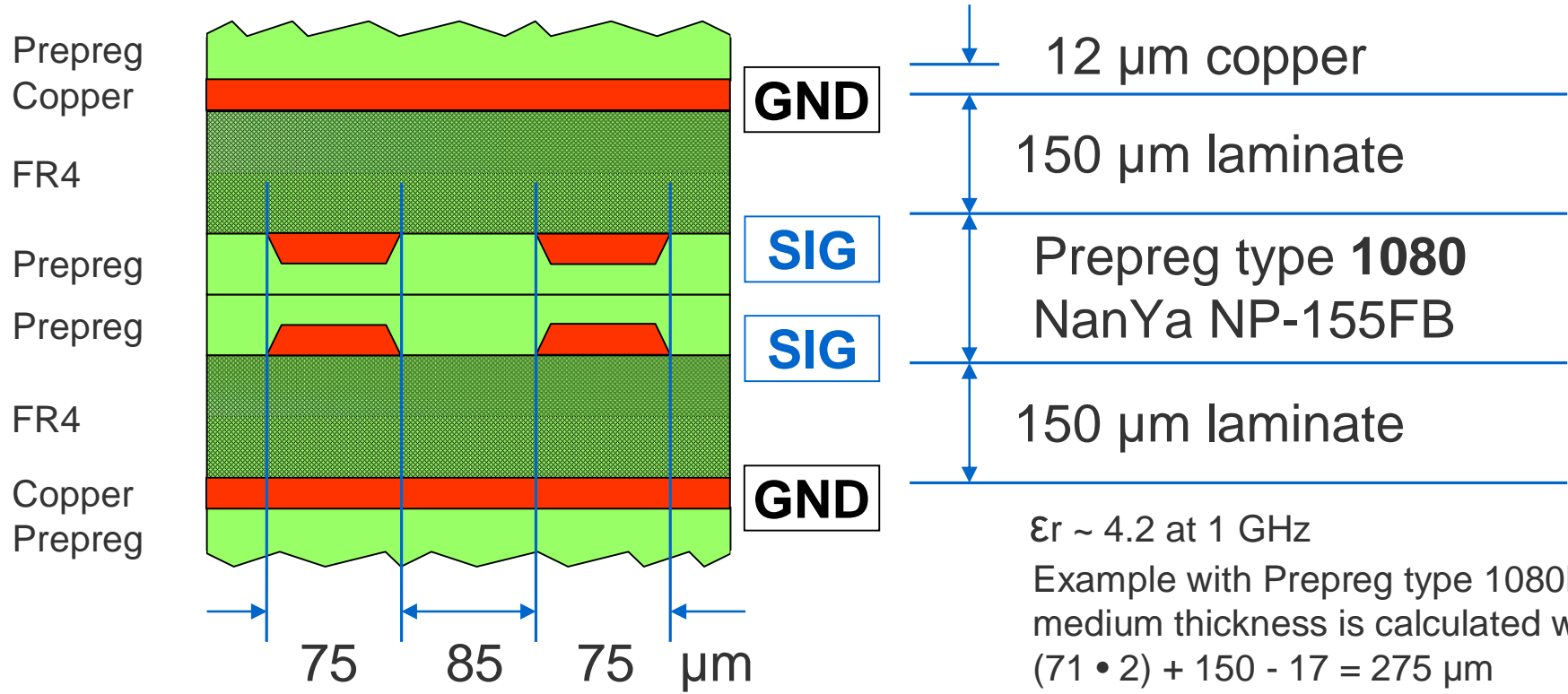
Für das Routing aus einem BGA mit einem Pitch von 600µm ist 100µm eine übliche Leiterbahnbreite und ein üblicher Sicherheitsabstand. Es verbleibt ein BGA-Paddurchmesser von 300µm. Der Verlust der Pad-Fläche beträgt 19.3 % bei einem *Ätzwinkel* von 20 Grad (...bei Pattern-plating) und einer typischen *Kupferdicke* von 42µm auf den Außenlagen.

Rückätzung	Ø BGA-Pad	Padfläche.....nach dem Ätzen	Verlust	
30.58 µm	200 µm	0.0314 mm ²	0.0225 mm ²	28.2 %
30.58 µm	250 µm	0.0491 mm ²	0.0378 mm ²	23.0 %
30.58 µm	300 µm	0.0707 mm²	0.0570 mm²	19.3 %
30.58 µm	350 µm	0.0962 mm ²	0.0759 mm ²	16.7 %
30.58 µm	400 µm	0.1257 mm ²	0.1023 mm ²	14.7 %
30.58 µm	450 µm	0.1590 mm ²	0.1326 mm ²	13.1 %
30.58 µm	500 µm	0.1963 mm ²	0.1668 mm ²	11.9 %
30.58 µm	550 µm	0.2376 mm ²	0.2049 mm ²	10.8 %
30.58 µm	600 µm	0.2827 mm ²	0.2470 mm ²	9.9 %
30.58 µm	650 µm	0.3318 mm ²	0.2930 mm ²	9.2 %
30.58 µm	700 µm	0.3848 mm ²	0.3430 mm ²	8.5 %



Toleranz physikalischer Eigenschaften

(POLAR type "Edge-Coupled Offset Stripline 1B1A")



Impedanzabweichung in Abhängigkeit vom TangensAlpha

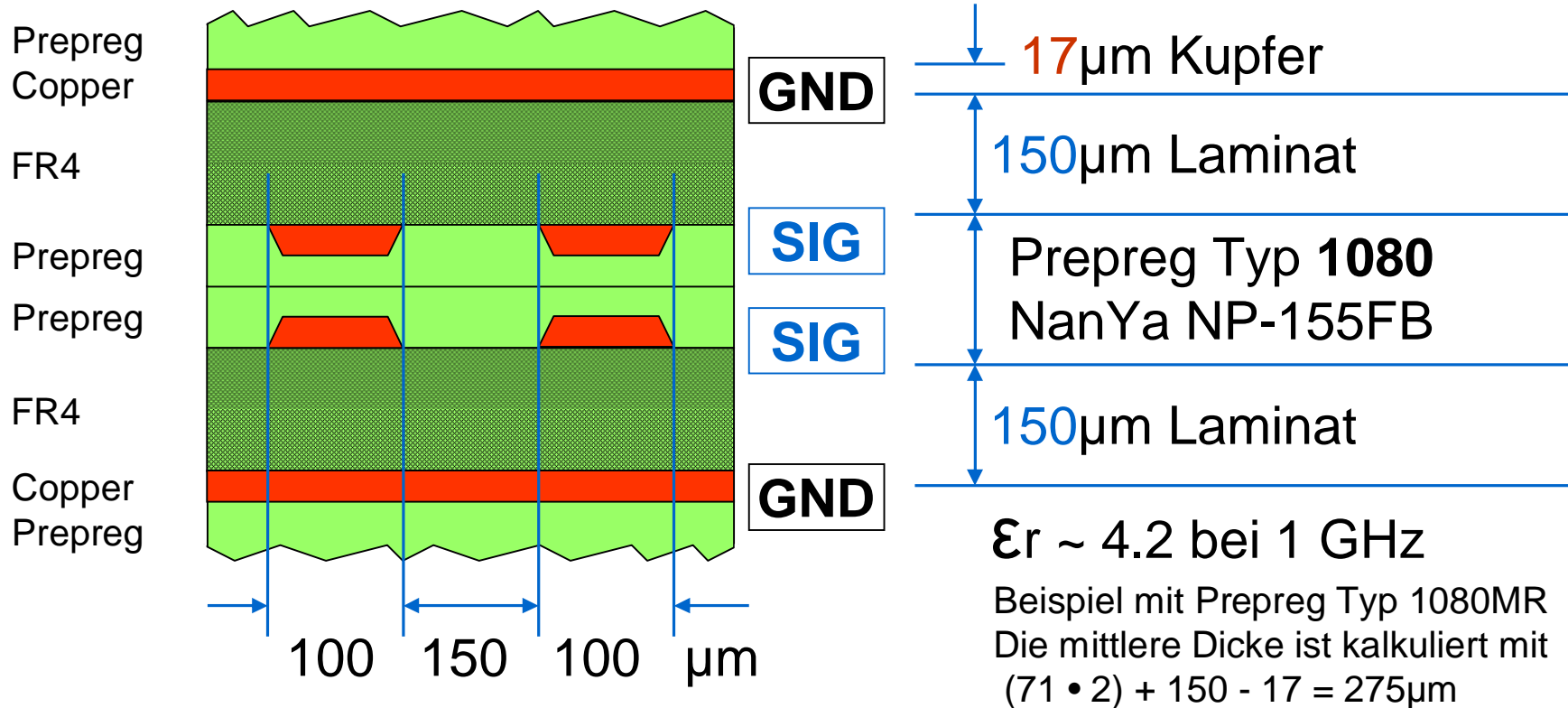
Tangens	Leiterbahn schmal	Leiterbahn breit	Impedanz
tan 0°	75.0 µm	75.0 µm	99.5 Ohm
tan 15°	68.6 µm	75.0 µm	101.6 Ohm
tan 25°	63.8 µm	75.0 µm	102.8 Ohm
tan 35°	58.2 µm	75.0 µm	104.1 Ohm



Impedanzwerte bei Rückätzung

Impedance type "Differential dual Stripline"

(POLAR type "Edge-Coupled Offset Stripline 1B1A")



Impedanzwerte bei Rückätzung

(100-150-100 = 101.9 Ohm)

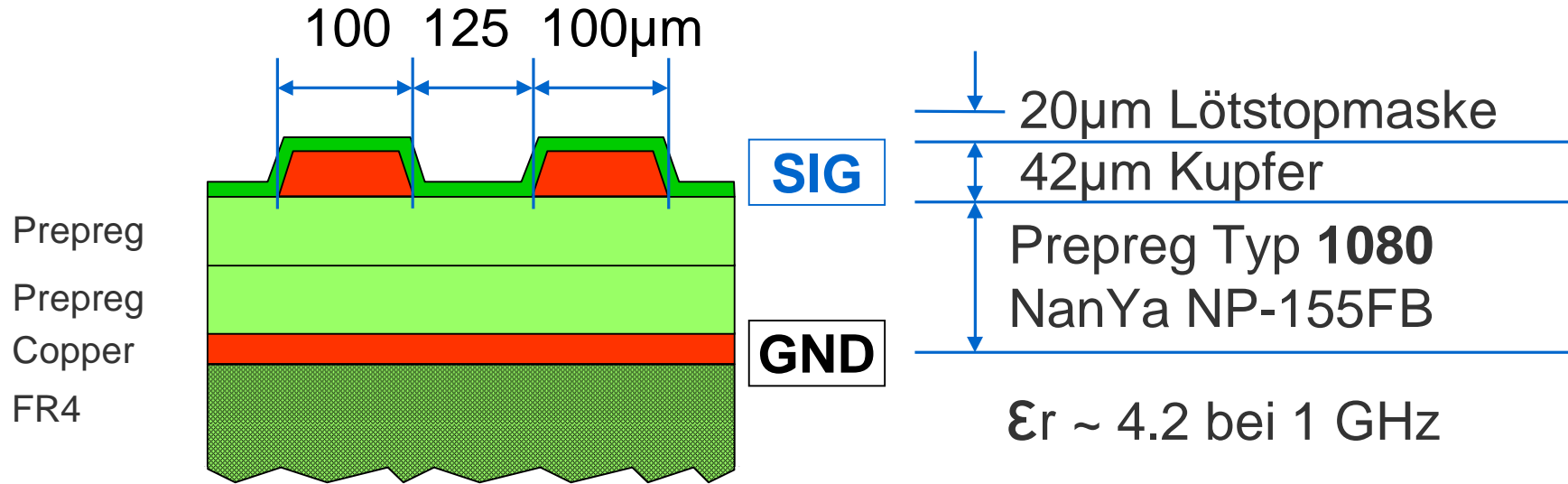
Ätzdifferenz (Durchmesser)	Geometrie	Impedanz
+ 5µm	105 - 145 - 105	99.0 Ohm
+10µm	110 - 140 - 110	96.6 Ohm
- 5µm	95 - 155 - 95	104.0 Ohm
- 10µm	90 - 160 - 90	106.6 Ohm



Impedanzwerte abhängig vom Harzgehalt

Impedance type "Differential Coated Microstrip"

(POLAR type "Edge-Coupled Coated Microstrip 1B")



Impedanzwerte mit Bezug auf den Harzgehalt der Prepregs

SR - resin	$64-8 = 56 \cdot 2 = 112$	97.2 Ohm
SR + resin	$64+8 = 72 \cdot 2 = 144$	102.7 Ohm
MR - resin	$71-8 = 63 \cdot 2 = 126$	99.9 Ohm
MR + resin	$71+8 = 79 \cdot 2 = 158$	104.4 Ohm
HR - resin	$76-8 = 68 \cdot 2 = 136$	101.6 Ohm
HR + resin	$76+8 = 84 \cdot 2 = 168$	105.4 Ohm

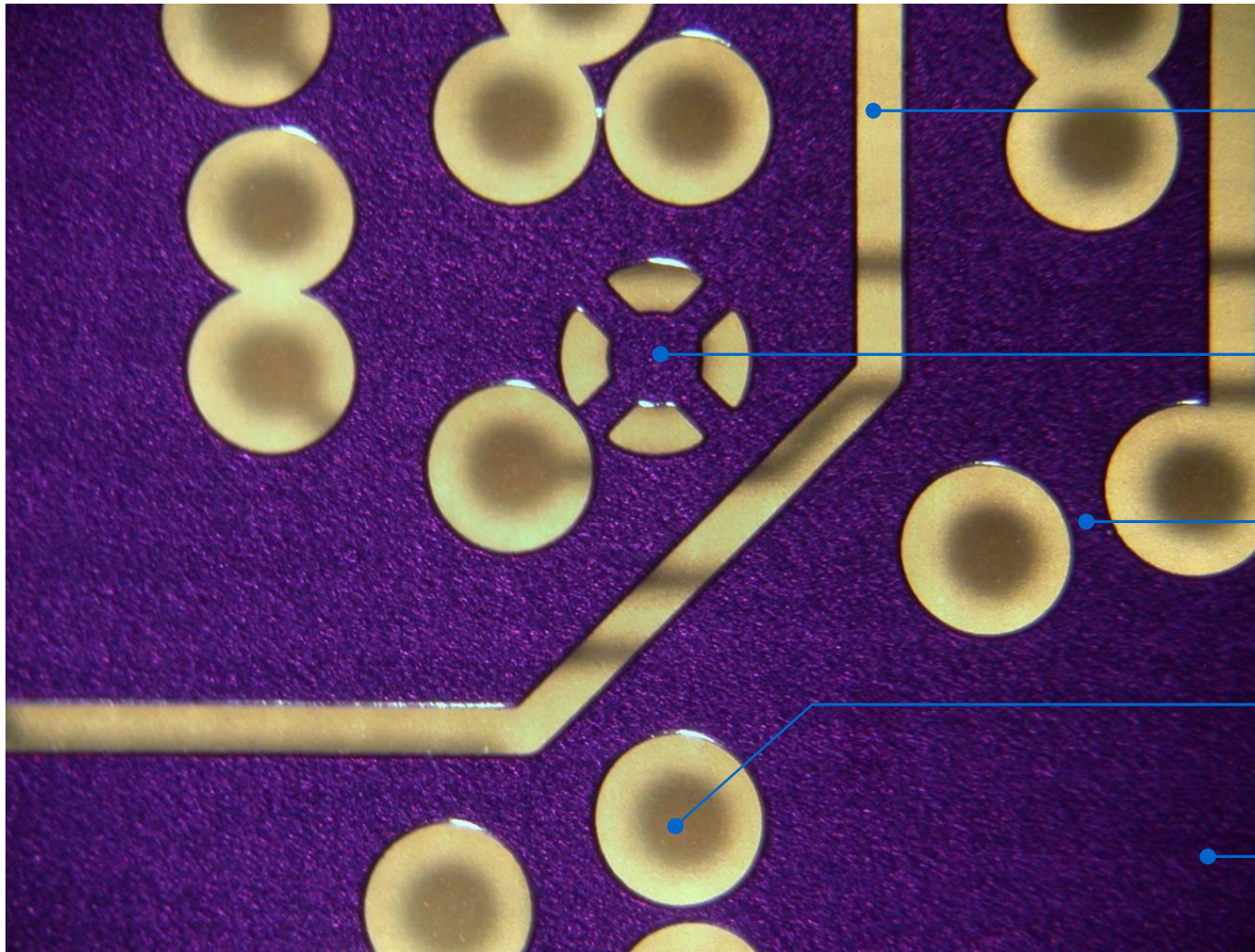




Isolationspads auf Powerplanes



Isolationspads auf Powerplanes



Potential-
trennung

Wärmefalle

Kupfersteg

Isolationspad

Powerplane

Isolationen sind auf Powerplanes ein wichtiges konstruktives graphisches Element, um nicht angeschlossene Bauteilbohrungen oder Vias von der Kupferfläche zu trennen.

Im Bild ist in Aufsicht eine Powerplane zu sehen, die noch mit Fotoresist abgedeckt ist. In Durchsicht ist rückseitig die Signallage zu erkennen.



Isolationspads auf Powerplanes

Für die Bohrwerkzeugzugabe (BWzgZugabe) auf das passende Bohrwerkzeug (BWzg) gilt :

$$\text{BWzg} = \text{Enddurchmesser} + \text{BWzgZugabe}$$

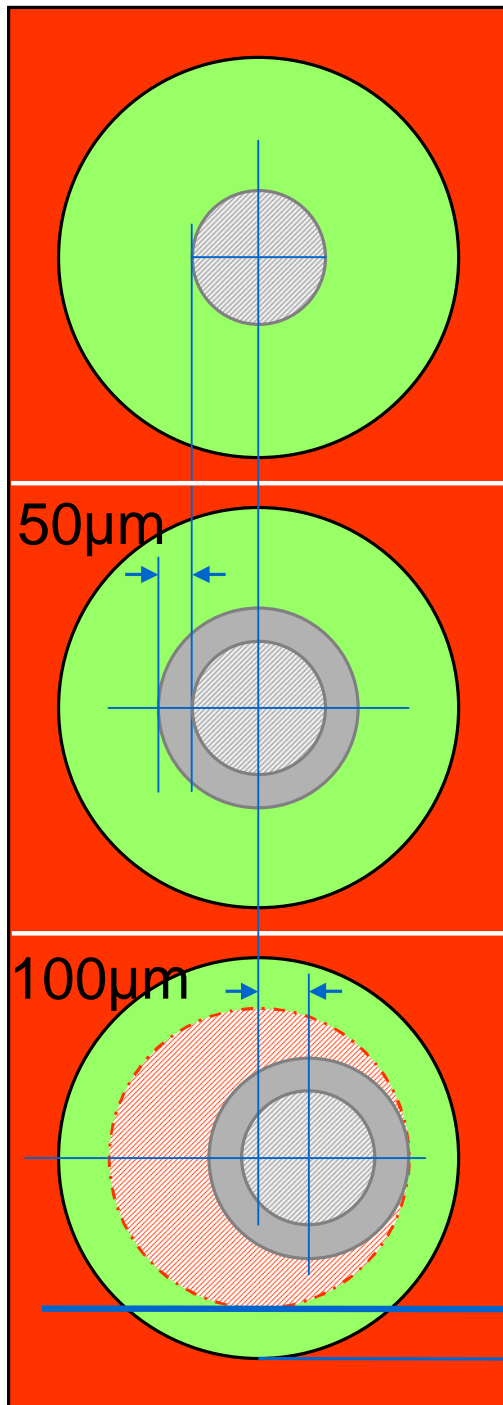
Hinweis

Üblicherweise beträgt die BWzgZugabe 100µm. Die allgemeine Toleranz zwischen Bohrung und Leiterbild liegt bei +,- 100µm.

Für den minimalen Sicherheitsabstand gilt dann :

Regel (Minimaler Sicherheitsabstand)

$$\text{Sicherheitsabstand}_{(\text{min})} = 0.5 \cdot (\text{Isolationspad} - \text{Enddurchmesser} - \text{BWzgZugabe} - 2 \cdot \text{Toleranzbetrag})$$



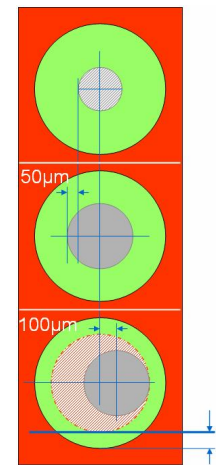
↓ Sicherheitsabstand zwischen der Tangente der Bohrung und dem Kupfer der Powerplane
↑



Isolationspad : Minimales Isolationspad und AspectRatio

Hinweis (Minimales Isolationspad und AspectRatio)

Durch die direkte *lineare Beziehung zum AspectRatio* für Bohrungen ergibt sich eine direkte Abhängigkeit des Durchmessers für das minimale Isolationspad. Weil das AspectRatio eine herstellerbezogene Kennziffer ist, ergibt sich, daß CAD-Layouts gegebenenfalls herstellerbezogen geroutet werden müssen.



Durch die direkte *lineare Beziehung zur kontaktierbaren Bohrtiefe* ergibt sich eine direkte Abhängigkeit des Durchmessers für das minimale Isolationspad von der qualitativen Leistungsfähigkeit der Galvanotechnik eines Leiterplattenherstellers.

Beide Parameter haben einen deutlichen Einfluß auf die Geometrie von Isolationspads. Die Bibliotheksarbeit und das Routing am CAD-System müssen diese Dynamik berücksichtigen.

Regel (Dynamik des Isolationspads)

Wenn der Wert für das AspectRatio für Bohrungen größer wird, dann muß auch der minimale Durchmesser des Isolationspads größer werden. Wenn die zu kontaktierende Bohrtiefe zunimmt, dann muß auch der Durchmesser des Isolationspads zunehmen.



Mittenabstand von Isolationen auf Powerplanes

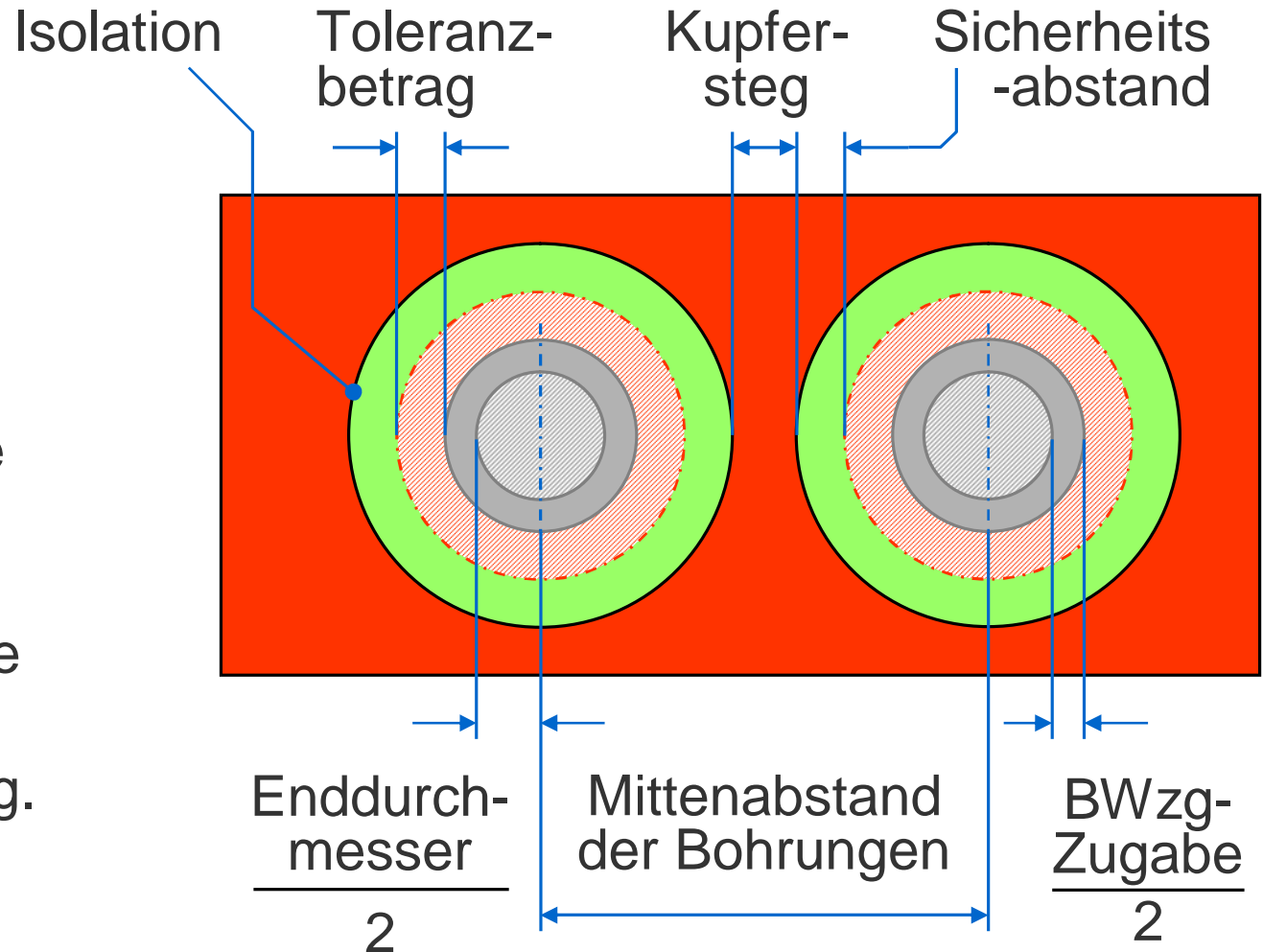
Regel (Kupfersteg bei gleichem Bohrdurchmesser)

$$\text{Mittenabstand}_{(\text{THT})} = \text{Enddurchmesser} + \text{BWzgZugabe} + \text{Kupfersteg} + 2 \cdot \text{Toleranzbetrag} + 2 \cdot \text{Sicherheitsabstand}$$

Nebenbedingung : Toleranzbetrag \geq Toleranz (Bohrung zu Leiterbild)

Sicherheitsabstand

Für den zuverlässigen Betrieb der Baugruppe ist ein ausreichender Sicherheitsabstand zwischen der Tangente der Bohrwandung und der Powerplane wichtig.





***Impedanz des
Stromversorgungssystems***



LP2010 : Impedanz des Stromversorgungssystems

MultiPowerSystem

Strategische Ziele bei der Konstruktion von Stromversorgungssystemen für digitale Baugruppen sind eine *niedrige Impedanz*, eine *hohe Kapazität* und *geringe Resonanzen*.

Um eine effektive Kapazität zwischen benachbarten VCC- und GND-Powerplanes aufbauen zu können, müssen die Abstände der Planes möglichst klein und die Flächen möglichst groß sein.

Bei einer Fläche $< 35\text{cm}^2$ ist die Kapazität zu gering, um wirkungsvoll zu sein. Zur Erhöhung der Kapazität können VCC- und GND-Planes übereinander gestapelt werden.

Ein geringer Abstand zwischen den Powerplanes führt ebenfalls zu einer gleichmäßig niedrigen Impedanz auf der gesamten Fläche der Plane.

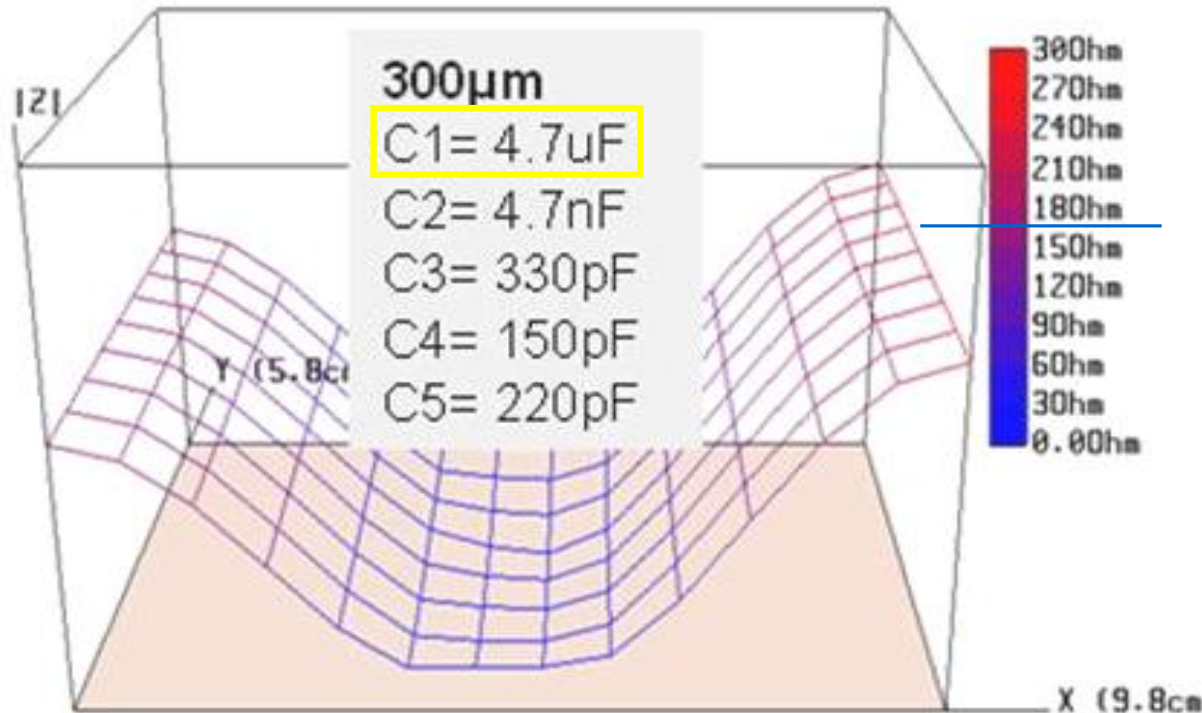
Durch die Platzierung individuell auf die Leiterplatte/Baugruppe abgestimmter Kondensatorgruppen können Resonanzfrequenzen gedämpft werden.

Nachfolgend ist die Impedanz der 2V5-Plane mit einer Fläche von 58.0 x 98.0mm für unterschiedliche GND-VCC-Abstände berechnet.



LP2010 : Impedanz des Stromversorgungssystems 1

Variante 1 300µm Distanz der Powerplanes für VCC und GND.



Software für die Berechnung der Kondensatoren :

"Silent V.4.01" der Fa. DCC

Kondensatortyp :

X7R -Keramikkondensatoren

Quelle

DCC /Nils Dirks

Unitel/Gerhard Eigelsreiter

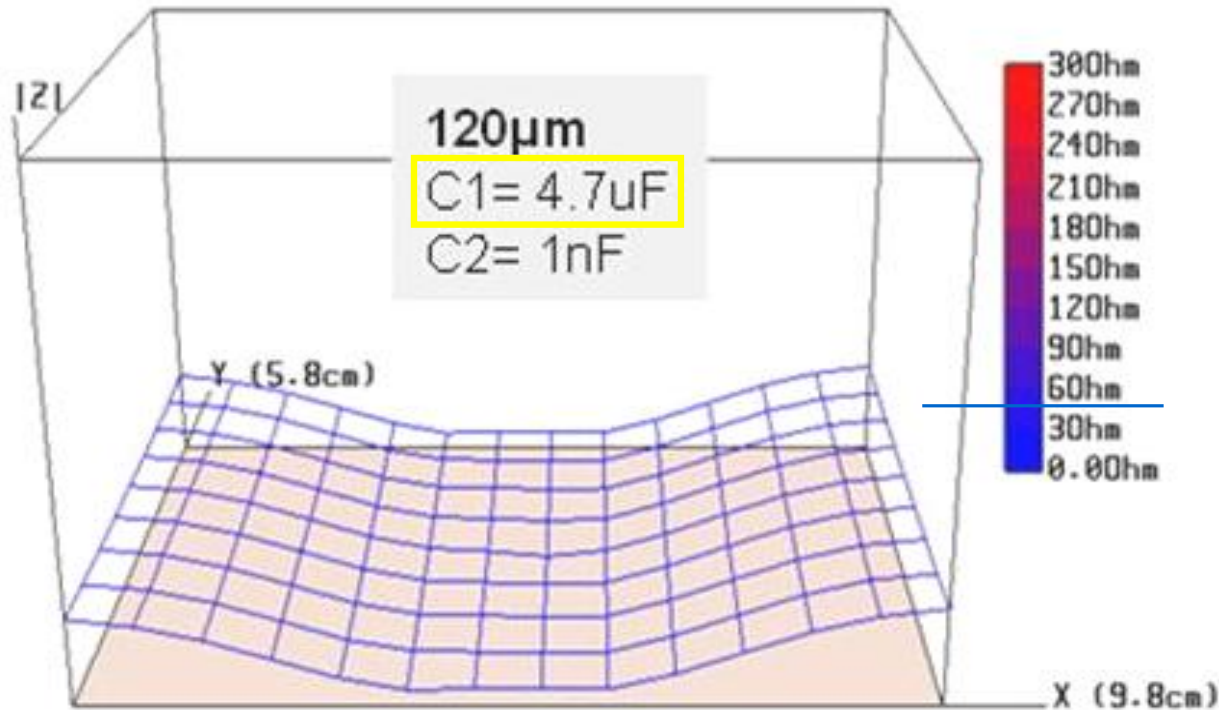
Die Impedanz des Stromversorgungssystems ist unregelmäßig. Den niedrigen Werten im Mittenbereich stehen relativ hohe Werte von zirka 18 Ohm an den Randbereichen der Leiterplatte entgegen.

Für die Dämpfung der erwarteten Resonanzfrequenzen wird eine Gruppe von 5 Kondensatoren benötigt.



LP2010 : Impedanz des Stromversorgungssystems 2

Variante 2 120µm Distanz der Powerplanes VCC und GND.



Software für die Berechnung der Kondensatoren :

"Silent V.4.01" der Fa. DCC

Kondensatortyp :

X7R -Keramikkondensatoren

Quelle

DCC /Nils Dirks

Unitel/Gerhard Eigelsreiter

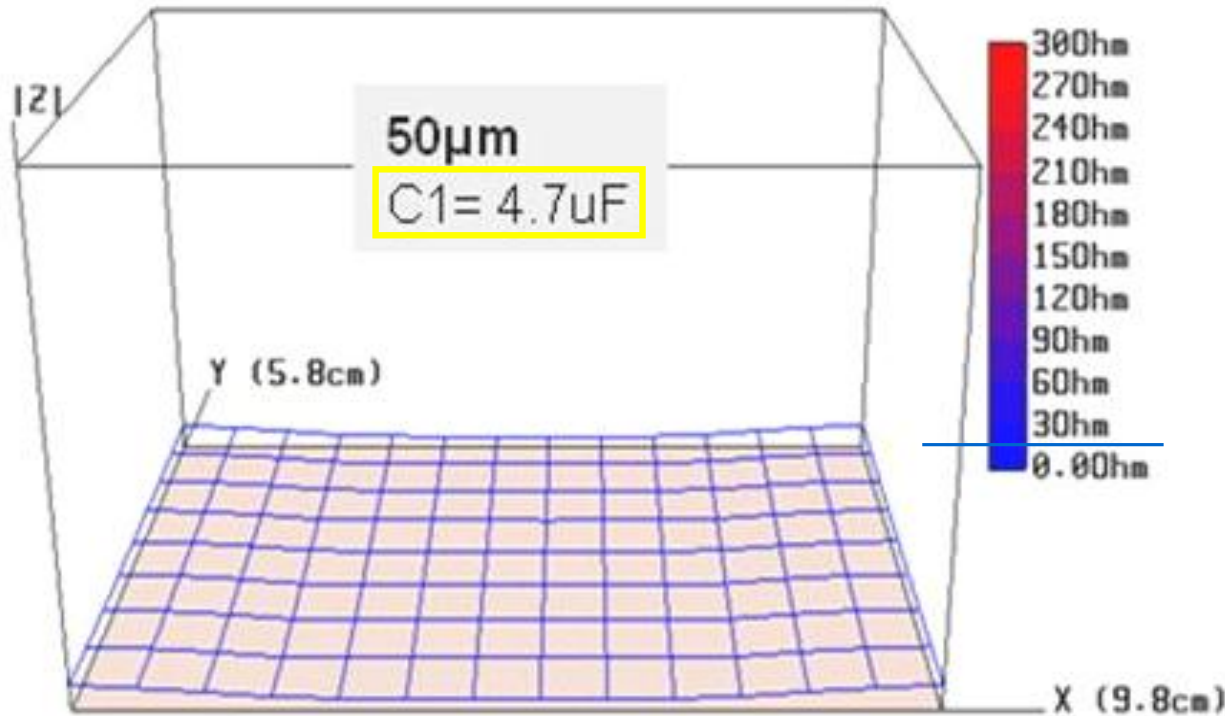
Die Impedanz des Stromversorgungssystems ist noch unregelmäßig. Den niedrigen Werten im Mittenbereich stehen höhere Werte von zirka 4 Ohm an den Randbereichen der Leiterplatte entgegen.

Für die Dämpfung der erwarteten Resonanzfrequenzen wird eine Gruppe von 2 Kondensatoren benötigt.



LP2010 : Impedanz des Stromversorgungssystems 3

Variante 3 50 μ m Distanz der Powerplanes VCC und GND.



Software für die Berechnung der Kondensatoren :

"Silent V.4.01" der Fa. DCC

Kondensatortyp :

X7R -Keramikkondensatoren

Quelle

DCC /Nils Dirks

Unitel/Gerhard Eigelsreiter

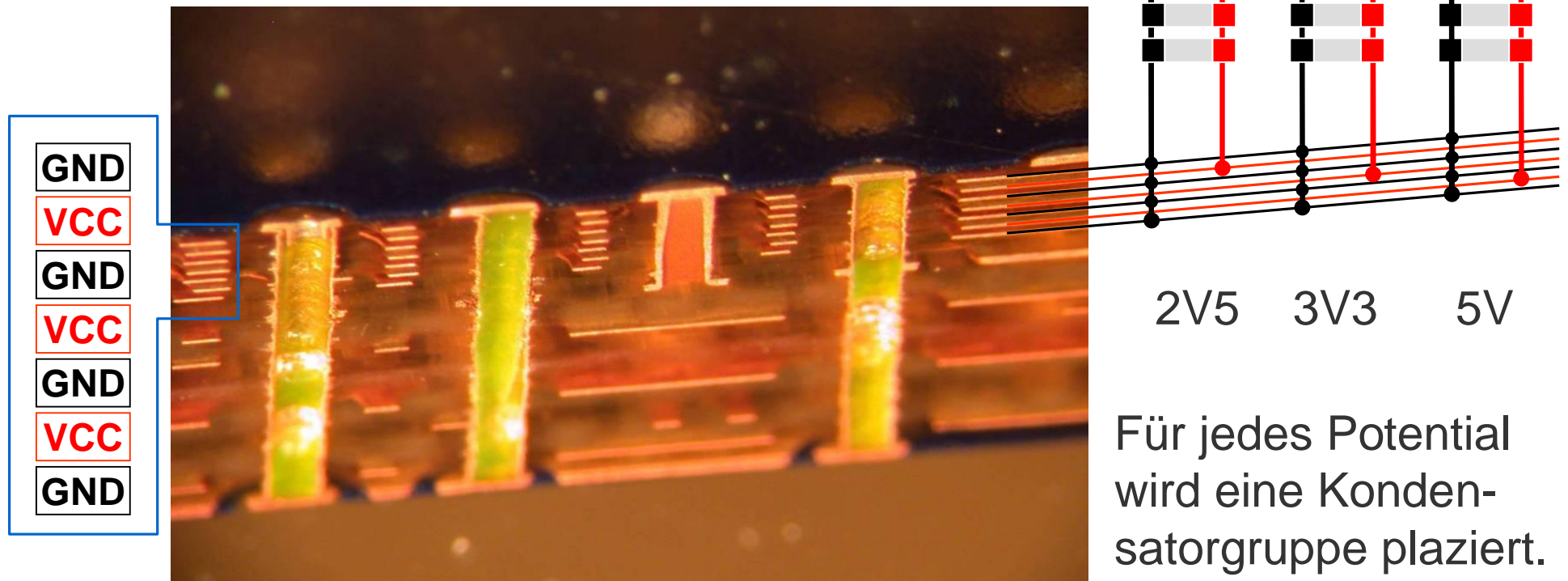
Die Impedanz des Stromversorgungssystems ist praktisch gleich über die Fläche der Powerplane. Im Mittenbereich liegen die Werte bei <1 Ohm, in den Randbereichen bei maximal 1.5 Ohm.

Für die Dämpfung der erwarteten Resonanzfrequenzen wird eine Gruppe von 1 Kondensator benötigt.



LP2010 : Multipowersystem und Kondensatorgruppe

MPS mit einer Dicke von 50µm für Lamine und für Prepregs.



Cross section 18-layer-PCB "CERO" ("PCB of the year 2005")

Die kapazitiven Eigenschaften des MultiPowerSystems werden für die Breitbandentkopplung genutzt. Zusätzlich wird das Stromversorgungssystem durch *abgestimmte Kondensatorgruppen* gestützt, mit deren Hilfe verbleibende Resonanzfrequenzen gedämpft werden.

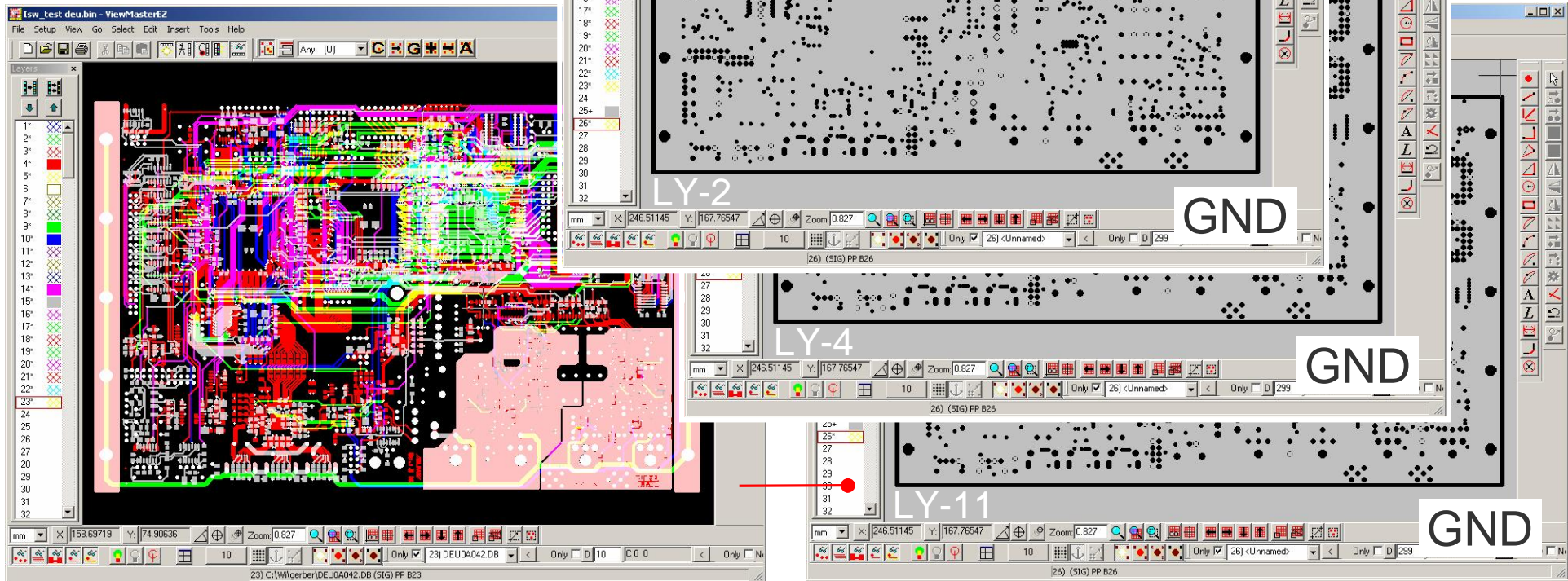
Die Kupfervolumina des MPS verbessern die Kühlung der Baugruppe.



Routing : Powerplanes

Die Betriebsbedingungen (EMV, Rückstrom, Impedanz, Crosstalk,...) können die Konstruktion von Powerplanes verlangen. Gegebenenfalls müssen GND-Planes sogar mehrfach vorgesehen werden.

12-Lagen-Multilayer Powerplanes



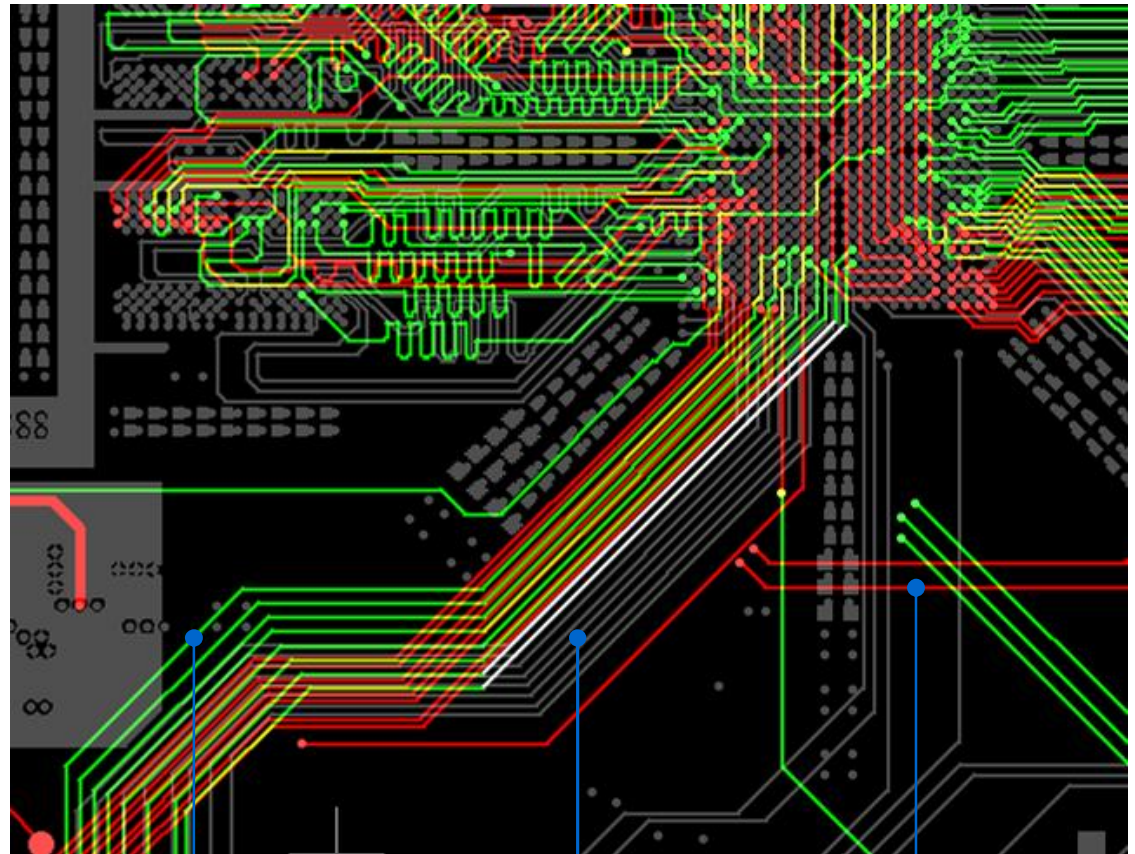
Datatransfer : Crosstalk

Beispiel (Crosstalk)

Jedes Signal benötigt für eine störungsfreie Informationsübertragung einen autonomen Raum und eine Referenz für den Rückstrom. Liegen Signale zu nah beieinander, dann kann es zum Übersprechen (~ Crosstalk) kommen. Störungen des Datatransfers beeinträchtigen die Qualität der Baugruppe.

CAD-Systeme können oft das Übersprechen auf *einer* Lage prüfen. Für die Analyse in der 3.Dimension muß auf jeden Fall der *Lagenaufbau* im CAD-System hinterlegt werden können.

Ein GND-Layer zwischen den 3 Signallagen ist hier preiswerter, als eine EMV-Stabilisierung durch zusätzliche Komponenten.



Signallayer 1 grün
Signallayer 2 grau
Signallayer 3 rot





Dokumentation von Leiterplatten



Dokumentation von Leiterplatten

Hinweis (Dokumentation)

Leiterplatten haben eine extrem hohe Individualität. Basismaterial, Lageraufbau und Kontaktierung geben den Ausschlag für die zuverlässige Funktion der Geräte und Maschinen, in denen die Baugruppen eingesetzt werden. Für die Kommunikation zwischen den Partnern CAD, Leiterplatte und Baugruppe ist die Dokumentation der Leiterplatte *sehr* wichtig.

Hinweis (Entsorgung)

Die chemische Konstellation des Basismaterials ist variantenreich. Für die spätere rechtlich vorgeschriebene Entsorgung ist die Dokumentation unverzichtbar.

LeiterplattenAkademie R14T2.10c77-17c146-17#1

Material	Stack-Up	Vias	Parameter	Layer
Plated Copper	25µm		280-135-280µm d 80 Ø	LY-Top SIG
R-5670(K)	1078 RC:64		160-135-160µm d 100 Ø	300µm ± 50 Ø
R-5670(K)	1078 RC:64		145-250-145µm d 120 Ø	430µm ± 40 Ø
R-5775(K)	Megtron 6			LY-2 GND
R-5670(K)	1078 RC:64			LY-3 SIG
R-5670(K)	1078 RC:64		100-150-190µm d 80 Ø	150µm ± 50 Ø
R-5670(K)	1078 RC:64		130-200-130µm d 100 Ø	225µm ± 40 Ø
R-5775(K)	Megtron 6	DRth 1-14		LY-4 GND
R-5670(K)	1078 RC:64			LY-5 SIG
R-5670(K)	1078 RC:64		190-150-190µm d 80 Ø	225µm ± 40 Ø
R-5775(K)	Megtron 6			LY-6 GND
R-5670(K)	1078 RC:64			LY-7 VCC
R-5670(K)	1078 RC:64			LY-8 VCC
R-5775(K)	Megtron 6			LY-9 GND
R-5670(K)	1078 RC:64			LY-10 SIG
R-5670(K)	1078 RC:64		190-150-190µm d 80 Ø	225µm ± 40 Ø
R-5775(K)	Megtron 6			LY-11 GND
R-5670(K)	1078 RC:64			LY-12 SIG
R-5670(K)	1078 RC:64		130-200-130µm d 100 Ø	225µm ± 40 Ø
R-5670(K)	1078 RC:64		190-150-190µm d 80 Ø	150µm ± 50 Ø
R-5775(K)	Megtron 6			LY-13 SIG
R-5670(K)	1078 RC:64			LY-14 GND
R-5670(K)	1078 RC:64		145-250-145µm d 120 Ø	430µm ± 40 Ø
R-5670(K)	1078 RC:64		160-135-160µm d 100 Ø	300µm ± 50 Ø
Plated Copper	25µm		280-135-280µm d 80 Ø	LY-Bot SIG

Thickness 1.90mm - 2.14mm Bare Board
1.98mm - 2.23mm ENIG
2.01mm - 2.27mm HAL
General tolerance +/- 0%

LA drawing #1149
Date 24.04.2016
Name WI
Comment --

© LeiterplattenAkademie 2016 all rights reserved Subject to change Without guarantee

LeiterplattenAkademie RF04T1.50c50-12c1130-35#1

Plating Strategy	From Layer	To Layer	File Extension
Throughholes	LY-Top	LY-Bot	DRth 1-4
BlindVias	LY-Top	LY-2	DRbv 1-2
BlindVias	LY-Bot	LY-4	DRbv 4-3

Thickness 0.51mm - 0.58mm Bare Board
0.53mm - 0.60mm ENIG
not available HAL
General tolerance +/- 0%

LA drawing #1228
Date 05.08.2019
Name WI
Comment --

© LeiterplattenAkademie 2019 all rights reserved Subject to change Without guarantee

LeiterplattenAkademie R16T1.75c50-12c75-12#1

Material	Stack-Up	Vias	Parameter	Layer
Plated Copper	25µm			LY-Top SIG
Meteor-8000	1038 RC:61		100-100-100µm d 100 Ø	200µm ± 50 Ø
Plated Copper	15µm			LY-2 GND
Meteor-8000	1038 RC:79		100-90-100µm d 80 Ø	110µm ± 42 Ø
Plated Copper	15µm			LY-3 SIG
Meteor-8000	1035 RC:79		100-90-100µm d 80 Ø	110µm ± 42 Ø
Plated Copper	15µm			LY-4 SIG
Meteor-8000	106 RC:78			LY-5 GND
Plated Copper	15µm			LY-6 VCC
Meteor-8000	106 RC:78			LY-7 VCC
Plated Copper	15µm			LY-8 VCC
Meteor-8000	2013 RC:1	90µm ± 50 Ø	110-90-110µm d 80 Ø	140µm ± 40 Ø
Plated Copper	15µm			LY-9 SIG
Meteor-8000	2013 RC:61			LY-10 GND
Plated Copper	15µm			LY-11 SIG
Meteor-8000	2116 RC:60		90-95-90µm d 100 Ø	165µm ± 50 Ø
Plated Copper	15µm			LY-12 SIG
Meteor-8000	2116 RC:60		90-95-90µm d 100 Ø	165µm ± 50 Ø
Plated Copper	15µm			LY-13 GND
Meteor-8000	108 RC:78			LY-14 VCC
Plated Copper	15µm			LY-15 GND
Meteor-8000	2013 RC:61		100-100-100µm d 100 Ø	200µm ± 50 Ø
Plated Copper	25µm			LY-Bot SIG

Thickness 1.61mm - 1.82mm Bare Board
1.63mm - 1.84mm ENIG
not acceptable HAL
General tolerance +/- 0%

LA drawing #1233
Date 11.01.2020
Name WI
Comment --

© LeiterplattenAkademie 2020 all rights reserved Subject to change Without guarantee

LeiterplattenAkademie Fx04T0.55c75-17#1

Material	Stack-Up	Vias	Parameter	Layer
Coverlay	25µm			LY-Top SIG
Plated Copper	17µm			LY-2 SIG
Polyimide fx	75µm			LY-3 SIG
Copper	17µm			LY-4 SIG
Bondly fx	75µm			LY-5 SIG
Copper	17µm			LY-6 SIG
Polyimide	75µm			LY-7 SIG
Copper	17µm			LY-8 SIG
Plated Copper	25µm			LY-9 SIG
Coverlay	25µm			LY-10 SIG
Adhesive	25µm			LY-11 SIG
NP-155fH	200µm			Stiffener

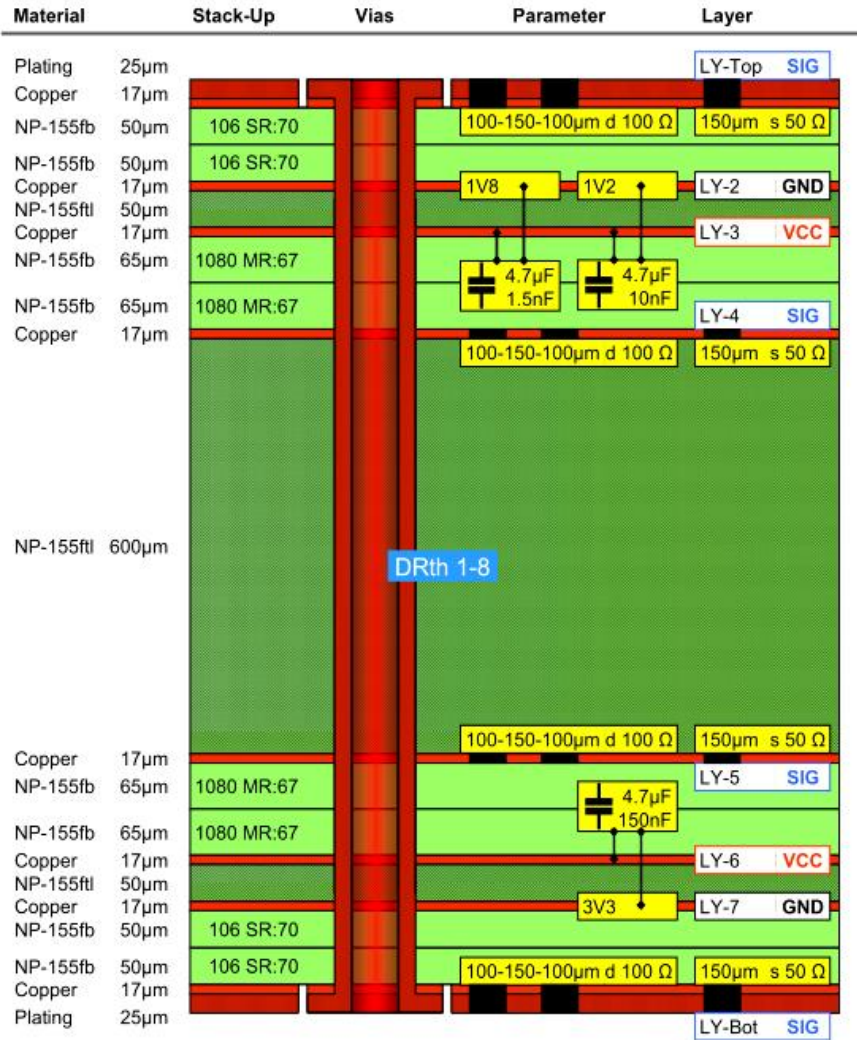
Thickness 0.51mm - 0.58mm Bare Board
0.53mm - 0.60mm ENIG
not available HAL
General tolerance +/- 0%

LA drawing #1228
Date 05.08.2019
Name WI
Comment --

© LeiterplattenAkademie 2019 all rights reserved Subject to change Without guarantee

Konstruktive Vorgaben für HDI-Multilayer

Aufbau für einen starren 8-Lagen-Multilayer



Thickness 1.16mm - 1.42mm Bare Board
 1.24mm - 1.51mm ENIG
 1.27mm - 1.55mm HAL
 General tolerance +/- 6%

LA-Drawing #1024
 Date 11.06.2010 / 24.05.2016 Wi
 Name Wi
 Comment --

Material per PCB	#	Glass	Resin	Pressed Thickness	Company
Prepreg NP-155fb	4	106	SR:70%	48µm +/- 8µm	NanYa
Prepreg NP-155fb	4	1080	MR:67%	71µm +/- 8µm	NanYa
Core NP-155ftl	2	n.a.	n.a.	50µm	NanYa
Core NP-155ftl	1	n.a.	n.a.	600µm	NanYa



Main Material Properties

IPC-Specification sheet IPC-4101C / 99
 Epoxy-System FR4
 Curing agent phenolic
 Flame retardend mech. RoHS compliant Bromine
 UL-zertificate UL94 V-0
 Dielectric value 4.1@1GHz
 Loss tangent 0.014@1GHz
 Tg 150° by DSC
 CTE x/y/z before Tg : 18/18/ maximum 60
 after Tg : 18/18/ maximum 300
 Electrical strength 40 kv/mm minimum specified by IPC
 Adhesive strength 0.78 n/mm minimum for copper foils >17µm

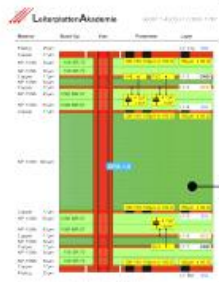
Technomam Data sheet /NanYa, May 2010



PCB & CAD-Layout Specification

PCB Class Rigid
 Cores mounted Inside
 Copper Thickness 25µm for throughhole barrels
 Throughhole Vias CAD : 100µm diameter + 400µm pad minimum
 Drill : 200µm tool diameter minimum
 Aspect-Ratio 1:8 or better is necessary
 BuriedVias no
 BlindVias no
 Track width 100µm minimum on all signal layers
 Track distance 100µm minimum on all signal layers
 Solder Mask double sided, fotosensitive, thickness 20µm
 Plugging no
 Edge Metallisation no
 UL possible

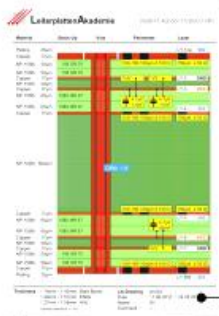
Aufbau für einen starren 8-Lagen-Multilayer



Electromagnetical & physical Properties

MultiPowerSystem	2 pairs GND + VCC with 50µm distance
Impedance	50 Ω single ended 100 Ω differentiell
Decoupling	1 pair 4.7µF + 1.5nF on top (GND to 1V8) 1 pair 4.7µF + 10nF on top (GND to 1V2) 1 pair 4.7µF + 150nF on bottom (GND to 3V3)
Power Integrity	
Signal Integrity	
EMI	
Thermal properties	

Impedance calculated with POLAR Si8000 V9.02.00
Decoupling Capacitors are calculated with DCC Silent V.4.0

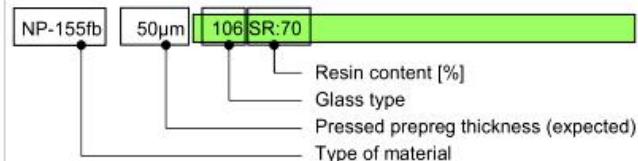


Statistic Values

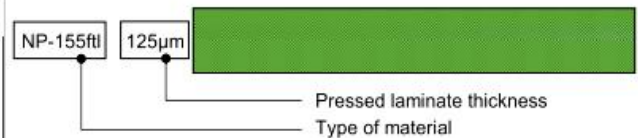
Copper volume + weight	Powerplane	Copper thickness 17µm Density 80%
	136 mm ³ /dm ² 1.21 gr/dm ²	
	Signallayer	Copper thickness 17µm Density 40%
	136 mm ³ /dm ² 0.68 gr/dm ²	
	Signallayer	Copper thickness 42µm Density 40%
	136 mm ³ /dm ² 1.68 gr/dm ²	
Dielectric weight	NP-155f	Reference thickness 100µm 2.0 gr/dm ²
Summary	32.76 gr/dm ²	at 1.40mm PCB-thickness
Via copper weight	0.017 gr /100 vias at drill diameter 200µm	
Via copper volume	1.92 mm ³ /100 vias	
Via copper surface	88 mm ² /100 vias	



Prepreg



Laminate / Core for rigid parts of the PCB



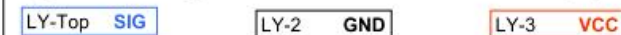
Basic copper on laminates or copper foils pressed on the surface



Galvanic deposited copper on the surface and in plated vias

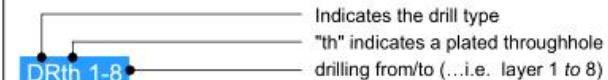


Layer names for organisation, communication and data integrity

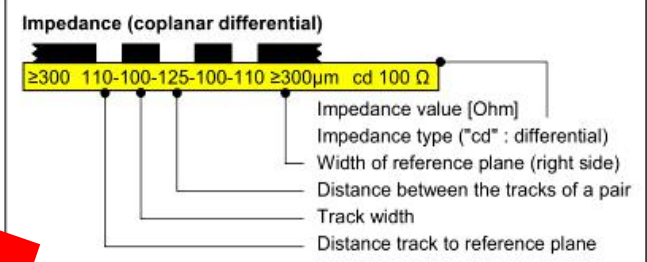
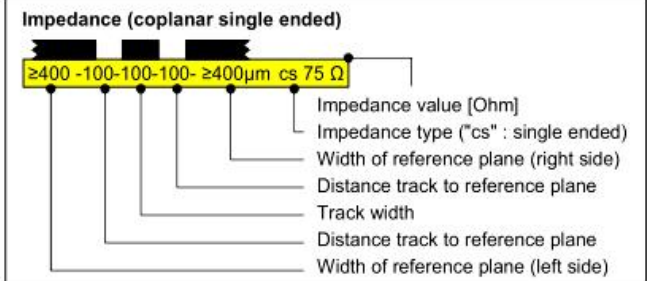
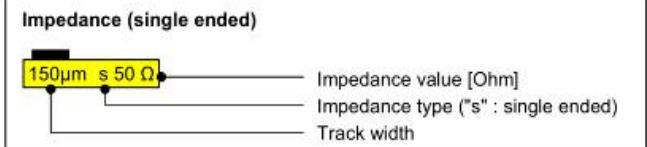
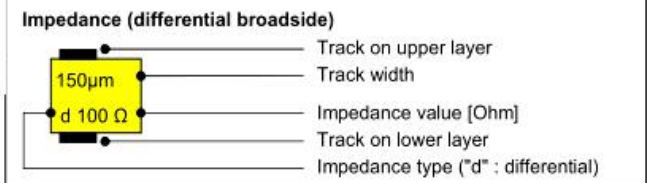
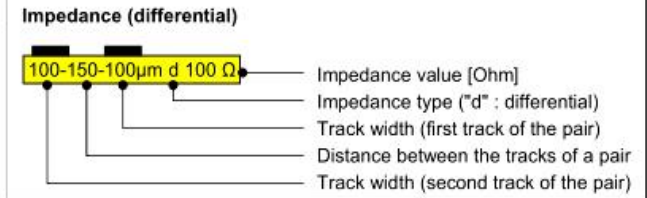
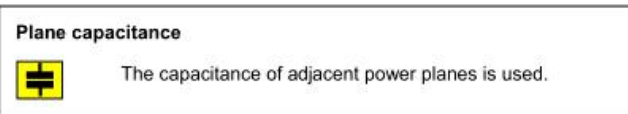
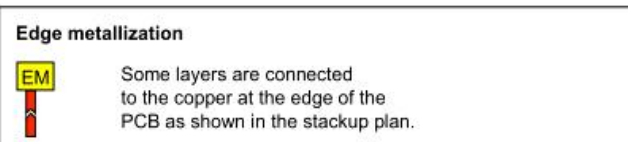
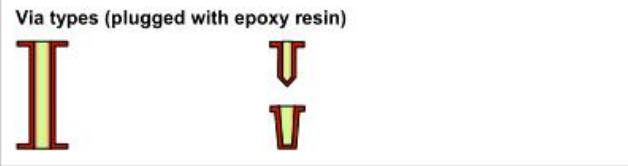
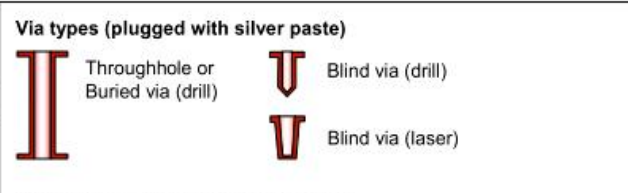
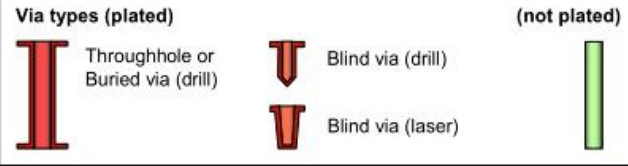


"LY" stands for "Layer" and is followed by the layers number. The first layer ist called "TOP". The last layer is called "BOT". All other layers have a number. **Blue** frames and "SIG" indicate signal layers. **Black** frames and "GND" indicate ground layers. **Red** frames and "VCC" indicate power layers.

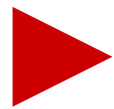
Drill names



Aufbau für einen starren 8-Lagen-Multilayer



Anhang



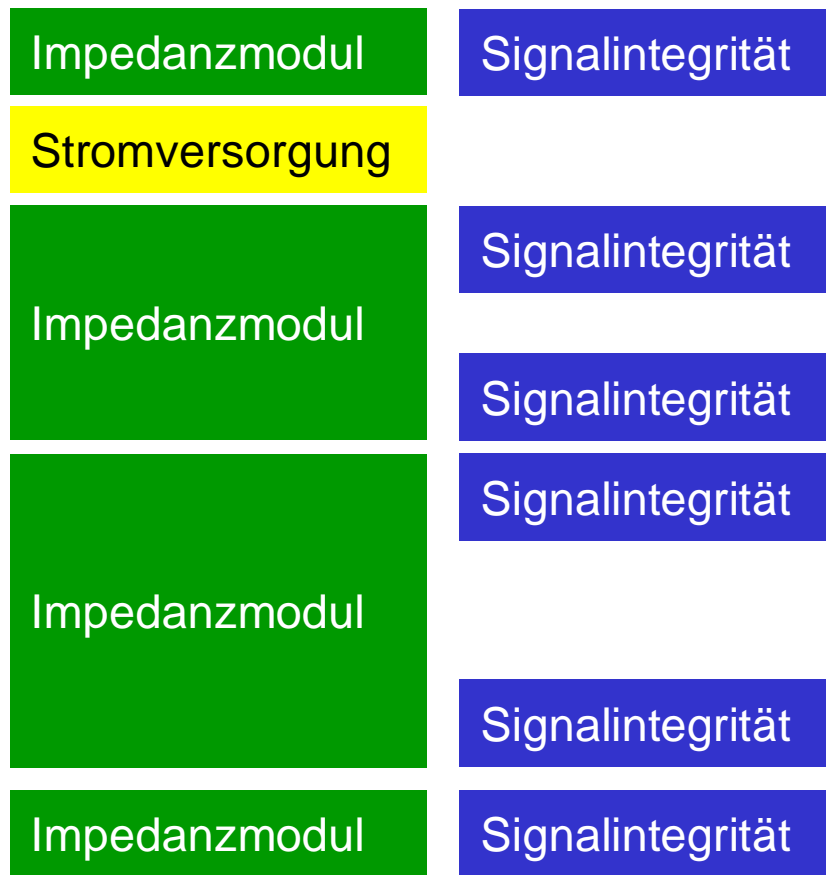
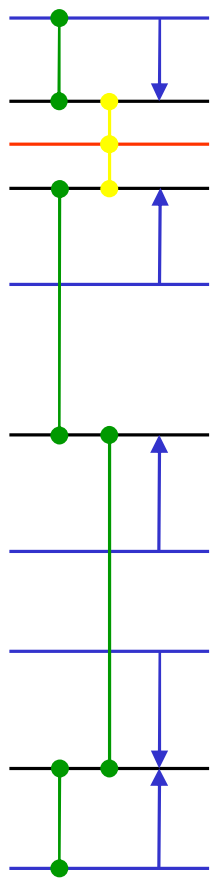
Funktionsmoduln

Funktionsmodul in einem Multilayer

Die Konstruktion von *Funktionsräumen* in einem Multilayersystem.

Material	Stack-Up	Vias	Parameter	Layer
Plating	25µm			LY-Top SIG
Copper	17µm			
NP-155fb	50µm	106 SR:70	100-150-100µm d 100 Ω	150µm s 50 Ω
NP-155fb	50µm	106 SR:70		
Copper	17µm			LY-2 GND
NP-155ftl	50µm			
Copper	17µm			LY-3 VCC
NP-155fb	50µm	106 SR:70		
Copper	17µm			LY-4 GND
NP-155ftl	200µm			
Copper	17µm			LY-5 SIG
NP-155fb	65µm	1080 MR:67	100-125-100µm d 100 Ω	175µm s 50 Ω
NP-155fb	65µm	1080 MR:67		
NP-155fb	65µm	1080 MR:67		
Copper	17µm			LY-6 GND
NP-155ftl	300µm			
Copper	17µm			LY-7 SIG
NP-155fb	65µm	1080 MR:67	100-110-100µm d 100 Ω	275µm s 50 Ω
NP-155fb	65µm	1080 MR:67	100-110-100µm d 100 Ω	250µm s 50 Ω
Copper	17µm			LY-8 SIG
NP-155ftl	300µm			
Copper	17µm			LY-9 GND
NP-155fb	50µm	106 SR:70		
NP-155fb	50µm	106 SR:70	100-150-100µm d 100 Ω	150µm s 50 Ω
Copper	17µm			
Plating	25µm			LY-Bot SIG

DRth 1-10



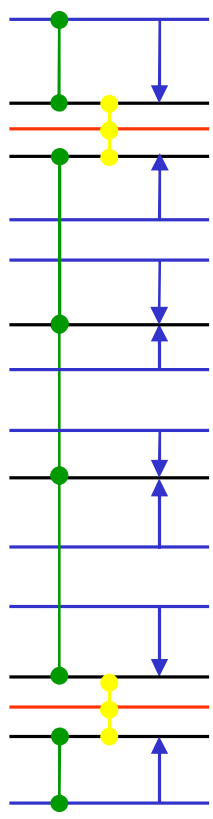
Thickness	1.50mm - 1.70mm Bare Board	LA-Drawing #1030	
	1.58mm - 1.79mm ENIG		Date 09.08.2010
	1.62mm - 1.82mm HAL		Name Wi
	General tolerance +/- 6%		Comment --



Funktionsmodul in einem Multilayer : Starrflex

Die Konstruktion von *Funktionsräumen* in einem starrflexiblen Multilayersystem.

Material	Stack-Up	Vias	Parameter	Layer
	Geometrie auf dem flexiblen Material	120µm s 40 Ω 70µm s 50 Ω	150-100-150µm d 80 Ω 110-100-110µm d 90 Ω 100-135-100µm d 100 Ω	250µm s 40 Ω 160µm s 50 Ω
Plated	20µm			
Plated	15µm			
Copperfoil	9µm			
NP-155fb	50µm			LY-Top SIG
			4.7µF	
NP-155fb	60µm			LY-2 GND
Copper	17µm			LY-3 VCC
NP-155ftl	50µm			LY-4 GND
Copper	17µm			
NP-155fb	50µm			
Copper	17µm			
NP-155ftl	150µm		100-115-100µm d 100 Ω 160-90-160µm d 80 Ω	215µm s 40 Ω 140µm s 50 Ω
Copper	17µm			LY-5 SIG
NP-155fb	60µm			LY-6 SIG
Copperfoil	9µm			
Plated	15µm			
NP-155fb	60µm		100-200-100µm d 100 Ω 120-100-120µm d 80 Ω	175µm s 40 Ω 115µm s 50 Ω
Copper	17µm			LY-7 GND
Polyimide	75µm			LY-8 SIG
Copper	17µm			
Coverlay	25µm			
NP-155fb	60µm		80-150-80µm d 100 Ω 120-120-120µm d 80 Ω	150µm s 40 Ω 100µm s 50 Ω
NP-155fb	60µm			LY-9 SIG
Plated	15µm			keine Vorgabe
Copperfoil	9µm			LY-10 GND
NP-155fb	60µm			
Copper	17µm			
NP-155ftl	150µm		100-115-100µm d 100 Ω 160-90-160µm d 80 Ω	260µm s 40 Ω 170µm s 50 Ω
Copper	17µm			LY-11 SIG
NP-155fb	60µm			LY-12 SIG
Copper	17µm			
NP-155ftl	150µm		100-115-100µm d 100 Ω 160-90-160µm d 80 Ω	260µm s 40 Ω 170µm s 50 Ω
Copper	17µm			LY-13 GND
NP-155fb	50µm			LY-14 VCC
Copper	17µm			LY-15 GND
NP-155fb	60µm			
Copper	17µm			
NP-155ftl	50µm			LY-Bot SIG
Copperfoil	9µm			
Plated	15µm			
Plated	20µm			
	Geometrie auf dem flexiblen Material	100-100-100µm d 100 Ω 150-90-150µm d 80 Ω	150-100-150µm d 80 Ω 110-100-110µm d 90 Ω 100-135-100µm d 100 Ω	160µm s 50 Ω 250µm s 40 Ω



- Impedanzmodul
 - Stromversorgung
 - Impedanzmodul
 - Impedanzmodul
 - Impedanzmodul
 - Stromversorgung
 - Impedanzmodul
- Signalintegrität
 - Signalintegrität
 - Signalintegrität
 - Signalintegrität
 - Signalintegrität
 - Signalintegrität
 - Signalintegrität

Thickness	1.62mm - 1.83mm Bare Board	LA drawing #1221	
	1.64mm - 1.85mm ENIG		Date 25.04.2019
	1.68mm - 1.86mm HAL		Name Wi
	General tolerance +/- 6%		Comment --



Integration technischer Parameter in das CAD-System

LeiterplattenAkademie Ri08T1.40c50-17c600-17#1

Material	Stack-Up	Vias	Parameter	Layer
Plating	25µm			LY-Top SIG
Copper	17µm			
NP-155fb	50µm	106 SR:70	100-150-100µm d 100 Ω	150µm s 50 Ω
NP-155fb	50µm	106 SR:70		
Copper	17µm		1V8	LY-2 GND
NP-155ftl	50µm		1V2	
Copper	17µm			LY-3 VCC
NP-155fb	65µm	1080 MR:67	4.7µF	
			1.5nF	
NP-155fb	65µm	1080 MR:67	4.7µF	
			10nF	
Copper	17µm			LY-4 SIG
			100-150-100µm d 100 Ω	150µm s 50 Ω
NP-155ftl	600µm			DRth 1-8
Copper	17µm		100-150-100µm d 100 Ω	150µm s 50 Ω
NP-155fb	65µm	1080 MR:67	4.7µF	LY-5 SIG
			150nF	
NP-155fb	65µm	1080 MR:67		
Copper	17µm			LY-6 VCC
NP-155ftl	50µm			
Copper	17µm		3V3	LY-7 GND
NP-155fb	50µm			
NP-155fb	50µm	106 SR:70		
NP-155fb	50µm	106 SR:70		
NP-155fb	50µm	106 SR:70	100-150-100µm d 100 Ω	150µm s 50 Ω
Copper	17µm			LY-Bot SIG
Plating	25µm			

Thickness	LA-Drawing
1.16mm - 1.42mm Bare Board	#1024
1.24mm - 1.51mm ENIG	Date 11.06.2010 / 24.05.2016 Wi
1.27mm - 1.55mm HAL	Name Wi
General tolerance +/- 6%	Comment --

© LeiterplattenAkademie 2016 all rights reserved Subject to change Without guarantee



Der *tatsächliche* Lagenaufbau muß mit allen mechanischen und techni-

schen Parametern als Stack-Up im CAD-System hinterlegt sein.

Nur dann wird die virtuelle Welt des CAD-Systems mit der realen Welt korrekt abgeglichen. Die *Simulation* der Schaltungseigenschaften und die zuverlässige Produktion der Leiterplatten ist erst dann möglich.





Danke.

**Herzlichen Dank an den
FED für die erfolgreiche
Arbeit in den zurück-
liegenden Jahrzehnten.**

***Glückauf* für die Zukunft.**

**...und noch eine ange-
nehme Zeit für Sie auf
der 30. FED-Konferenz.**



Anhang





Toleranzen der Enddurchmesser



Bohrungen : Enddurchmesser (dk) / vereinfachte Version

Definition (Metallisierung)

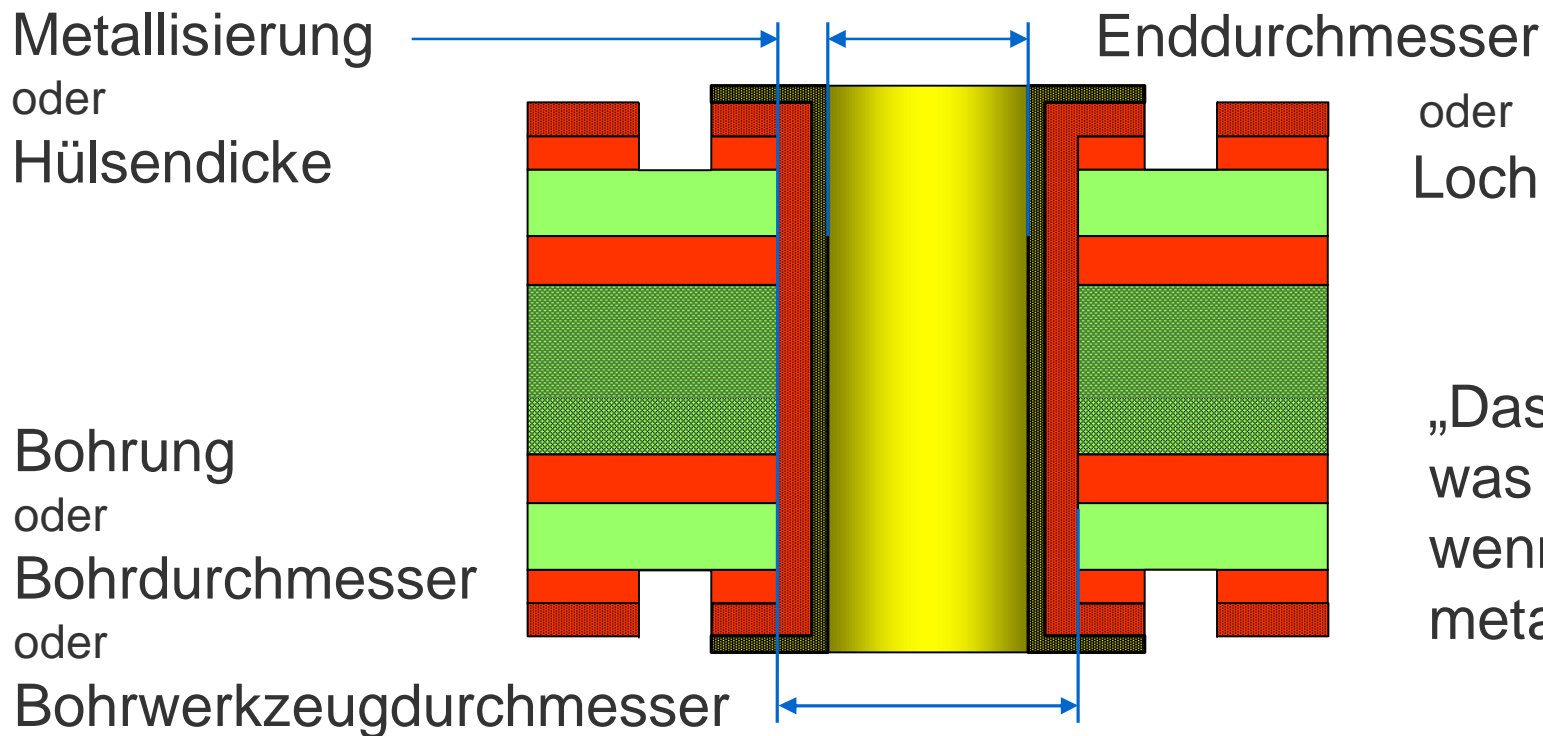
Metallisierung = Kupferdicke + Endoberfläche

Regel (Hülsendicke (dk))

Metallisierung = $0.5 \cdot (\text{Ø Bohrung} - \text{Ø Enddurchmesser})$

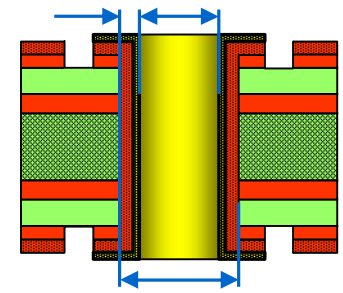
Ø Bohrung = $\text{Ø Enddurchmesser} + (2 \cdot \text{Metallisierung})$

Ø Enddurchmesser = $\text{Ø Bohrung} - (2 \cdot \text{Metallisierung})$



Bohrungen : Enddurchmesser / detaillierte Version 1

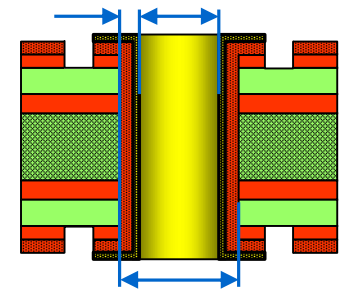
Für die Berechnung des finalen Enddurchmessers müssen einige Parameter überprüft und festgelegt werden.



Parameter	Toleranzen / Vorgaben
Dsmr	Der chemische Desmear-Prozeß trägt von der Hülsenwand gebohrter Löcher 1 bis 2 μ m aufgeschmolzenes Dielektrikum ab.
ENIG	Die Oberfläche ENIG liegt bei 5 μ m mit einer Toleranz von \pm 1 μ m.
HAL	Die Oberfläche HotAirLeveling liegt bei 5 μ m mit einer Toleranz von - 3 bis + 15 μ m.
DKkupfer	Die Toleranz der Hülsenkupferdicke von 20 oder 25 μ m liegt bei - 0 bis + 2 μ m.
BWzg	Nomineller Durchmesser des Bohrwerkzeuges.
BTzgTol	Bohrwerkzeuge haben eine typische Toleranz von - 5 μ m bis + 0 (... - 6 μ m für BWzg > 2.0mm).
BWzgZugabe	Die übliche Bohrwerkzeugzugabe liegt bei 100 μ m.



Bohrungen : Enddurchmesser / detaillierte Version 2



Regel (Enddurchmesser einer Bohrung)

Für den Enddurchmesser eines gebohrten Lochs gilt :

$$\begin{aligned} \text{\textcircled{O}} \text{ Enddurchmesser} &= \text{BWzg} + \text{BWzgZugabe} + \text{BWzgTol} \\ &\quad - 2 \cdot (\text{Dsmr} + \text{DKkupfer} + \text{ENIG}) \quad [\mu\text{m}] \end{aligned}$$

Beispiel (minimaler Enddurchmesser für eine dk-Bohrung / ENIG)

Vorgaben	BWzg	=	1000 μm
	BWzgZugabe	=	100 μm
	BWzgTol	=	- 5 μm
	Dsmr	=	2 μm
	DKkupfer	=	27 μm
	ENIG	=	6 μm

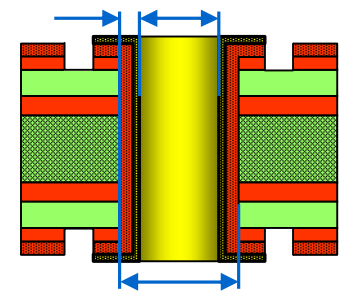
Dann ist :

$$\begin{aligned} \text{\textcircled{O}} \text{ Enddurchmesser}_{\text{min}} &= 1000 + 100 - 5 - 2 \cdot (2 + 27 + 6) \quad [\mu\text{m}] \\ &= \underline{\underline{1025\mu\text{m}}} \end{aligned}$$

Bei einer CAD-Vorgabe von 1.00mm für eine **dk- Bohrung** hat der minimale Enddurchmesser die Toleranz - 0 bis + 25 μm .



Bohrungen : Enddurchmesser / detaillierte Version 3



Beispiel (maximaler Enddurchmesser für eine dk-Bohrung / ENIG)

Vorgaben	BWzg	= 1000µm	Dsmr	= 1µm
	BWzgZugabe	= 100µm	DKkupfer	= 25µm
	BWzgTol	= 0µm	ENIG	= 4µm

$$\begin{aligned}\text{Ø Enddurchmesser}_{\max} &= 1000 + 100 - 0 - 2 \cdot (1 + 25 + 4) && [\mu\text{m}] \\ &= \underline{1040\mu\text{m}}\end{aligned}$$

Bei einer CAD-Vorgabe von 1.00mm für eine **dk-Bohrung** hat der maximale Enddurchmesser die Toleranz - 0 bis + 40µm.

Beispiel (minimaler Enddurchmesser für eine ndk-Bohrung)

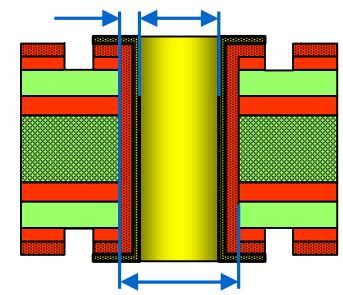
Vorgaben	BWzg	= 2600µm	Dsmr	= 0µm
	BWzgZugabe	= 50µm	DKkupfer	= 0µm
	BWzgTol	= - 6µm	ENIG/HAL	= 0µm

$$\begin{aligned}\text{Ø Enddurchmesser}_{\min} &= 2600 + 50 - 6 - 2 \cdot (0 + 0 + 0) && [\mu\text{m}] \\ &= \underline{2644\mu\text{m}}\end{aligned}$$

Bei einer CAD-Vorgabe von 2.60mm für eine **ndk-Bohrung** hat der minimale Enddurchmesser die Toleranz - 0 bis + 44µm.



Bohrungen : Enddurchmesser / detaillierte Version 4



Beispiel (minimaler Enddurchmesser für eine dk-Bohrung / HAL)

Vorgaben	BWzg	= 1000µm	Dsmr	= 2µm
	BWzgZugabe	= 100µm	DKkupfer	= 27µm
	BWzgTol	= - 5µm	HAL	= 20µm

$$\begin{aligned}\text{Ø Enddurchmesser}_{\min} &= 1000 + 100 - 5 - 2 \cdot (2 + 27 + 20) \quad [\mu\text{m}] \\ &= \underline{997\mu\text{m}}\end{aligned}$$

Bei einer CAD-Vorgabe von 1.00mm für eine **dk-Bohrung** hat der minimale Enddurchmesser die Toleranz - 3 bis + 0µm.

Beispiel (maximaler Enddurchmesser für eine dk-Bohrung / HAL)

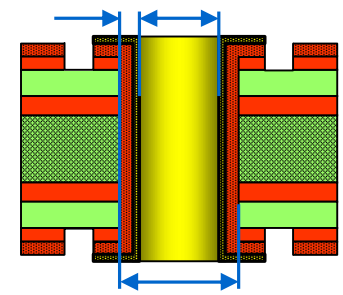
Vorgaben	BWzg	= 1000µm	Dsmr	= 1µm
	BWzgZugabe	= 100µm	DKkupfer	= 25µm
	BWzgTol	= 0µm	HAL	= 2µm

$$\begin{aligned}\text{Ø Enddurchmesser}_{\max} &= 1000 + 100 - 0 - 2 \cdot (1 + 25 + 2) \quad [\mu\text{m}] \\ &= \underline{1054\mu\text{m}}\end{aligned}$$

Bei einer CAD-Vorgabe von 1.00mm für eine **dk-Bohrung** hat der maximale Enddurchmesser die Toleranz - 0 bis + 54µm.



Bohrungen : Enddurchmesser / detaillierte Version 5



Beispiel (minimaler Enddurchmesser für eine dk-Bohrung / ENIG)

Vorgaben	BWzg	= 1000µm	Dsmr	= 2µm
	BWzgZugabe	= 100µm	DKkupfer	= 22µm
	BWzgTol	= - 5µm	ENIG	= 6µm

$$\begin{aligned}\text{Ø Enddurchmesser}_{\min} &= 1000 + 100 - 5 - 2 \cdot (2 + 22 + 6) && [\mu\text{m}] \\ &= \underline{1035\mu\text{m}}\end{aligned}$$

Bei einer CAD-Vorgabe von 1.00mm für eine **dk-Bohrung** hat der minimale Enddurchmesser die Toleranz - 0 bis + 35µm.

Beispiel (maximaler Enddurchmesser für eine dk-Bohrung / ENIG)

Vorgaben	BWzg	= 1000µm	Dsmr	= 1µm
	BWzgZugabe	= 100µm	DKkupfer	= 20µm
	BWzgTol	= 0µm	ENIG	= 4µm

$$\begin{aligned}\text{Ø Enddurchmesser}_{\max} &= 1000 + 100 - 0 - 2 \cdot (1 + 20 + 4) && [\mu\text{m}] \\ &= \underline{1050\mu\text{m}}\end{aligned}$$

Bei einer CAD-Vorgabe von 1.00mm für eine **dk-Bohrung** hat der maximale Enddurchmesser die Toleranz - 0 bis + 50µm.





Multilayerdokumentation

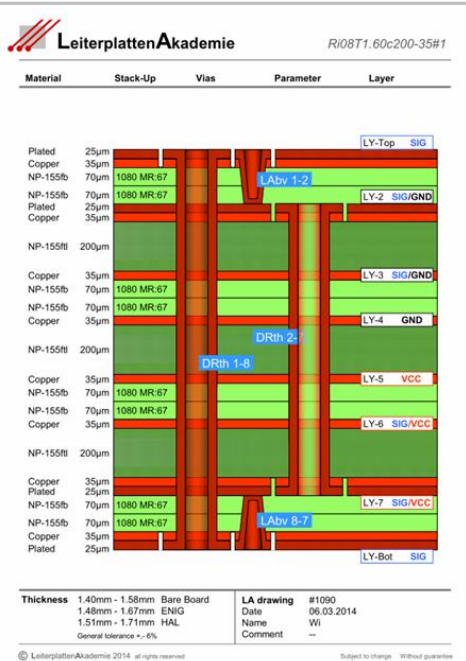
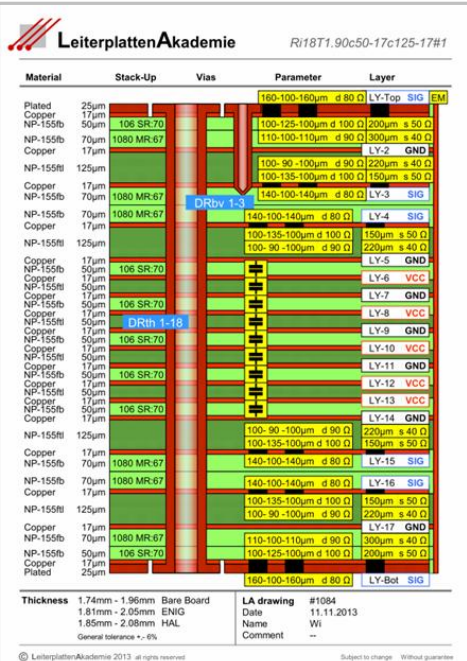
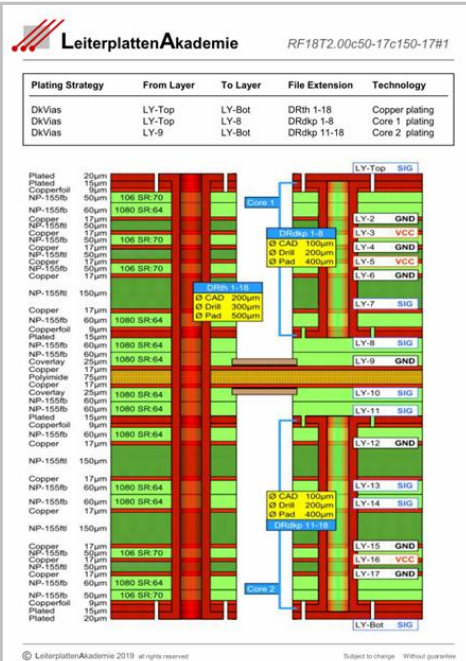
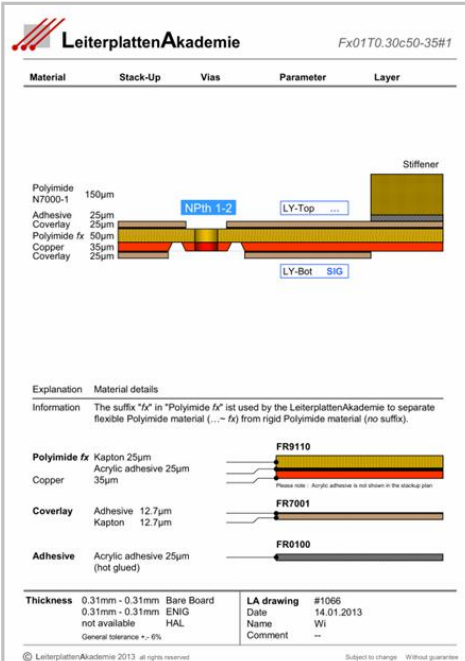
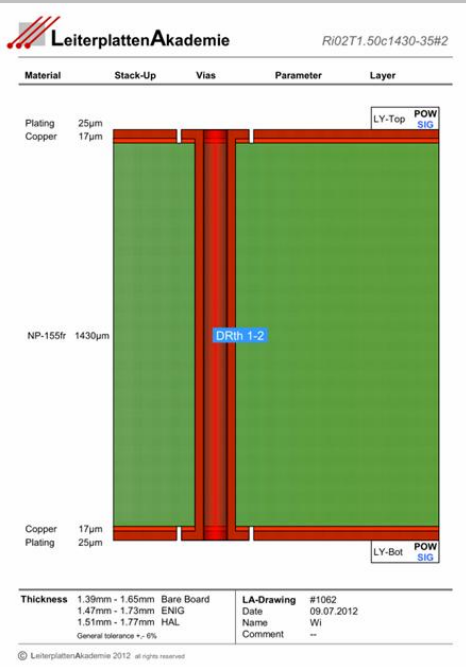
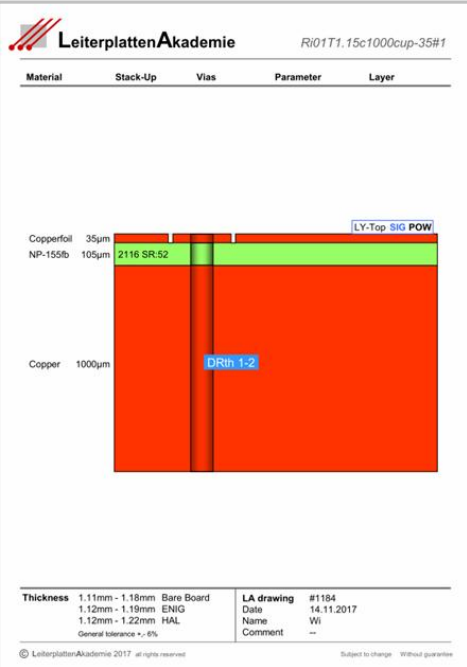


Varianz der Baupläne

Die Vielfalt der Lagenaufbauten

Die Evolution der elektronischen Baugruppen hatte und hat einen deutlichen Einfluß auf die variable Konstruktion und Produktion von Leiterplatten.

- Physikalische, mechanische und wirtschaftliche Aspekte müssen bedacht werden.



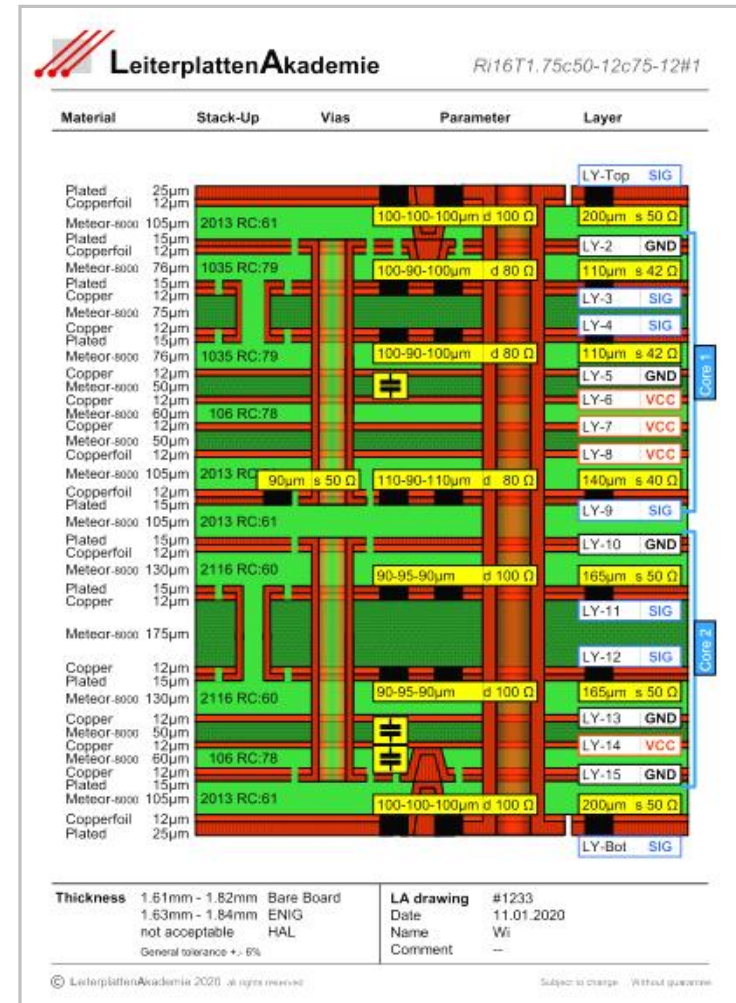
Die Aufgabe einer Leiterplatte

Leiterplatten als Basis einer Baugruppe

Leiterplatten sind Trag- und Montageflächen für die elektromechanischen Komponenten einer Baugruppen. Die während des CAD-Layouts konstruierten Leiterbahnverbindungen sorgen für den kommunikativen Signaltransfer, die Powerverbindungen für die Versorgung der Komponenten mit Energie.

- ▶ Das Dielektrikum des Basismaterials bestimmt die Signallaufzeit.
- ▶ Die Dicken der Kupferschichten sind verantwortlich für die Stromtragfähigkeit und die Entwärmungskapazität.
- ▶ Flächige Powerplanes sind Referenz für den Signalrückstrom und die Impedanz, nivellieren die Betriebswärme, verbessern die Funktion der Hardware *und* Software und erhöhen die Lebensdauer der Baugruppe.

Das ist eigentlich schon alles.



Integration in den Projektablauf

Analysen auf dem Schaltplanlevel

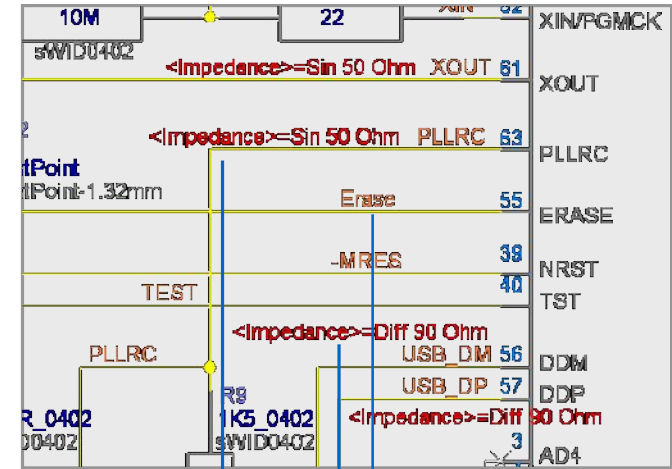
Die möglichst umfangreiche Simulation einer Schaltung *noch vor* der Erstellung des CAD-Layouts reduziert die Wahrscheinlichkeit einer Revision und eines Zeitverlusts.

Eine Schaltplan- und CAD-Layout-Korrektur inklusive neuer Leiterplatten- und Baugruppenmuster provoziert Kosten und verzögert den Marktzugang.

- Idealerweise liegt der Bauplan bereits zum Zeitpunkt der Schaltungssimulation vor.

Ist das Basismaterial bekannt, dann sind der ϵ_r -Wert für die Simulation der Signallaufzeit und das $\tan \delta$ für den Verlust an Signalübertragungsenergie bekannt.

Die vorzeitige Zuordnung von GND, VCC und SIG erlaubt in den Constraints bereits die Layervorgabe für kritische Signale (...Clock, USB, RAM, Steuersignale, Sensorik...).



LeiterplattenAkademie Ri10T1.60c100-17c250-17#1

Material	Stack-Up	Vias	Parameter	Layer
Plated Copper	25µm			LY-Top SIG EM
NP-155fb	17µm			
NP-155fb	50µm		100-125-100µm d 100 Ω	200µm s 50 Ω
NP-155fb	70µm		10-100-110µm d 90 Ω	
Copper	17µm			LY-2 GND
NP-155fb	100µm			
Copper	17µm			LY-3 VCC
NP-155fb	70µm		15-100-115µm d 90 Ω	
NP-155fb	70µm		100-140-100µm d 100 Ω	155µm s 50 Ω
Copper	17µm			LY-4 SIG
NP-155fb	250µm			
Copper	17µm			LY-5 SIG
NP-155fb	70µm		100-140-100µm d 100 Ω	155µm s 50 Ω
NP-155fb	70µm		115-100-115µm d 90 Ω	
Copper	17µm			LY-6 GND
NP-155fb	250µm			
Copper	17µm		100-100-100µm d 90 Ω	
NP-155fb	70µm		100-155-100µm d 100 Ω	140µm s 50 Ω
Copper	17µm			LY-7 SIG
NP-155fb	70µm			
NP-155fb	100µm			LY-8 VCC
Copper	17µm			LY-9 GND
NP-155fb	70µm		110-100-110µm d 90 Ω	
NP-155fb	50µm		100-125-100µm d 100 Ω	200µm s 50 Ω
Plated Copper	25µm			LY-Bot SIG

DRth 1-10

Thickness	1.44mm - 1.62mm	Bare Board	LA-Drawing	#1038
	1.52mm - 1.71mm	ENIG	Date	24.02.2011
	1.55mm - 1.75mm	HAL	Name	Wi
			Comment	--

© LeiterplattenAkademie 2011 all rights reserved

Kommunikation ist alles 1

Wer sollte den Bauplan erstellen ?


Die Erstellung eines Bauplans ist letztlich eine *kommunikative* Aufgabengstellung für die Technologen, den Leiterplattenhersteller, den Baugruppenproduzenten und die wirtschaftlichen Disponenten.

- ▶ Die physikalische Funktion der Baugruppe steht im Vordergrund.

Eine erfolgreiche wirtschaftliche Effektivität und ein positives Image für das Unternehmen leistet eine Leiterplatte dann, wenn sie die Physik als Partner respektiert.

- ▶ Die Projektierung des Bauplans für eine Leiterplatte liegt in den Händen der Technologen.

Die Technologen müssen vorgeben, welche technischen Parameter das Basismaterial erfüllen muß, welche Geometrien umgesetzt werden müssen und welche Kontaktierungsstrategie erforderlich sein wird. *Geht das ?*

 **LeiterplattenAkademie** Ri14T2.35c150-17c150-70#1

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm		100-100-100µm d 100 Ω	LY-Top SIG
Copper	17µm			
R-1850D	74µm	1080 SR-64	100-190-100µm d 120 Ω	250µm ± 50 Ω
R-1850D	74µm	1080 SR-64		
Copper	17µm			LY-2 GND
R-1755D	150µm			
Copper	17µm		100-130-100µm d 100 Ω	170µm ± 50 Ω
R-1850D	74µm	1080 SR-64		LY-3 SIG
R-1850D	74µm	1080 SR-64		LY-4 SIG
Copper	17µm		100-130-100µm d 100 Ω	170µm ± 50 Ω
R-1755D	150µm			
Copper	17µm			LY-5 GND
R-1850D	74µm	1080 SR-64		
R-1850D	74µm	1080 SR-64		LY-6 VCC
Copper	70µm			
R-1755D	150µm	DRth 1-14		
Copper	70µm			LY-7 GND
R-1850D	74µm	1080 SR-64		
R-1850D	74µm	1080 SR-64	100-130-100µm d 100 Ω	170µm ± 50 Ω
Copper	17µm			LY-8 SIG
R-1755D	150µm			
Copper	17µm			LY-9 SIG
R-1850D	74µm	1080 SR-64	100-130-100µm d 100 Ω	170µm ± 50 Ω
R-1850D	74µm	1080 SR-64		LY-10 GND
Copper	17µm			
R-1755D	150µm		100-130-100µm d 100 Ω	170µm ± 50 Ω
Copper	17µm			LY-11 SIG
R-1850D	74µm	1080 SR-64		
R-1850D	74µm	1080 SR-64		LY-12 SIG
Copper	17µm		100-130-100µm d 100 Ω	170µm ± 50 Ω
R-1755D	150µm			
Copper	17µm			LY-13 GND
R-1850D	74µm	1080 SR-64		
R-1850D	74µm	1080 SR-64	100-190-100µm d 120 Ω	250µm ± 50 Ω
Copper	17µm			
Plated	25µm		100-100-100µm d 100 Ω	LY-Bot SIG

Thickness	2.14mm - 2.42mm Bare Board	LA drawing	#1158
	2.22mm - 2.51mm ENIG	Date	15.08.2016
	2.26mm - 2.54mm HAL	Name	Wi
	General tolerance +/- 6%	Comment	-

© LeiterplattenAkademie 2016 all rights reserved Subject to change Without guarantee

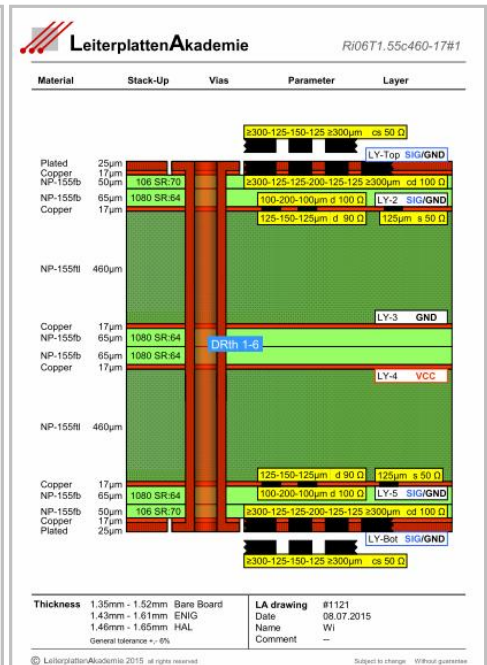
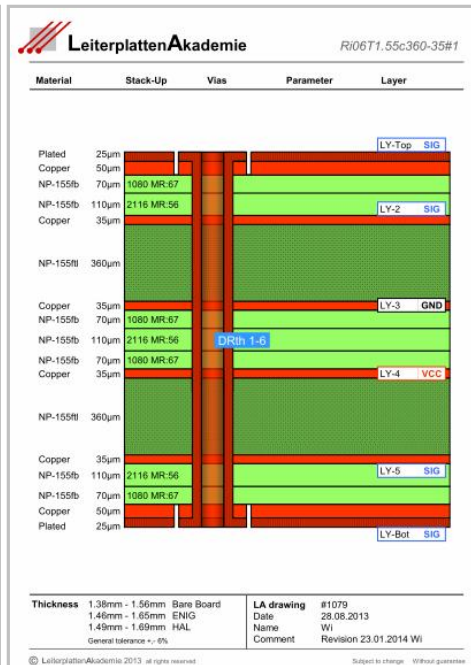
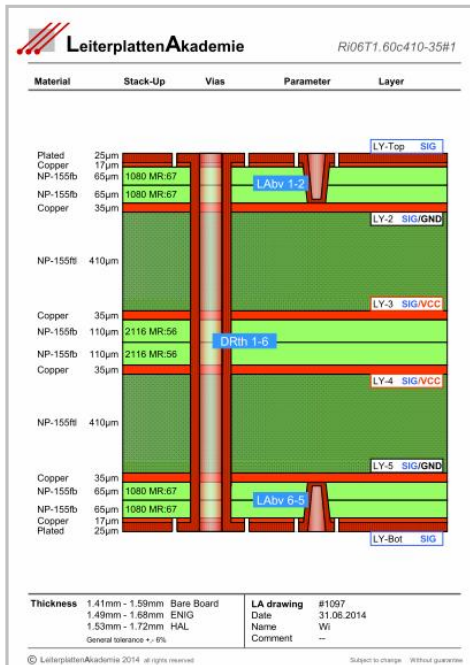
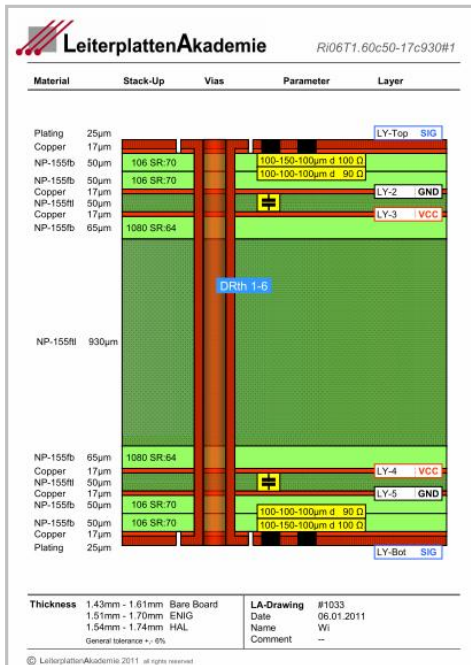


Kommunikation ist alles 2

Ist die Leiterplattentechnologie leicht überschaubar ?

Nein, das ist sie nicht. Pauschal gibt es zwei Optionen :

- 1 Der Technologie legt seinem Leiterplattenhersteller den Bauplan vor. Damit dokumentiert er seine geplanten Anforderungen.
 - 2 Der Leiterplattenhersteller legt dem Technologen einen Bauplan vor. Damit dokumentiert er übliche und oft bereits bekannte Lösungen.
- Erst das gegenseitige abwägen, prüfen, korrigieren und anpassen führt zu einer für beide Partner akzeptablen Lösung.



Dokumentation des Bauplans 1

Welche Informationen muß ein Bauplan enthalten ?

- ▶ Die elementaren technischen, physikalischen und logistischen Qualitäten müssen bildlich dokumentiert sein. Texte sind bevorzugt in Englisch anzugeben.

Kupferdicke
(DK galvanisch, Folie, Basiskupfer)

Materialtyp

Laminatdicke

Prepregdicke
(mit Glasgewebe und Harzgehalt)

Enddicke

Material	Stack-Up	Vias	Parameter	Layer
Plated Copper	25µm			LY-Top SIG
I-Tera MT40	114µm		225-135-225µm d 100 Ω	450µm s 50 Ω
I-Tera MT40	114µm			LY-2 GND
I-Tera MT40	102µm			LY-3 SIG
I-Tera MT40	114µm		100-100-100µm d 100 Ω	175µm s 50 Ω
I-Tera MT40	610µm		DRth 1-6 Ø CAD 150µm Ø Drill 250µm Ø Pad 450µm	
I-Tera MT40	114µm		100-100-100µm d 100 Ω	175µm s 50 Ω
I-Tera MT40	102µm			LY-4 SIG
I-Tera MT40	114µm			LY-5 GND
I-Tera MT40	114µm			
Plated	25µm			LY-Bot VCC

Thickness	1.55mm - 1.65mm Bare Board	LA drawing	#1235
	1.57mm - 1.77mm ENIG	Date	22.04.2020
	1.61mm - 1.81mm HAL	Name	Wi
	General tolerance +/- 6%	Comment	--

Artikelname

Impedanzen
(mit Leiterbahnbreiten, -abständen und Impedanztyp)

Zuordnung der Datafiles

Via
(mit CAD-Vorgabe, Loch- und Pad-Ø)

Zuordnung der Qualitäten SIG, GND und VCC



Dokumentation des Bauplans 2

Wofür werden diese Informationen benötigt ?

Artikelname ...sorgt für eine verbindliche Zuordnung des Bauplans zum CAD-Layout und steuert den Wareneinkauf.

Material	Stack-up	View	Parameter	Layer
Prepreg	0.25mm			1
Copper	18µm			2
1-Tree strich 11µm				3
1-Tree strich 11µm				4
Copper	18µm			5
1-Tree strich 11µm				6
Copper	18µm			7
1-Tree strich 11µm				8
1-Tree strich 11µm				9
Copper	18µm			10
Prepreg	0.25mm			11

Thickness: 1.50mm - 1.65mm - Core Board
0.20mm - 0.25mm - DRAG
0.40mm - 0.45mm - HVL
0.50mm - 0.55mm - HVL
0.60mm - 0.65mm - HVL

LA Drawing: #120
Date: 22.09.2020
Drafter: WI
Comment: -

Materialtyp, Laminatdicke, Prepregdicke und Kupferdicke ...fixieren die physikalische Qualität der Leiterplatte und ermöglichen der CAM des Leiterplattenherstellers eine fachgerechte Überprüfung des Lagenaufbaus hinsichtlich Delamination usw.

Impedanzen ...fixieren für CAD das Routing und erlauben CAM die Nachberechnung und die Generierung eines Testcoupons.

Datafiles ...schaffen eine organisierte und nachprüfbare Zuordnung der CAD-Daten zum Lagenaufbau der Leiterplatte.

Via ...gibt Routingparameter für CAD vor und fixiert das notwendige AspektRatio für das zuverlässige galvanische Kontaktieren.

SIG, GND und VCC ...fixieren die Strategie für das CAD-Layout.

Enddicke ...dient der Überprüfung des Produktionsergebnisses nach dem Verpressen sowie im Warenausgang und im Wareneingang.



Dokumentation des Bauplans 3

Reichen diese Informationen aus ?

Nein, das tun sie leider nicht. Es werden mehr Informationen benötigt.

LeiterplattenAkademie Ri06T1.65c102-17c610-17#1

Material per PCB	#	Glass	Resin	Pressed Thickness	Company	
Prepreg	I-Tera® MT40	6	1078	SR:75%	114µm +/- 10µm	Isola
Core	I-Tera® MT40	2	1035	SR:66%	102µm +/- 10µm	Isola
Core	I-Tera® MT40	1	3313	SR:61%	610µm +/- 61µm	Isola

Main Material Properties I-Tera® MT40

IPC specification sheet	IPC-4101C / 102
Epoxy system	FR4
Curing agent	phenolic
Flame retardant mech.	RoHS compliant Bromine
UL certificate	UL94 V-0
Dielectric value	3.35@20GHz
Loss tangent	0.003@20GHz
Tg	200° by DSC
CTE x/y/z	before Tg : 12/12/ maximum 55 ppm after Tg : 12/12/ maximum 290 ppm
Electrical strength	45.4 kV/mm minimum specified by IPC
Adhesive strength	1.00 N/mm minimum for copper foils >17µm

Isola Data sheet / April 2020 not found in the documentation

PCB & CAD-Layout Specification

PCB class	Rigid
Cores mounted	Inside
Copper thickness	25µm for throughhole barrels
Throughhole vias	CAD : 150µm diameter, 450µm pad minimum Drill : 250µm tool diameter minimum
AspectRatio	1:7 or better is necessary
BuriedVia	no
BlindVia	no
Track width	100µm minimum on all signal layers
Track distance	100µm minimum on all signal layers
Solder mask	double sided, fotosensitive, thickness 20µm
Plugging	no
Edge metallization	no
UL	yes

© LeiterplattenAkademie 2020 all rights reserved Subject to change Without guarantee

Die **IPC-Spezifikation** sichert die internationale Materialakzeptanz. **Dielektrikum** und **Härter** entscheiden über die RoHs-Zuordnung und die späteren *Entsorgungsvorgaben*. Das **UL-Zertifikat** ist wichtig für die Flammbarkeitsklasse. Das **Dielektrikum** gibt Auskunft über die Signalgeschwindigkeit und der **tan δ** über den Energieverlust. Der **Tg** markiert die Harzelastizität und **CTE** gibt den Koeffizienten für die Materialausdehnung an. Die **Durchschlagsfestigkeit** markiert die Strombelastbarkeit und die **Cu-Klebkraft** die Kupferhaftung auf dem Dielektrikum.



Dokumentation des Bauplans 4

Reichen die Informationen jetzt aus ?

Nein, leider immer noch nicht. Es werden mehr Informationen benötigt.

LeiterplattenAkademie Ri06T1.65c102-17c610-17#1

Material per PCB	#	Glass	Resin	Pressed Thickness	Company	
Prepreg	I-Tera® MT40	6	1078	SR:75%	114µm +/- 10µm	Isola
Core	I-Tera® MT40	2	1035	SR:66%	102µm +/- 10µm	Isola
Core	I-Tera® MT40	1	3313	SR:61%	610µm +/- 61µm	Isola

Main Material Properties I-Tera® MT40

IPC specification sheet	IPC-4101C / 102
Epoxy system	FR4
Curing agent	phenolic
Flame retardant mech.	RoHS compliant Bromine
UL certificate	UL94 V-0
Dielectric value	3.35@20GHz
Loss tangent	0.003@20GHz
Tg	200° by DSC
CTE x/y/z	before Tg : 12/12/ maximum 55 ppm after Tg : 12/12/ maximum 290 ppm
Electrical strength	45.4 kV/mm minimum specified by IPC
Adhesive strength	1.00 N/mm minimum for copper foils >17µm

Isola Data sheet / April 2020 not found in the documentation

PCB & CAD-Layout Specification

PCB class	Rigid
Cores mounted	Inside
Copper thickness	25µm for throughhole barrels
Throughhole vias	CAD : 150µm diameter, 450µm pad minimum Drill : 250µm tool diameter minimum
AspectRatio	1:7 or better is necessary
BuriedVia	no
BlindVia	no
Track width	100µm minimum on all signal layers
Track distance	100µm minimum on all signal layers
Solder mask	double sided, fotosensitive, thickness 20µm
Plugging	no
Edge metallization	no
UL	yes

© LeiterplattenAkademie 2020 all rights reserved Subject to change Without guarantee

Jeder Bauplan, der pauschal vorgelegt werden kann, formuliert und definiert bereits gleichzeitig eine **allgemeine Spezifikation** für die Leiterplatte.

Mit der Leiterplattenklasse werden die Optionen auf eine Kontaktierungsstrategie festgelegt.

Die Dicke des **Hülsenkupfers** ist maßgebend für die Stromtragfähigkeit, den Signaltransfer und die Entwärmung.

Die Vorgabe obliegt dem Technologen und ist unabhängig von einer IPC-Klassifizierung.

Die **minimalen Routinggeometrien** sind essentielle Vorgaben für das CAD-Layout.

Damit ist die Spezifikation vordefiniert.

Dokumentation des Bauplans 5

Wer benötigt denn nun einen Bauplan ?

- ▶ *Alle*, die in das Projekt für eine elektronische Baugruppe eingebunden sind, benötigen einen Bauplan.

Schaltplanerstellung	Die Simulation der Schaltungsfunktion kann präziser durchgeführt werden.
CAD-Layout	Die wichtigsten geometrischen (...Via, Leiterbild) und räumlichen Vorgaben (...Lagenanzahl, SIG-, GND-, VCC-Zuordnung) sind geklärt.
Leiterplattenhersteller	Die Anforderungen an die Produktion (...Basismaterial, Preßzyklen, Kontaktierungsstrategie, Leiterbildgeometrie) sind geklärt.
Baugruppenproduzent	Der Aufwand (...Bauformen, Aufbau- und Verbindungstechnologie, Temperaturbelastbarkeit) und die Risiken sind geklärt.
Kostendisposition	Die Kosten für die Leiterplattenfertigung und die Baugruppenproduktion sind (...weitestgehend) geklärt.





Fehler in der CAD-Datenbank und im CAD-Layout

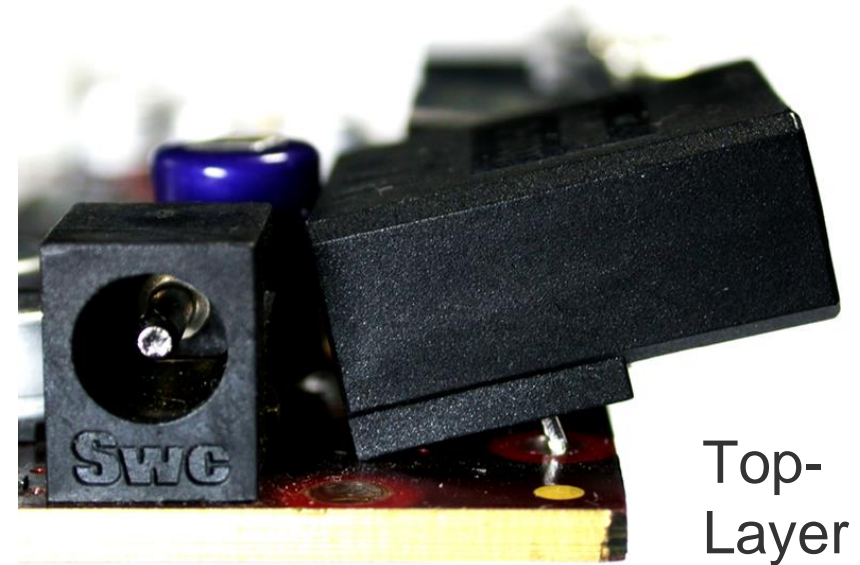
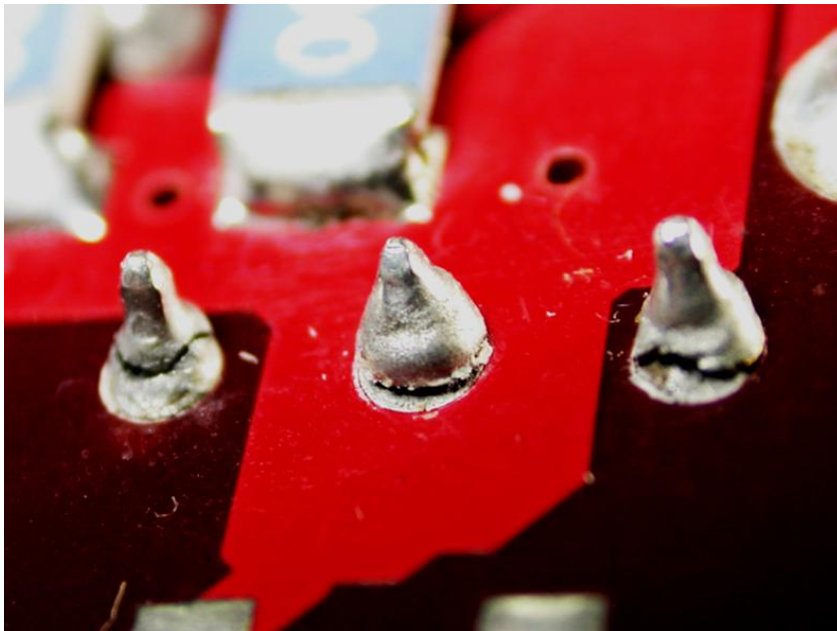


NDKs statt DKs

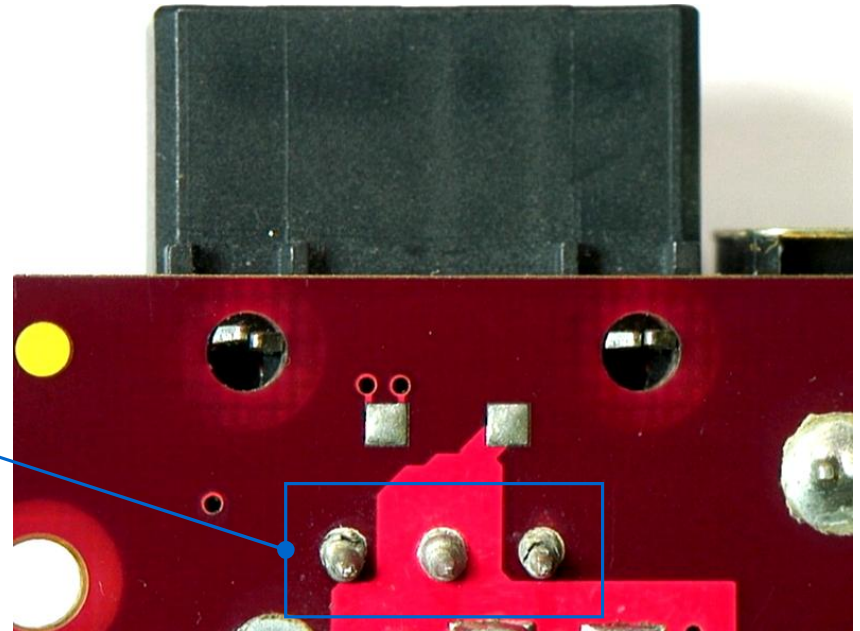
Das Kabelgehäuse wird beim Wellenlöten hochgedrückt, sodaß die anzulötenden Kontakte brechen.

In der CAD-Bibliothek hätten die Bohrungen für die Haltestege entweder als DKs ausgeführt, oder, als NDKs, mit einem kleinen Lochdurchmesser versehen werden müssen.

Bruch der Kontakte



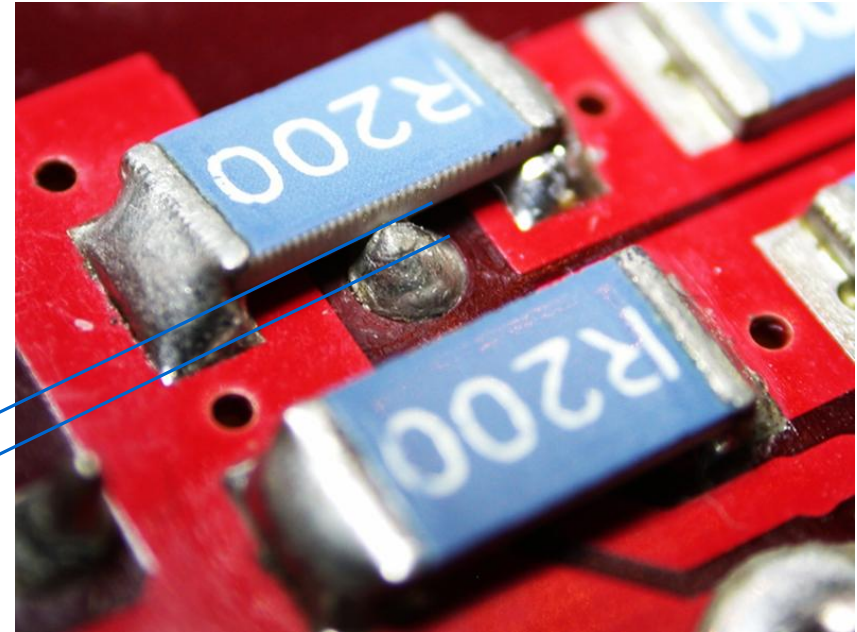
Bottom-Layer



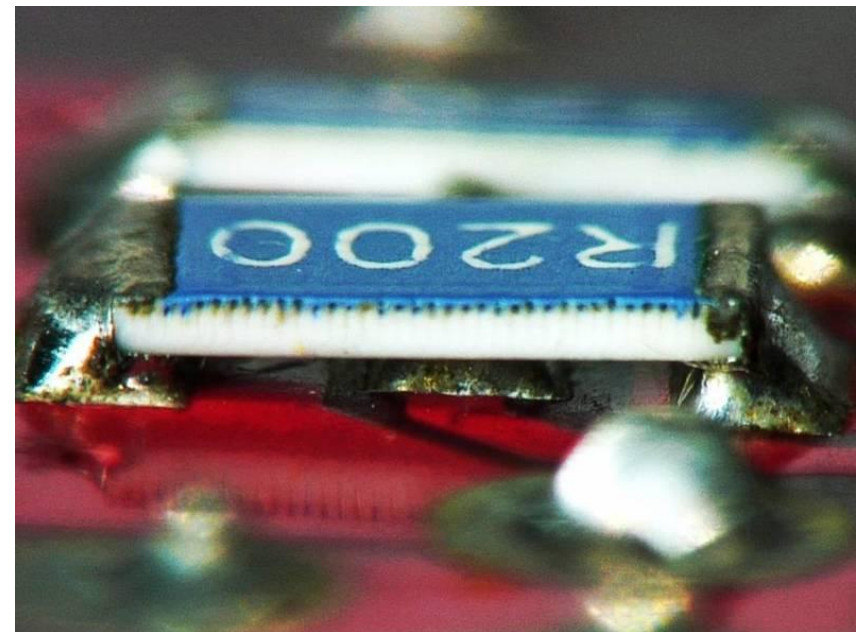
THD- und SMD-Bestückung

Regel (Bauteilplatzierung)

Zwischen der Tangente des Drahtes eines THDs und dem Körper eines SMDs muß ein Mindestabstand von $800\mu\text{m}$ eingehalten werden.



Konflikt zwischen THDs / SMDs



Das gilt auch und gerade dann, wenn THD und SMD auf unterschiedlichen Layern platziert sind. Ebenfalls gilt das für Embedded Components.

Beispiel (Konflikt THD/SMD)

Der SMD-Widerstandes wird beim Bestücken verschoben, weil der Draht des bereits bestückten THDs die korrekte Platzierung nicht ermöglicht.



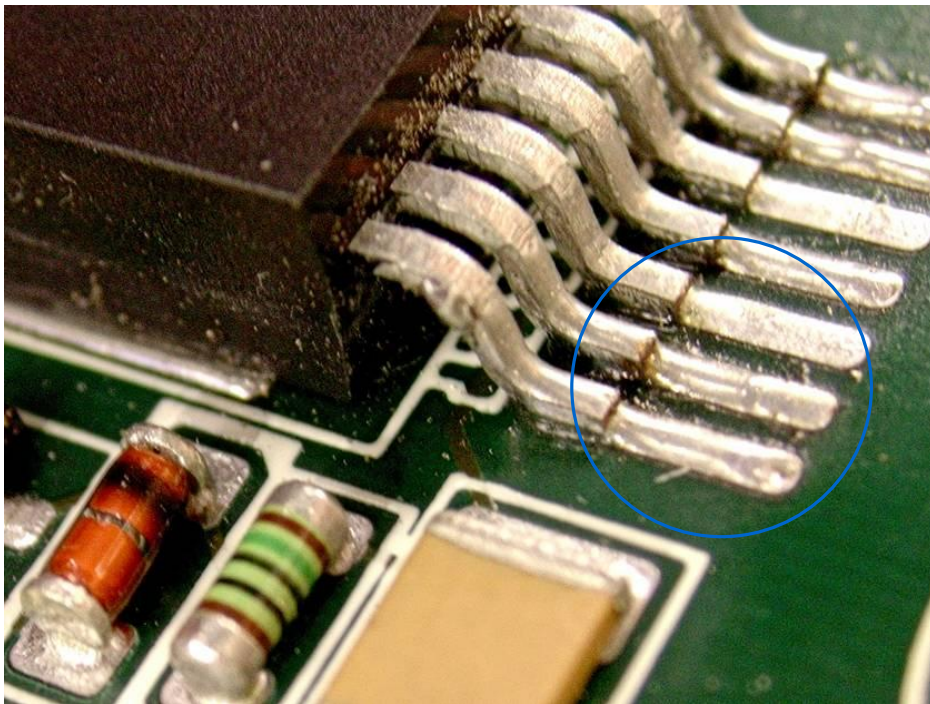
Definition der Lötflächen

Hinweis (Lötfläche)

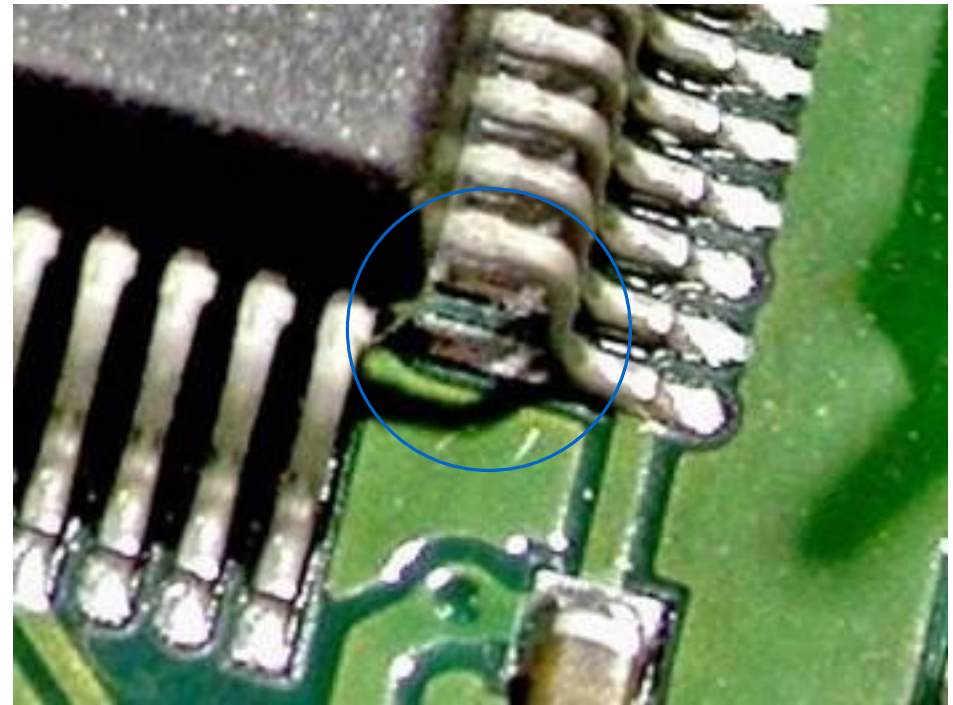
Die Qualität für die Lötverbindung zwischen einem IC-Pin und dem zugehörigen IC-Pad auf der Leiterplatte hängt von der Lötfläche ab, und davon, ob sich hinter dem IC-Pin ein Lötmeniskus ausbilden kann.

Beispiel Die Lötflächen sind zu lang. Es geht Platz im CAD-Layout verloren und es ergeben sich Kosten für verschwendete Lotpaste. Dieser Fehler muß in der CAD-Bibliothek korrigiert werden.

Kein Lötmeniskus möglich



Die Lötfläche ist zu nah am IC



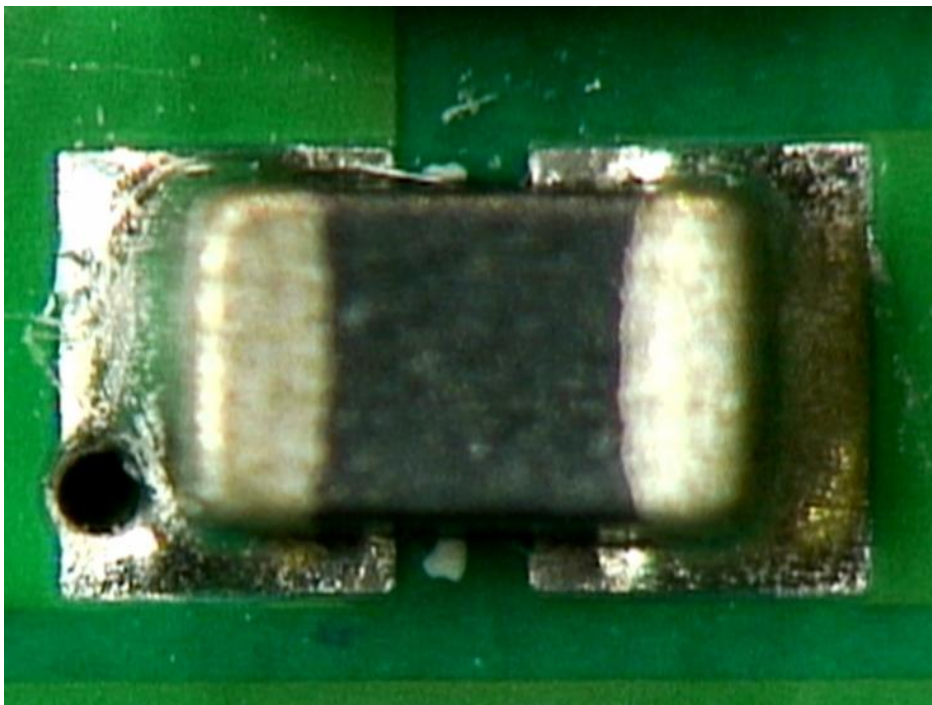
Vias und Lötflächen

Hinweis (Vias und Lötflächen)

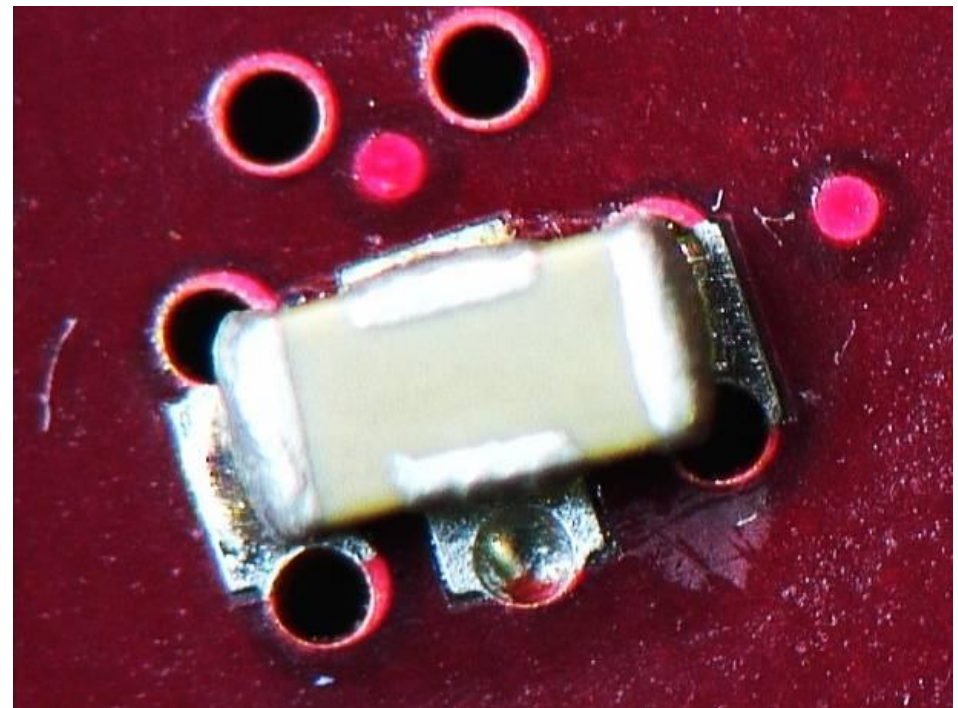
Vias, die zu nah oder sogar innerhalb einer Lötfläche sind, ziehen im Moment des Aufschmelzens Lot vom Bauteilkontakt ab. Weil beim Reflowlöten ein passendes aber begrenztes Lotvolumen aufgebracht wird, vermindert sich die Lötqualität.

Beispiel Nicht gepluggte Vias in oder an Lötflächen sind unzulässig. Dieser Fehler muß im CAD-Layout korrigiert werden.

Via im SMD-Pad



Vias teilweise im SMD-Pad



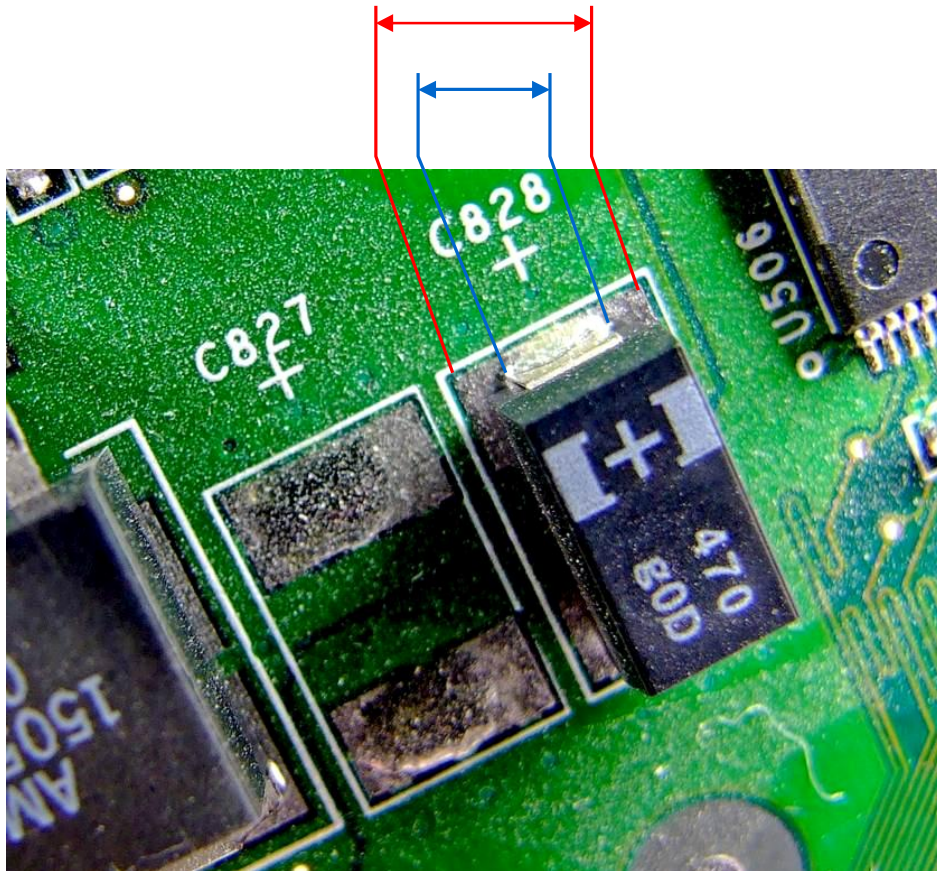
Lötflächengeometrie 1

Regel (Lötflächengeometrie)

Die in der CAD-Bibliothek für ein SMD definierten Lötflächen müssen sicherstellen, daß beim Löten kein Verdrehen des SMDs möglich ist.

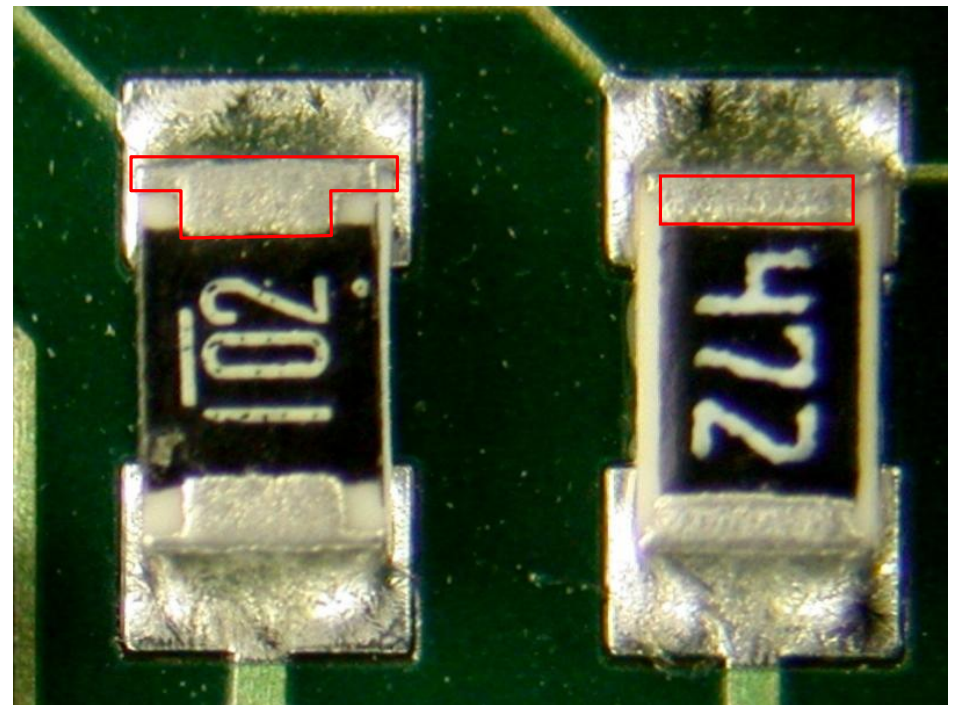
Beispiel (Lötfläche)

Die Lötflächen sind zu groß.
Das Bauteil wird verschoben.



Beispiel (Hersteller Widerstand)

Unterschiedliche Hersteller liefern unterschiedliche Lötanschlüsse.

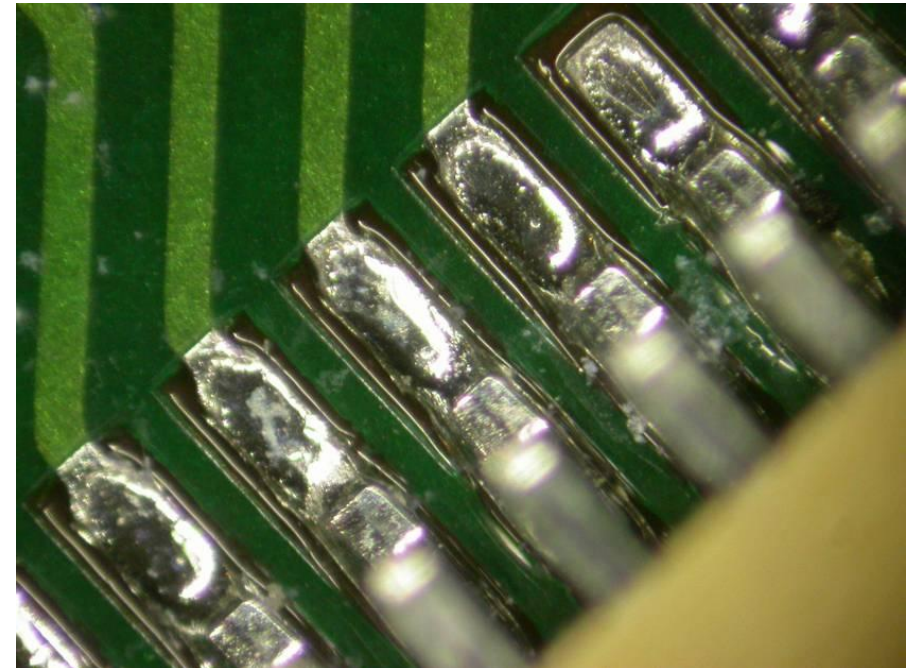
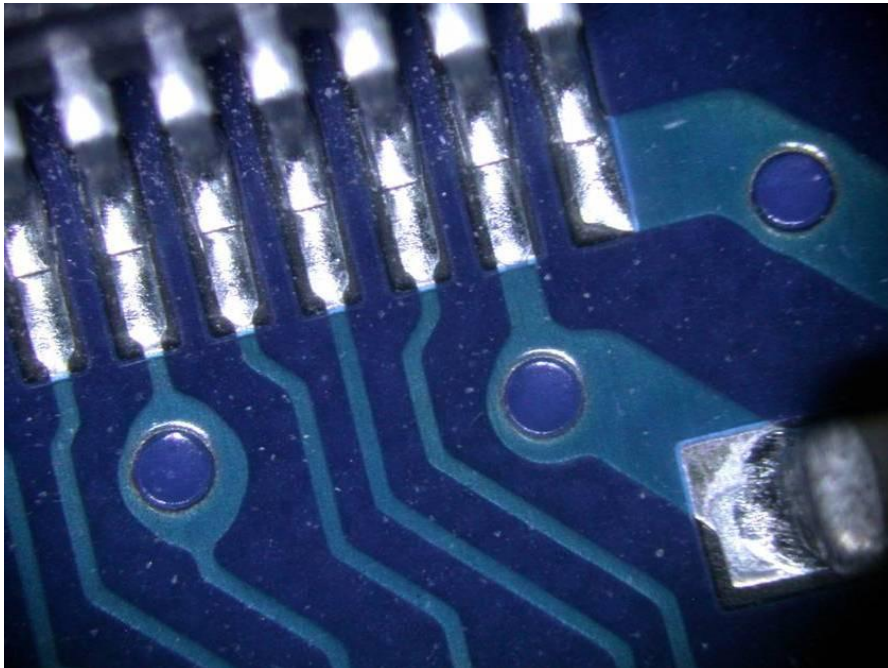
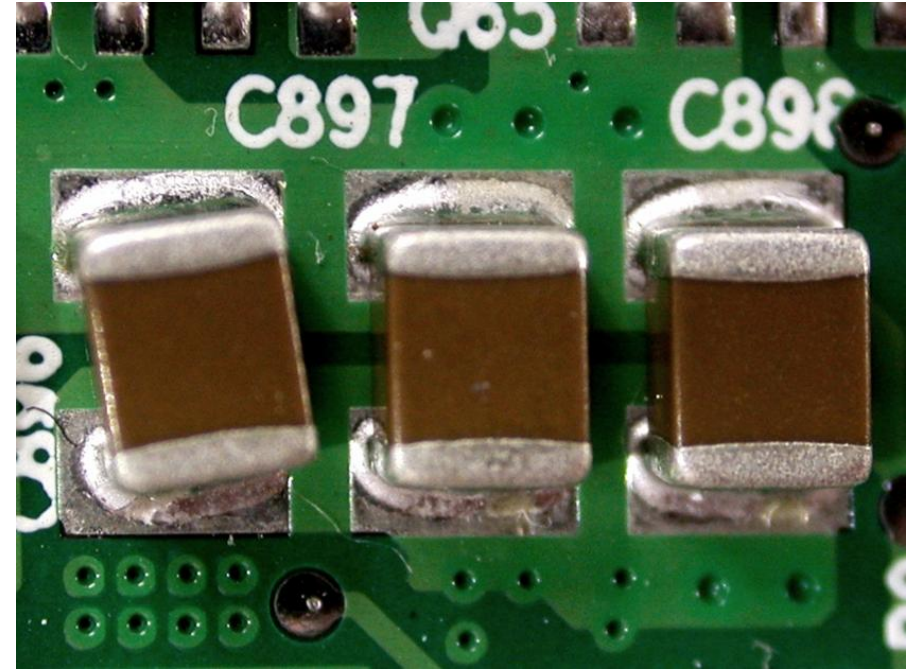


Lötflächengeometrie 2

Die Rotation von Bauteilen mit ungenau definierter Lötfläche reduziert die im CAD-Layout geprüften Abstände. Ein Lernprozeß ist erforderlich.

Regel (Lötflächen/Rückannotation)

Wer das CAD-Layout erstellt hat, muß an der bestückten Baugruppe prüfen, ob die Bauteile in der Bibliothek korrigiert werden müssen.

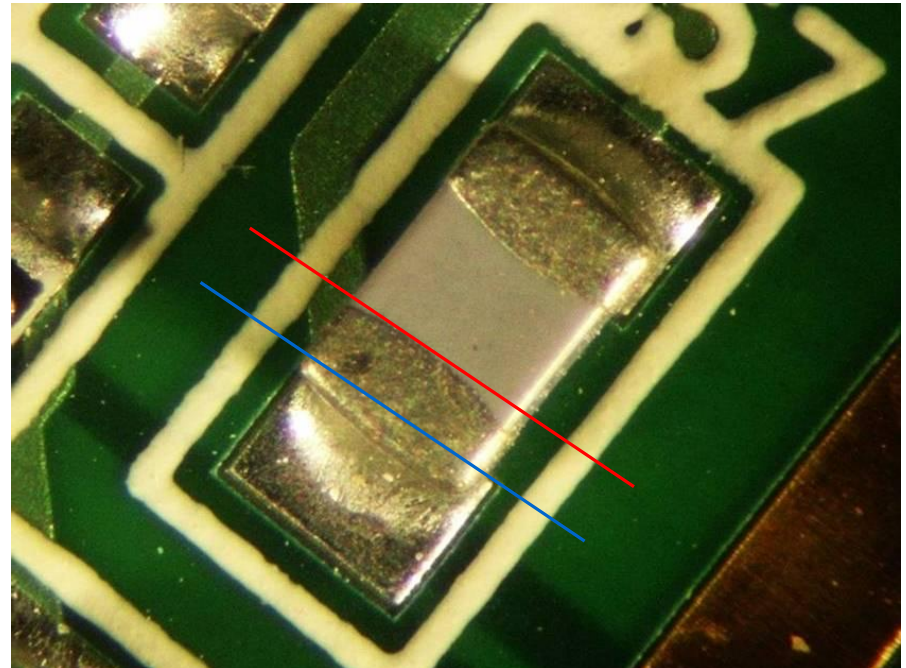
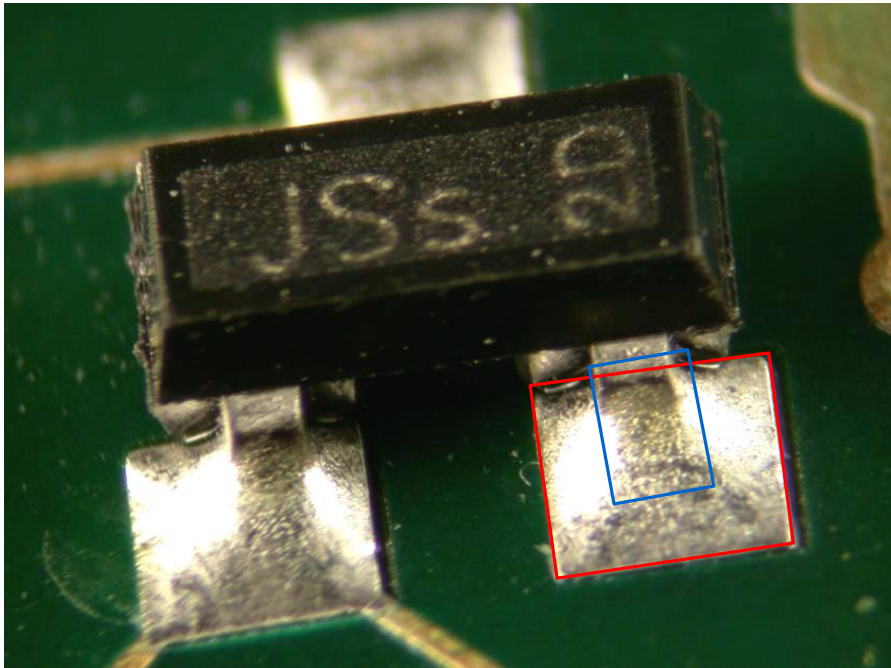
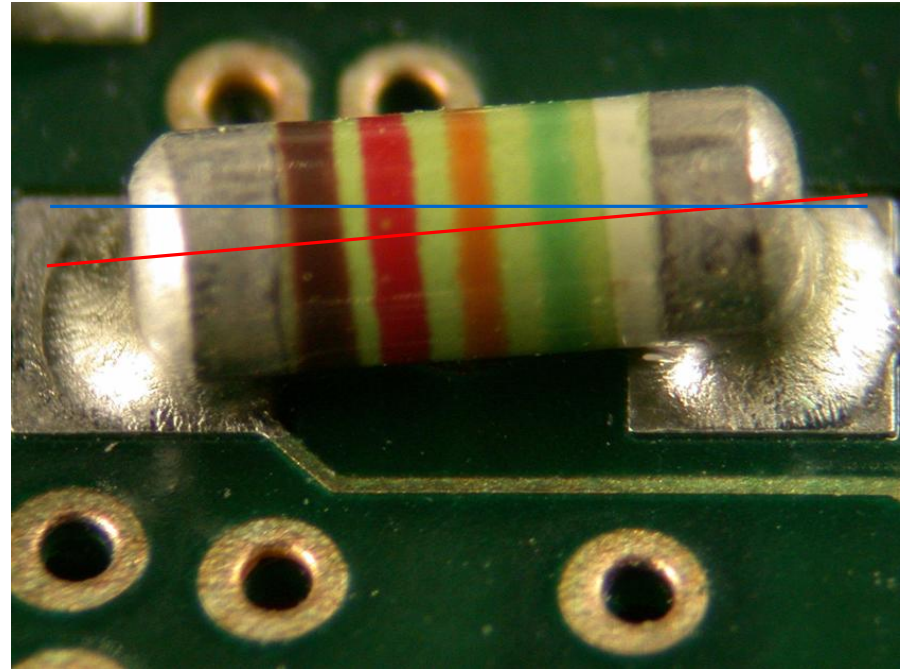


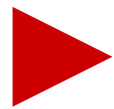
Padstacks für SMD-Bauteile

Regel (SMD-Padstacks)

Die Geometrie der Padstacks muß an die Geometrie der SMDs angepaßt sein.

Zu große Lötflächen führen zu Verdrehungen und Verschiebungen oder zu einem unnötigem Verbrauch von Lotpaste. Daraus entstehen Risiken und Kosten.





Fräsen

Leiterplattenproduktion : 2-Spindel CNC-Fräsmaschine

Für die Passung des Fräsprogramms zum Leiterbild sind die Maschinen üblicherweise mit einer CCD-Kamera ausgerüstet.

Die Positioniergenauigkeit einer regelmäßig gut gewarteten Maschine liegt maximal bei $\pm 15\mu\text{m}$.

In Abhängigkeit von der Frässtrategie und der Gestaltung des Produktionsnutzens *kann* die Fräsgenauigkeit auf bis zu $\pm 100\mu\text{m}$ abweichen.



Bildquelle : Schmoll/Internet 2014

Frässpindel

Arbeitsbereich für
die Aufnahme der
Produktionszuschnitte

Granittisch



Fräswerkzeuge

Toleranz

Fräser für Leiterplatten sind hochwertige Präzisionswerkzeuge.

Allgemeine Fräsertoleranz General router tolerances

Schaft-Ø Shank dia.	D	3,175 mm	-0,002 mm / -0,005 mm
Nenn-Ø Nominal dia.	d		+0,01 mm / -0,02 mm
Gesamtlänge Overall length	L ₁	38,2 mm	-0,100 mm
Spirallänge Flute length	L _N		+0,500 mm / -0,000 mm



Fräswerkzeuge für Leiterplatten haben eine maximale Toleranz von +10 und -20µm.

Werkzeuge mit einem Durchmesser von 2.0mm sind üblich für die Konturfräsung.

Für das Z-Achsen-Fräsen (~ Niveaufräsen) werden auch Diamantfräser eingesetzt.

Spiralverzahnung mit Spanbrecher
Niveaufräser (Zweischneider)
Diamantfräser (Kontur)

Tabelle

Informationen zur
LA - LeiterplattenAkademie GmbH



LeiterplattenAkademie



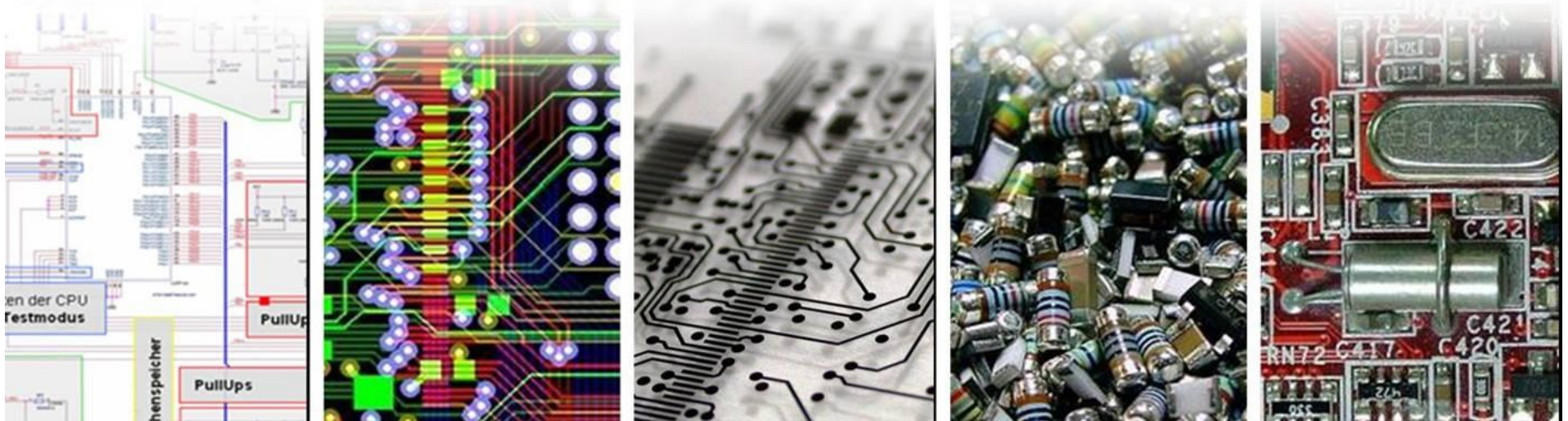
Die LA - LeiterplattenAkademie GmbH

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt eine systematische und kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung. Wir verstehen es als unserer Aufgabe, Fachwissen in den entscheidenden Bereichen zu vermitteln.

- Schaltplanentwicklung
- CAD-Design
- CAM-Bearbeitung
- Leiterplattentechnologie
- Baugruppenproduktion



Ihr Referent

Arnold Wiemers

Seit 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH, Aufbau der CAM in den 1990er Jahren und ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Mitinhaber und Technischer Direktor der LA-LeiterplattenAkademie GmbH.



Fachseminare zur Leiterplatten- und Baugruppentechologie.
Mitarbeit am Schulungskonzept der entsprechenden Fachverbände.
Vom IPC zertifizierter CID, CID+, CIS 6012, Tutor und Trainer. ZED.
Aktives Mitglied im AK-Design des ZVEI.
Förderung der Ausbildung an Berufs-, Fach- und Hochschulen.





© *Alle Rechte an den Unterlagen liegen beim Autor Arnold Wiemers. Eine Vervielfältigung gleich welcher Art, auch auszugsweise, ist ohne schriftliche Genehmigung der LA - LeiterplattenAkademie GmbH nicht zulässig. Alle Angaben in diesen Unterlagen sind ohne Gewähr.*

Kontakt

LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
D-10555 Berlin

www.leiterplattenakademie.de

Geschäftsleitung

Kathrin Fechner

Technischer Direktor

Arnold Wiemers

Telefon 030 / 34 35 18 99

Telefax 030 / 34 35 19 02

Telefon 0171 / 358 3712

Telefax 0531 / 126441

eMail

info@leiterplattenakademie.de

eMail

awi@leiterplattenakademie.de

