

Dr. Hans-Jörg John

Seminar

ddb1

Design Digitaler Baugruppen unter Berücksichtigung von Signal und Power Integrity Aspekten

Signal Integrity Phänomene

Drei Phänomene:



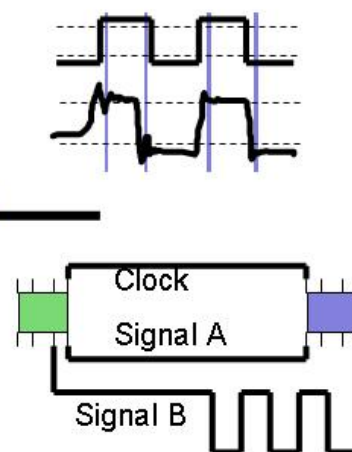
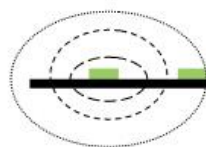
Reflexionen/
Ground Bounce



Crosstalk



Timing



Wer wird mit dem "ddb1"-Seminar angesprochen?

Die Entwicklung moderner Digitalbaugruppen kann heute nicht mehr nur unter dem Blickwinkel der logischen Funktionalität erfolgen. Dem analogen Verhalten digitaler Signale ist während des gesamten Designprozesses Rechnung zu tragen.

Die Kenntnis und gezielte Berücksichtigung der verschiedenen Signal- und Power-Integrity-Phänomene ist Voraussetzung für eine zuverlässige Funktion und verbesserte Gewährleistung der EMV jeder Logikbaugruppe.

Ziel des 1-tägigen Seminars ist die Vermittlung der physikalischen Ursachen und der Zusammenhänge von Signal- und Power-Integrity-Phänomenen. Es werden Lösungsansätze im Logik- und Layoutbereich sowie Designstrategien im Zusammenhang mit Digitalen-High-Speed-Designs vorgestellt.

Die Eigenschaften digitaler Signale und die Übertragungskonzepte über Transmission Lines werden durch die Erläuterungen der Impedanzberechnungen ergänzt.

Reflexionen auf Leitungen und diverse Kopplungsphänomene werden ausführlich erläutert und um Maßnahmen zur Optimierung der Signalübertragung (Logik, Layout) ergänzt.

Das Timing digitaler Schaltungen und der funktionale Lageraufbau von Multilayern sind weitere hilfreiche Aspekte des Seminars.

Der Teilnehmer kann nach Absolvierung des Seminars einen Logikentwurf hinsichtlich der Signal- und Power-Integrity bewerten, gezielt Verbesserungsmaßnahmen implementieren und optimale Layoutlösungen erarbeiten.

Außerdem wird er in die Lage versetzt, mögliche Probleme zukünftiger Logikentwicklungen zu erkennen und zu bewerten.

Das Seminar kann für EMV-Ingenieure, Schaltungs-/Logikentwickler, Layouter und Projektleiter empfohlen werden.

Schirmung, Bezugspotential, Signalintegrität



Schlussfolgerung: Das Schirmkonzept (Mechanik) reicht nicht mehr aus! Es müssen zusätzliche (EMV-relevante) Aufwände im Logik- und Bezugspotentialdesign ergriffen werden!

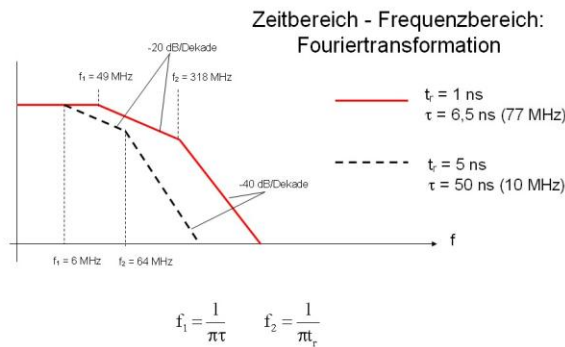
Hans-Jörg John

Einflussgrößen auf EMV

Digitale Systeme müssen sowohl Forderungen zur Störfestigkeit als auch Störemission genügen.

Diese Forderungen lassen sich in der Regel nicht mehr mit einem geschlossenen Schirm erfüllen.

Frequenzbereich



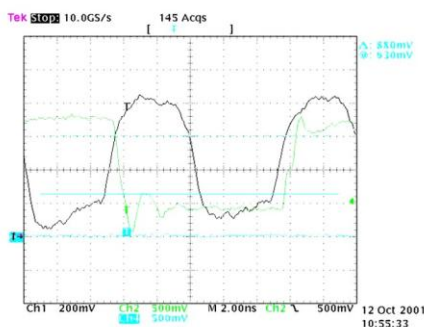
Hans-Jörg John

Zeit- und Frequenzbereich

Die Zeitparameter digitaler Signale stehen in einem unmittelbaren Zusammenhang zum Frequenzbereich (Fouriertransformation).

Dieser Zusammenhang hat Auswirkungen auf das ausgesendete Spektrum.

Reale Signalform



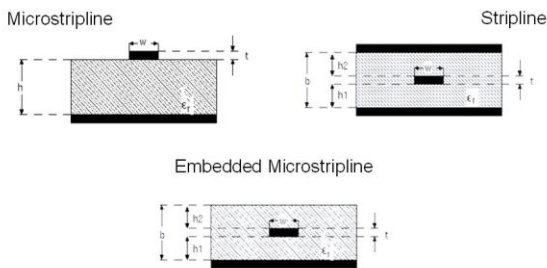
Hans-Jörg John

Reale Signale

An Hand realer Signalformen können Konsequenzen zur Funktion aufgezeigt werden.

Die Interpretation realer Signalverläufe gibt Hinweise auf mögliche Designfehler.

TLs auf Leiterplatten/physikalisch

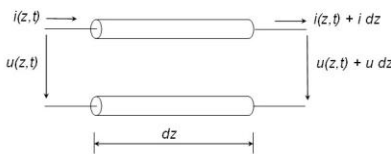


Weiterhin Kabel, Steckverbinder etc.

Hans-Jörg John

TLs - elektrische Beschreibung

Ausgangspunkt: infinitesimal kleines Leitungsstück, bestehend aus Hin- und Rückleiter, in dem der Strom als konstant angenommen werden kann:



Anwendung von Maschensatz und Knotenpunktsatz führt zu den Telegraphengleichungen

Hans-Jörg John

Allgemeingültige Gleichungen

- Jede Impedanzberechnung lässt sich auf die Ermittlung des Kapazitätsbelags C' der Leitung zurückführen: (gilt für verlustlose Leitungen/TEM in homogenem Dielektrikum)

$$Z_0 = \sqrt{\frac{L'}{C'}} \quad L' * C' = \mu * \epsilon$$

$$Z_0 = \frac{\sqrt{\mu * \epsilon}}{C'} = \frac{10^4 * \sqrt{\epsilon_{\text{reff}}}}{3C' \left[\frac{\text{pF}}{\text{m}} \right]}$$

Hans-Jörg John

Leitungen auf PCBs

Microstripline, Embedded Microstripline und Stripline.
Definition auf Grund der Lage des Leiterzuges in der Leiterplatte.
Konsequenzen auf die Berechnung von Impedanzen.

Ersatzschaltbild einer Leitung

Ersatzschaltbilder zur Ableitung der Telegraphengleichungen.
Widerstandsbelag und Induktivitätsbelag.
Ableitungsbelag und Kapazitätsbelag.
Primäre Leitungsparameter und sekundäre Leitungsparameter.

Wellenwiderstand, verlustlos

Die Berechnung des Wellenwiderstandes für Leitungen auf Leiterplatten im verlustlosen Fall wird auf die Ermittlung des Kapazitätsbelages zurückgeführt.

Impedanz, Ausbreitungskonstante

Wellenwiderstand:

$$Z_0 = \sqrt{\frac{R' + j\omega L'}{G' + j\omega C'}}$$

Ausbreitungskonstante:

$$\gamma = \alpha + j\beta = \sqrt{(R' + j\omega L')(G' + j\omega C')}$$

Hans-Jörg John

Analogie



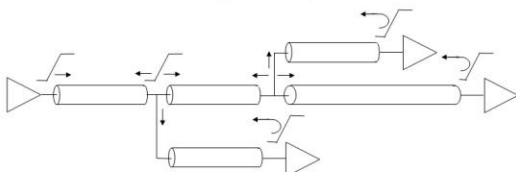
Hans-Jörg John

Reflexionen/Einführung

Alle Verbindungen sind Transmission Lines
Reflexionen treten an allen Diskontinuitäten/Stoßstellen auf

Zwei Techniken:
Terminierung
Topologie-Auswahl

Ziel: Nicht eliminieren um jeden Preis, sondern steuern



Hans-Jörg John

Wellenwiderstand, verlustbehaftet

Komplexe Größe, bestehend aus Real- und Imaginärteil bzw. Betrag und Phase.

Frequenzabhängige Ausbreitungskonstante.

Reflexionen 1

Analogie zu Wasserwellen und Stoßstellen sowie transmittierte und reflektierte Anteile.

Ein- und Ausgangswiderstände von integrierten Schaltkreisen.

Flankensteilheiten digitaler Signale.

Reflexionen 2

Leitungssysteme, Stichleitungen, Sternpunkte.

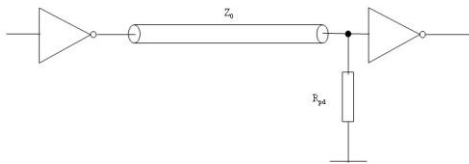
Daisy-Chain-Verdrahtung.
Terminierungen.

Hin- und rücklaufende Wellen.

Terminierungen

Pull down Widerstand

Paralleler Abschluss am Eingang des Empfängers

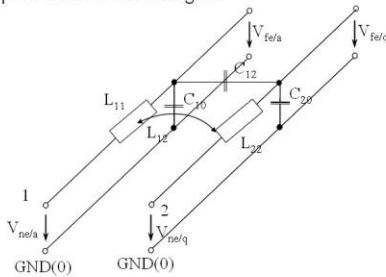


Ziel: $R_{pd} = Z_0$

Hans-Jörg John

Kopplungsmodell

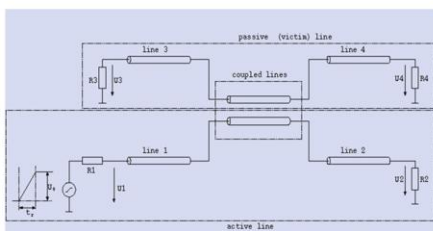
Zwei gekoppelte verlustlose Leitungen:



Hans-Jörg John

Crosstalk, Ersatzschaltung

Ersatzschaltung für die Untersuchung von Crosstalk-Effekten



Spannungsquelle: $U_0 = 1 \text{ V}, t_r = 1 \text{ ns}$
 Einzelltg. 1 ... 4: $Z_1 = 50 \Omega, t_{pd} = 1 \text{ ns}, l = 15 \text{ cm}$
 Verkoppelte Ltg.: $Z_{1c} = 57 \Omega, Z_{1s} = 43 \Omega, t_{1c} = t_{1s} = 1,5 \text{ ns}, l_{\text{verkoppelt}} = 22,5 \text{ cm}$
 Parameter: $w = 0,1 \text{ mm}, h_1 = 0,126 \text{ mm}, b = 0,27 \text{ mm}, t = 0,018 \text{ mm}, \epsilon_r = 4,0, s = 0,1 \text{ mm}$

Einzelltg. $L' = 335,6 \frac{\text{nH}}{\text{m}}$ Verkoppelte Leitungen $[L'] = \begin{bmatrix} 334,3 & 47,6 \\ 47,6 & 334,3 \end{bmatrix} \frac{\text{nH}}{\text{m}}$
 $[C'] = \begin{bmatrix} 135,9 & -19,3 \\ -19,3 & 135,9 \end{bmatrix} \frac{\text{pF}}{\text{m}}$
 $C' = 132,7 \frac{\text{pF}}{\text{m}}$

Hans-Jörg John

Terminierungsstrategien

Serienterminierung.
 Terminierung mit Pull-Up und Pull-Down-Strategien.
 Thevenin-Terminierung.
 Diodenterminierung.

Ein- und Ausgangswiderstände digitaler Schaltkreise.

Crosstalk 1

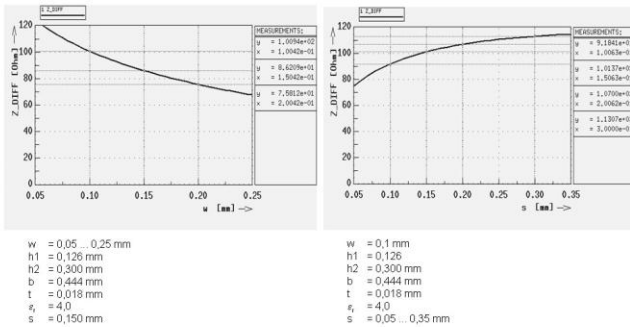
Ersatzschaltungen unabhängig von der Geometrie der Kopplung in der Leiterplatte.
 Berechnung diverser Kenngrößen.
 Ermittlung der Koppelkapazität.
 Größenordnungen der zu erwartenden Gegeninduktivitäten.
 Leitungsmatrizen.

Crosstalk 2

Verkoppelter Leitungsbereich und unverkoppelter Bereich.
 Störende Leitung und gestörte Leitung.

Forward- und Backward-Kopplung.
 Common Mode und Even Mode.

Verkoppelte Leitungen, Diff. Mode



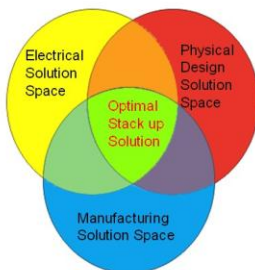
Hans-Jörg John

Differenzielle Impedanz

Verkoppelte Leitungsführung.
Gegenphasige Ansteuerung.
Etch side coupling und Broad side coupling.
Regeln für die Clearance.
Vorteile des Pair routings.
Informationen zu Fieldsolvern.

Freiheitsgrade beim Leiterplattenentwurf

====> Freiheitsgrade für LP-Entwurf unter Berücksichtigung verfügbarer Materialien!
====> Gegebenenfalls Iterationen notwendig!



Hans-Jörg John

Definition von Lagenaufbauten

Elektrische Einflussgrößen:
Impedanz, Kopplung, ...

Physikalische Einflussgrößen:
Verdrahtungsdichte, Lagenanzahl ...

Technologische Einflussgrößen:
Pressparameter, Ätztoleranzen ..

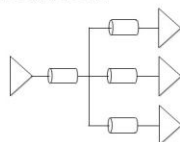
Reales Board 2. Fall: bestückte Leiterplatte

Bisher wurde immer von der Impedanz einer unbelasteten Leitung gesprochen
====> diese Impedanz hat im Design nur für Zwei-Punkt-Netze Bedeutung

In einem realen Design kommen Netztopologien vor, die die Impedanz einer Übertragungsstrecke erheblich beeinflussen:

====> Stoßstellen
====> Reflexionen

====> Einsatz von Analogsimulation notwendig



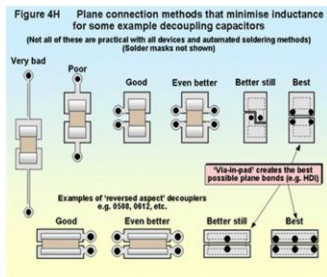
Bsp.: Sternpunkt

Impedanz bestückter PCBs

Auswirkungen der Bestückung auf die Impedanz.
Unterschiedliche Netztopologien.
Die Eingangskapazität integrierter Schaltkreise.
Die Simulation von Signalverläufen.

Hans-Jörg John

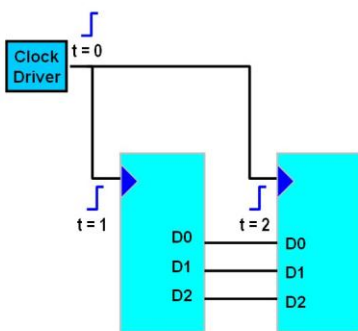
Abblockkondensatoren, Anschlüsse



Keith Armstrong:
"Advanced PCB design and layout for EMC Part 4 - Reference planes for DV and power"

Hans-Jörg John

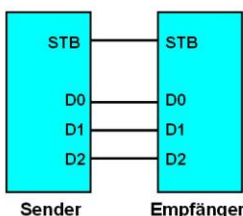
Timing Clock-Skew



- Von Clock-Skew spricht man, wenn verschiedene Bauteile die Clock-Flanke zu unterschiedlichen Zeiten empfangen
- Verlängert bzw. verkürzt die nutzbare Clock-Periode, in Abhängigkeit vom sendenden/empfangenden Baustein

Hans-Jörg John

Source Synchronous Designs



- System-(common)Clock wird nicht zur Datenübertragung genutzt
- Bauteile haben einen zusätzlichen bidirektionalen Pin (Strobe), der taktähnliches Signal sendet oder empfängt

Hans-Jörg John

Abblockkondensatoren

Stromversorgungssysteme.
Die Stromaufnahme digitaler Schaltungen.
Parasitäre Größen von üblichen Kondensatoren.
Die sinnvolle Pad-Gestaltung von Kondensatoren.
Buried Capacitance.

Timing

Die Interpretation von Datenblattangaben.
Timing Parameter (Skew, Jitter, Laufzeit, Set Up, Hold, Clock to Output).

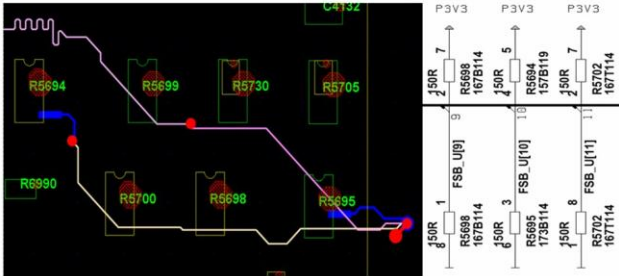
Common Clock Systeme.
Timing-Gleichungen.

Source Synchronous Design

Wirkungsweise.
Vorteile und Grenzen.

Diverse Einflussgrößen.
Timing-Gleichungen.

Layoutbeispiele Theveninabschluss



Hans-Jörg John

Methoden im Designflow

- Pre-Layout-Analyse
 - "what if"-Szenarien
 - Simulation von "Phänomenen"
 - Ableitung von Designregeln/-vorgaben
 - Beitrag zur Entwicklungszeitverkürzung; setzt begründete Annahmen zum Lagenaufbau voraus
- Post-Layout-Untersuchungen
 - nach Fertigstellung des Layouts
 - sinnvoll in Verbindung mit Batchsimulationen
 - bei Fehlern im Design großer Zeitverzug

Hans-Jörg John

Ausblick

Übertragungswege/Leiterplatten für Designs mit Datenraten über 1Gb/s sollten nicht nur durch Impedanz und Spezifische Signallaufzeit charakterisiert werden

==> Der Übergang zu S-Parametern bietet für die Charakterisierung des Übertragungsweges zusätzliche Informationen

==> Insbesondere für differentielle Übertragungswege können Unsymmetrien und Dämpfung über der Frequenz bewertet werden.

Hans-Jörg John

Layoutbeispiele

Platzierung von Bauelementen.
Einfügung von Leitungsverlängerungen.

Testpunkte und Stichleitungen.
Definition von Via-Parametern.

Designflow

SI-Simulationen.
Die Modell-Beschaffung und die Bewertung von Modellen.
Simulationsdurchführung.
Pre-Layout-Analysen.
Post-Layout-Analysen.

Die Grenzen von Simulationen.

Ausblick

Impedanz und Laufzeit sowie zugeschnittene Designmethodik reichen für Designs mit Übertragungsraten größer 1 Gbit nicht mehr aus.
Der Übergang zu S-Parametern ist notwendig.

Ihr Referent



Dr. Hans-Jörg John ist seit 1980 auf dem Fachgebiet Elektromagnetische Verträglichkeit (EMV) tätig und hat in dieser Zeit alle Bereiche der Gewährleistung der EMV in Telekom-, informationstechnischen und Automotiveprodukten bearbeitet. Er hat über 30 Publikationen zur EMV im In- und Ausland veröffentlicht und ist Mitglied des Technical Program Committee des IEEE

Workshops "Signal propagation on Interconnects".

Seit 2003 ist er bei der Continental Automotive GmbH in Schwalbach tätig.

Herr Dr. John ist heute für das EMV-Labor und den EMV-Design-Support am Standort Schwalbach verantwortlich.

Die LeiterplattenAkademie

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt die systematische und die kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung.

Die zentrale Aufgabe der LeiterplattenAkademie ist, das Fachwissen aus den Bereichen der Schaltungsentwicklung, des CAD-Designs, der CAM-Bearbeitung, der Leiterplattentechnologie und der Baugruppenproduktion in Seminaren, Workshops und Tutorials zu vermitteln.

Seminare und Teilnahmegebühren

Das Tagesseminar "**ddb1**" wird als freies Seminar durchgeführt, kann für Konferenzen gebucht werden und steht auch als InHouse-Seminar zur Verfügung.

Freies Seminar

Die Durchführung liegt bei der LeiterplattenAkademie. Die Termine werden via Mailing, eMail, Internet oder Presseveröffentlichungen mitgeteilt. Die Veranstaltungsorte liegen in Deutschland, Österreich und der Schweiz. Die Teilnahmegebühr beträgt 520 € zzgl. MwSt. pro Person. Enthalten sind ausführliche Seminarunterlagen, das Teilnahmezertifikat, das Mittagessen und die Getränke.

Konferenz-Seminar

Wenn Sie "**ddb1**" auf Ihrer Konferenz anbieten möchten, dann sprechen Sie bitte unsere Seminarleitung an.

InHouse: Unser Seminar in Ihrem Haus

"**ddb1**" wird auch firmenintern referiert. Sie sparen Reise- und Übernachtungskosten, vor allem jedoch Zeit.

Für pauschal 2.900 € zzgl. MwSt. liefern wir Ihnen unsere Referenten "frei Haus". Eine individuelle Themengestaltung mit firmentypischen Schwerpunkten ist selbstverständlich möglich. Bitte stimmen Sie sich mit uns ab.

Sofern Sie oder ein anderer Mitarbeiter Ihres Unternehmens ein Seminar vorab in Augenschein nehmen möchten, erstatten wir Ihnen die Teilnahmegebühr bei Buchung einer InHouse-Veranstaltung innerhalb von drei Monaten nach dem Seminartermin.

Wir bieten Ihnen 15% Rabatt für InHouse-Seminare in den Monaten Juli und August.



Die LeiterplattenAkademie

Die LA - LeiterplattenAkademie GmbH ist eine Schulungs- und Weiterbildungseinrichtung für die Fachbereiche

Schaltungsentwicklung

CAD-Design

CAM-Bearbeitung

Leiterplattentechnologie

Baugruppenproduktion

Die Akademie versteht sich als Partner für öffentliche Einrichtungen und Unternehmen der Wirtschaft, die in vergleichbaren Feldern engagiert sind.



LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
10555 Berlin

Telefon	(030) 34 35 18 99
Telefax	(030) 34 35 19 02
eMail	info@leiterplattenakademie.de
URL	www.leiterplattenakademie.de