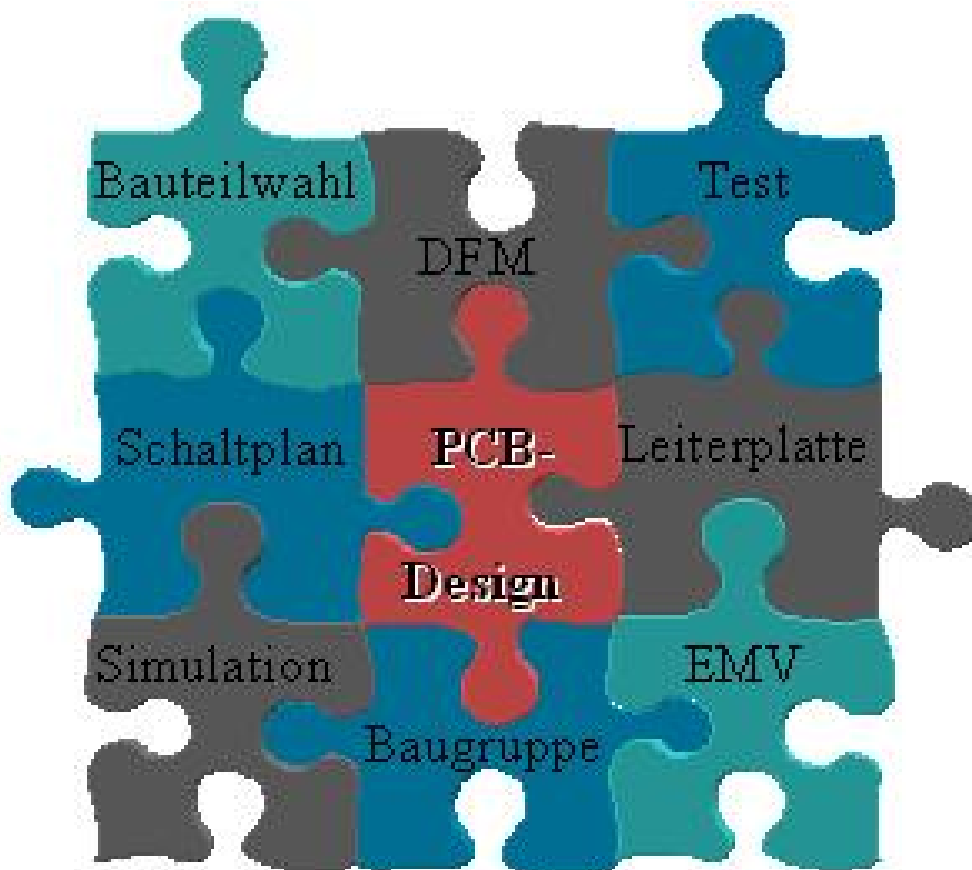


*Jennifer D. Vincenz*

**Seminar**

# cad1

**Elemente des CAD-Designs  
für Leiterplatten**



## **Wer wird mit dem cad1-Seminar angesprochen?**

Das Seminar informiert umfassend über die Grundlagen des CAD-Designs für Leiterplatten. Heute bedeutet CAD-Design deutlich mehr, als lediglich zwei Punkte am Bildschirm miteinander zu verbinden. Der Designer muss umfassende Kenntnisse der Umgebungsbedingungen, der Fertigungstechnologie sowohl von Leiterplatte als auch Baugruppe haben. Angefangen bei der Betrachtung der Umgebungsbedingungen für den Einsatz der Baugruppe werden diese nötigen Kenntnisse für ein erfolgreiches und kosteneffektives Leiterplattendesign vermittelt.

Dazu gehört die Erstellung der Bibliothek ebenso wie Fan-Out-Strategien und High-Speed-Design, das bedingt durch die Miniaturisierung auch im ASIC-Bereich zukünftig zum Standard werden wird. Die Auswirkungen dieser "Technologietreibenden Bausteine" ( $\mu$ BGA, Flip Chip) auf Produzierbarkeit und Kostenstruktur des Designs und der Baugruppe werden vor dem Hintergrund aktueller Fertigungstechnologien aufgezeigt.

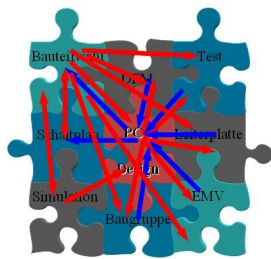
Besonderes Augenmerk wird auf die Dokumentation und den Postprozess gelegt, um Reibungen zwischen Entwicklung und Fertigung zu vermeiden.

Die enge Zusammenarbeit zwischen Schaltungsentwicklung, Mechanik und Leiterplattendesign wird zunehmend wichtiger, daher wendet sich dieses Seminar nicht ausschließlich an Designer, sondern auch an Konstrukteure und Schaltungsentwickler.

Auch für die CAM-Bearbeiter/innen der LP-Hersteller ergibt sich ein Einblick in die Problemstellungen, mit denen die Elektronikentwicklung heute konfrontiert ist und fördert über das bessere Verständnis eine bessere Zusammenarbeit.

Entscheidungsträger in den Bereichen Design, Leiterplatte und Baugruppe finden die Zusammenhänge übersichtlich und strukturiert aufgeführt, um jederzeit ihre Beratungskompetenz zu untermauern.

## CAD-Design



© Jennifer D. Vincenz

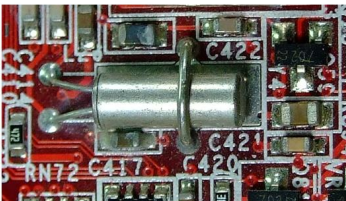
CAD1 3

## Einflussfaktoren

Interdisziplinäre Beziehungen zwischen Design, Leiterplattenproduktion und Baugruppenproduktion

### ● Einsatzumgebung

- Innenräume
- Feuchträume
- starke Verschmutzung
- Außeneinsatz
- extreme Witterungseinflüsse
- Einsatz in aggressiven Medien
- Vibrationen, Stöße und Schläge



© Jennifer D. Vincenz

CAD1 8

Kommunikation und Information

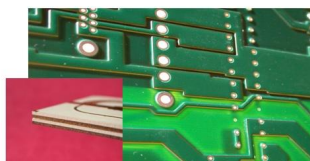
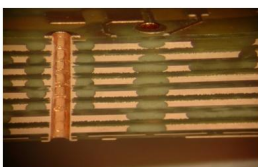
## Umgebungsbedingungen

Außer den mechanischen Anforderungen gibt es noch eine Vielzahl weiterer Umgebungsbedingungen, denen das Produkt genügen muss und die bereits im Design ihre Berücksichtigung finden müssen.

### ● Designmaßnahmen zur Wärmeabfuhr

- Thermolagen, Kühlflächen

Zur Wärmeabfuhr eignen sich dickere Kupferschichten, z.B. 70 µm, 105 µm, 210 µm, 400 µm oder auch spezielle Thermolagen wie Kupfer-Invar-Kupfer



Kühlflächen sind Kupfergeflutete Bereiche, die außen entweder mit Lötstoplack bedeckt sind oder zur besseren Montage von Kühlkörpern lackfrei gehalten werden.

© Jennifer D. Vincenz

CAD1 11

Fertigungstechnologie

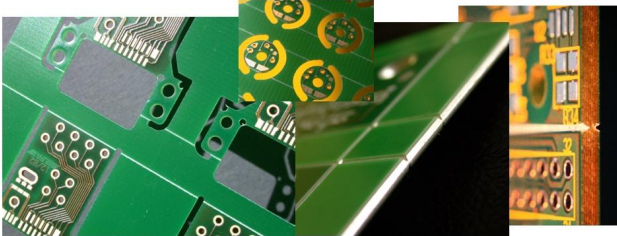
## Thermo-Design

Eigenwärme und Umgebungswärme.

Maßnahmen zur Wärmekontrolle und Wärmeabfuhr

● **Ritzen**

- Ritzen ist nur horizontal und/oder vertikal möglich.
- Bei nicht rechteckigen Konturen ist nur eine Misch-Bearbeitung aus Ritzen und Fräsen möglich.



© Jennifer D. Vincenz

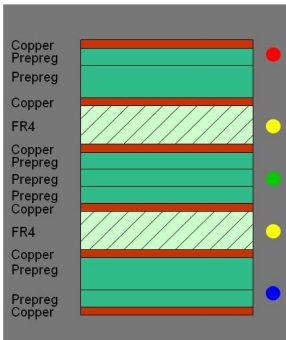
CAD1 150

Fertigungstechnologie

## Produktionstechnologie

Allgemeine Produktionsanforderungen. Hintergründe von Designanforderungen und Designregeln im Rahmen der Produktionsmöglichkeiten.

● **Multilayer-Aufbau**



**Aufbauregeln für Multilayer 1**

Sequentielle Aufbauten vermeiden teuer, Materialverzug, hohes Risiko

**Innenliegende Kerne** bevorzugen Standard, preiswert, wenig Risiko

Bei **unterschiedlich dicken Prepregs** zur Außenlage das dünnere nach außen legen planere Oberfläche für MFT + HDI

**Mindestens 2 Prepregs** zwischen zwei Lagen legen Durchschlagfestigkeit, Kurzschluss

1 Prepreg nur bei Powerplanes mit maximal 17µm Basiskupfer Kapazitive Effekte, MPS

**Maximal 3 Prepregs** übereinander stapeln Materialverzug

© Jennifer D. Vincenz

CAD1 116

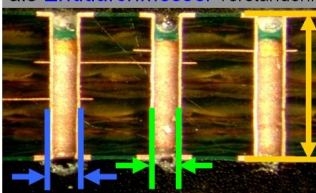
Designstrategie

## Multilayer-Aufbau

Leiterplattenklassen. Aufbaustrategien und Aufbauregeln für Multilayer. Strategien für komplexe Multilayersysteme.

● **Aspect Ratio**

Die **CAD-Vorgabe** wird immer als **Enddurchmesser** verstanden.



Aspect Ratio ist das Verhältnis des **Bohrwerkzeugdurchmessers** zur **kontaktierbaren Bohrtiefe**.

**Regel:**

$$\text{Bohrwerkzeugdurchmesser} = \text{CAD-Vorgabe} + 100 \text{ } \mu\text{m}$$

© Jennifer D. Vincenz

CAD1 109

Fertigungstechnologie

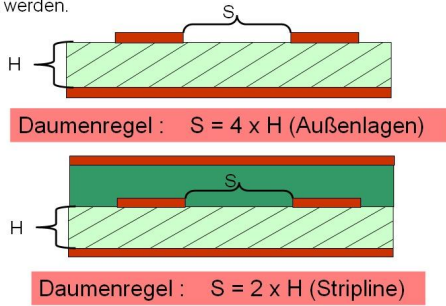
## Kontaktierungsstrategien

Bohrklassen. Definition des Aspect Ratio für Buried Vias und Durchkontaktierungen. Grenzbereiche und maximal kontaktierbare Lagenabstände. Zuschläge auf CAD-Vorgaben. Enddurchmesser und DK-Kupfer.

● **Signalintegrität**

– Crosstalk

Um Crosstalk zu minimieren sollte einerseits eine korrespondierende Ground-Plane möglichst dicht unter der Signalebene verlaufen, andererseits sollten die Signale möglichst weit voneinander getrennt verlegt werden.



© Jennifer D. Vancez

CAD1 39

Designstrategie

## Signalintegrität

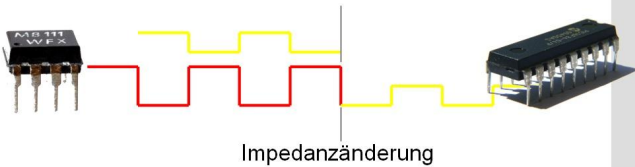
Grundlagen für die Funktion von Leitungen auf Leiterplattenmaterialien.

Signalgeschwindigkeiten auf verschiedenen Basismaterialien. Crosstalk.

● **High-Speed-Design**

– Impedanz

Fehlanpassungen in der Impedanz können auf Grund von Reflexion zu Fehlfunktionen und auch zu erhöhtem Abstrahlverhalten führen.



© Jennifer D. Vancez

CAD1 46

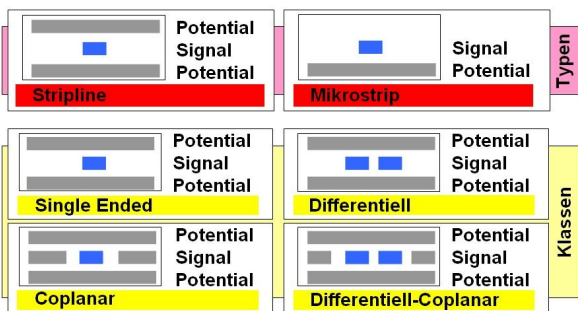
Designstrategie

## High-Speed-Design

Schaltfrequenzen. Rise- and Fall-Times. Kritische Leitungslänge. Evaluierung, wann High-Speed-Regeln einzuhalten sind.

● **High-Speed-Design**

– Impedanztypen und Impedanzklassen



© Jennifer D. Vancez

CAD1 48

Designregeln

## Impedanzen

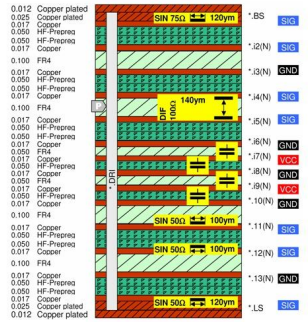
Single-Ended- und Differentielle Impedanzen.

Berechnungsbeispiele.

Beispiele für den Aufbau impedanzdefinierter Multilayer.

Toleranzen und Fehlerbetrachtung.

- Designmaßnahmen zur EMV-Verbesserung – Stromversorgungskonzepte



Ein Multi-Power-System ist in der Lage, größere Ladungsmengen bereitzustellen.

**Auslegung als MultiPowerSystem**

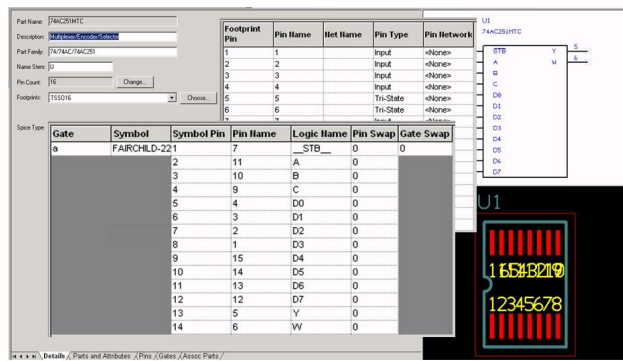
Ein Teil der Kondensatoren kann eingespart werden, das Risiko von multiplen Resonanzfrequenzen sinkt, die Signalintegrität wird verbessert.

Designstrategie

## Multilayersysteme

Aufbau von Multilayersystemen. Lösungsstrategien für Anforderungen aus dem Bereich der Signalintegrität und der EMV. Referenzplanes. Breitbandentkopplung und Multi-Power-Systeme.

- Beispiel Parts



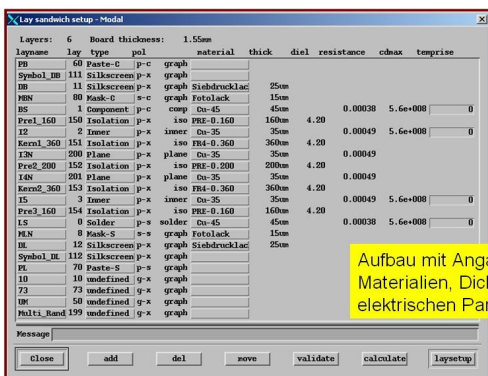
Pin Name	Pin Type	Pin Network
1	Input	<None>
2	Input	<None>
3	Input	<None>
4	Input	<None>
5	Tri-State	<None>
6	Tri-State	<None>
7	Input	<None>
8	Input	<None>
9	Input	<None>
10	Input	<None>
11	Input	<None>
12	Input	<None>
13	Input	<None>
14	Input	<None>

Bibliothek

## Bibliotheken

Bibliothekselemente und Aufbau von CAD-Bibliotheken unter Berücksichtigung von Baugruppenproduktion und Lötverfahren.

- Beispiel für Layer-Setup



layname	lay type	pol	material	thick	diel resistance	cdmax	temprise
FB	60	Paste-C	p-c	graph			
Symb01_IL	111	Silkscreen	p-x	graph			
IB	11	Silkscreen	p-x	graph			
IBN	80	Mask-C	s-c	graph	Siebdrucklaci	25um	
BS	1	Component	p-c	comp	Du-45	45um	0.00038 5.6e+008 0
Pre3_160	150	Isolation	p-x	iso	PRE-0.160	160um	0.00049 5.6e+008 0
I2	2	Inner	p-x	inner	Du-35	35um	
Kern1_360	151	Isolation	p-x	iso	FR4-0.360	360um	4.20 0.00049
I3N	200	Plane	p-x	plane	Du-35	35um	
Pre2_200	152	Isolation	p-x	iso	PRE-0.200	200um	0.00049
I4N	201	Plane	p-x	plane	Du-35	35um	
Kern2_360	153	Isolation	p-x	iso	FR4-0.360	360um	4.20 0.00049 5.6e+008 0
I5	3	Inner	p-x	inner	Du-35	35um	
Pre3_160	154	Isolation	p-x	iso	PRE-0.160	160um	4.20 0.00049 5.6e+008 0
I5	0	Solder	p-s	solder	Du-45	45um	0.00038 5.6e+008 0
IBN	0	Mask-S	s-s	graph	Fotolack	15um	
IL	12	Silkscreen	p-x	graph	Siebdrucklaci	25um	
Symb01_IL	112	Silkscreen	p-x	graph			
PL	70	Paste-S	p-s	graph			
IB	10	undefined	p-x	graph			
73	73	undefined	p-x	graph			
IM	50	undefined	p-x	graph			
Mults_Rand	159	undefined	p-x	graph			

Aufbau mit Angaben zu Materialien, Dicken und elektrischen Parametern

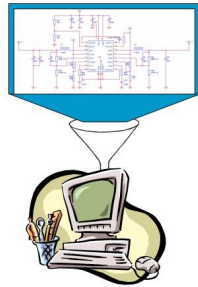
Bibliothek

## Layer-Definition

Layerfunktion und Zuordnung im CAD-System. Materialeigenschaften und Materialdatenbanken.

## Schaltplanübernahme

- Um das Design erstellen zu können, müssen die Informationen aus dem Schaltplan in das EDA-System übernommen werden.
- Idealerweise ist das Schaltplantooll im PCB-Design-Tool integriert, dies bietet optimale Forward- oder Back-Annotation.
- Eine eingeschränkte Option ist das Einlesen der ASCII-Netzliste.



© Jennifer D. Vincenz

CAD1 143

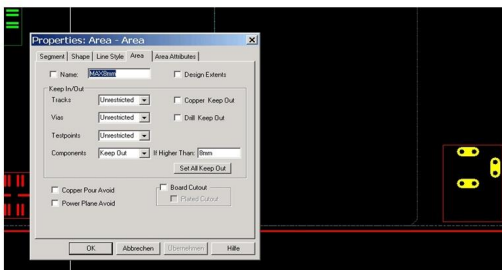
Designstrategie

## Schaltplan und Netzlisten

Schaltplanelemente.  
Schaltplanübernahme.  
Netzlisten.  
Constraints.

## Platinenkontur

- Zusätzlich zur mechanischen Kontur müssen Restriktionen wie beispielsweise Routing-Outline und Placement-Outline oder Sperrflächen und Höhenbegrenzungen festgelegt werden. Dies geschieht meist über Bereiche ("Areas") mit entsprechenden Attributen.



© Jennifer D. Vincenz

CAD1 154

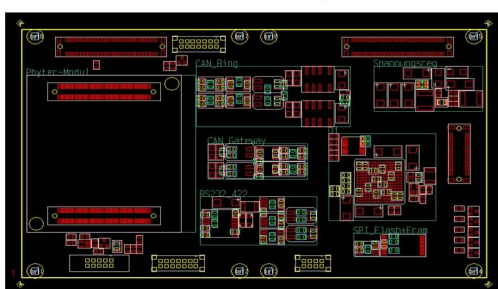
Designstrategie

## Mechanik-Definition

Board-Outline und  
Montagebohrungen.  
Sperrflächen und Bereiche mit  
Restriktionen.  
Bauhöhenbegrenzungen.

## Bauteilplatzierung

- Ein Hilfsmittel können sogenannte "rooms" und/oder "cluster" sein (können bereits im Schaltplan zugewiesen werden), denen die jeweiligen Bauteile zugewiesen werden, z.B. Analogteil und Digitalteil getrennt, Schnittstellen einzeln zusammengefasst.



© Jennifer D. Vincenz

CAD1 161

Designregeln

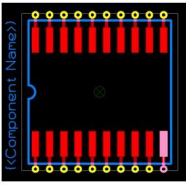
## Bauteilplatzierung

Funktionsgruppen.  
Raumaufteilung.  
Prioritäten bei der Platzierung.

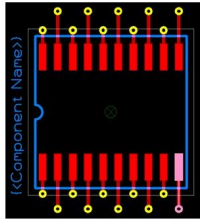
● **Fan-Out**

- Auch die Wahl des Fan-Out beeinflusst die Qualität des Designs und entscheidet gegebenenfalls über die Entflechtbarkeit. Automatisch generierte Fan-Outs (oder Break-Outs) können Wege blockieren.

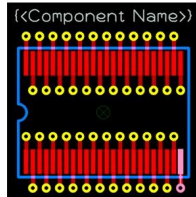
Reihen-Fan-Out linear



Reihen-Fan-Out einseitig versetzt



Reihen-Fan-Out beidseitig versetzt



© Jennifer D. Vincenz

CAD1 188

Designstrategie

## Designstrategie

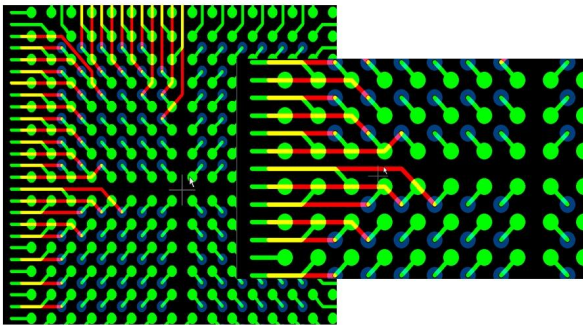
Rasterwahl.

Fan-Out.

Zweiseitige und vierseitige Bauteile.

● **Fan-Out Matrix-Bauteile, Raster > 0.8 mm**

- Einteilung in Quadranten schafft vier breitere Routing-Kanäle, in denen drei statt einer Leitung (bzw. 5 statt zwei Leitungen) geroutet werden können.



© Jennifer D. Vincenz

CAD1 198

Designstrategie

## Fan-Out Matrix-Bauteile

ViasInPads.

Lagenaufbauten mit Microvias.

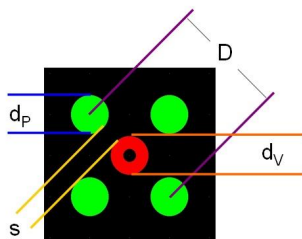
Rasterwahl.

Routingkanäle.

● **Fan-Out Matrix-Bauteile**

- Berechnung der maximalen Via-Pad-Größe

$$D - d_p - (2 \times s) = d_v$$



D = Diagonalpitch     $d_p$  = BGA-PadØ     $d_v$  = Via-PadØ  
s = Space

© Jennifer D. Vincenz

CAD1 192

Designstrategie

## Fan-Out

Berechnung einzusetzender Via-Größen und Leiterbahnbreiten  
Evaluierung der benötigten Lagenzahl



- **Design-Rule-Check**
  - Letzter Schritt des Designs ist der vollständige DRC.

### Pflichtprüfungen

- ✓ Alle Netze sind vollständig verbunden.
- ✓ Es gibt keine Kurzschlüsse.
- ✓ Alle Constraints sind eingehalten.
- ✓ Es gibt keine Overlaps (Pins, Bauteile, Areas).
- ✓ Minimum Restring, Minimum Freihaltung um Bohrung eingehalten.
- ✓ Aspect Ratio aller Bohrungen ist eingehalten
- ✓ Alle Lötstellen sind von Lack freigehalten, Leiterbahnen sind mit Lack überdeckt, Lackstege sind min. 100 µm breit.
- ✓ Es gibt keine Texte auf löstoplackfreien Bereichen.
- ✓ Platzierungsvorgaben sind eingehalten

© Jennifer D. Vincenz

CAD1 227

Designregeln

## Design-Rule-Check

Pflichtprüfungen.  
Optionale Prüfungen.  
Einstellmöglichkeiten.  
Strategische Aufbau des DRC.

- **Gerberdaten**
  - Beispiel für Einstellung des Extended-Gerber-Formats

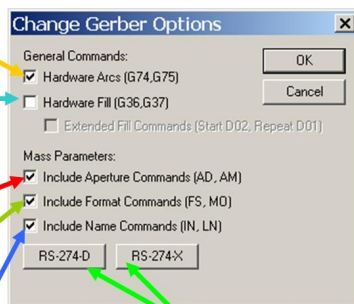
Datenausgabe mit Kreisinterpolationsbefehlen

Datenausgabe ohne Füllpolygone

Datenausgabe mit Blendenangaben im Header (Vorgabe für Extended Gerber)

Datenausgabe mit Formatstatus

Datenausgabe mit Layername im Header (kann entfallen)



Voreinstellung der Parameter für Standard oder Extended Gerber

© Jennifer D. Vincenz

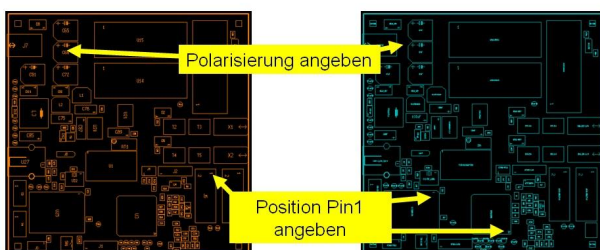
CAD1 237

Dokumentation

## Postprozess

Gerberdatenausgabe.  
Einstellparameter für Gerberdaten.  
Bohrdatenausgabe.  
Einstellparameter für Bohrdaten.  
Pick-and-Place-Daten.

- **Bestückungsplan**
  - Der Bestückungsplan ist ein unverzichtbares Kontrollinstrument, auch bei maschineller Bestückung dient er zur Überprüfung der Bestückungsprogramme sowie der Kontrolle der bestückten Baugruppe.



© Jennifer D. Vincenz

CAD1 251

Dokumentation

## Dokumentation

Layoutdokumentation.  
Lagenaufbaudokumente.  
Bestückungspläne.  
Änderungsdokumentation.

## Ihre Referentin



**Jennifer Vincenz** ist seit 20 Jahren im CAD-Design tätig. Sie ist seit 1988 bei der ILFA GmbH in Hannover tätig. Zu ihrem Aufgabenbereich zählt neben dem CAD-Design die interne Aus- und Weiterbildung, Dokumentation sowie die technische Kundenberatung.

Sie ist vom IPC zertifizierter CID, CID+ und Instructor, des weiteren FED-Designer und seit 2002 als Referent für den FED tätig und arbeitet aktiv am Schulungskonzept mit.

Mitarbeit an Projekten, wie "Die Leiterplatte 2010" und dazugehörige Fachveröffentlichungen sowie die Übersetzung von Fachartikeln für die Elektronikpraxis und die Tätigkeit als Referentin auf Konferenzen zum Thema Design und Leiterplattentechnologie runden das Bild ab.

## Die LeiterplattenAkademie

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt eine systematische und kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung.

Die zentrale Aufgabe der LeiterplattenAkademie ist, das Fachwissen aus den Bereichen der Schaltungsentwicklung, des CAD-Designs, der CAM-Bearbeitung, der Leiterplattentechnologie und der Baugruppenproduktion in Seminaren, Workshops und Tutorials zu vermitteln.

## Seminare und Teilnahmegebühren

Das Seminar/Tutorial ist **1-tägig**.

Das Seminar wird derzeit InHouse bei Ihnen vor Ort oder Online durchgeführt.

**InHouse-Schulung:** Die Schulungsgebühr für Ihr Unternehmen vor Ort beträgt 2.650,- € inkl. Reisekosten des Dozenten. Ebenfalls enthalten sind ausführliche Schulungsunterlagen sowie Teilnahmezertifikate für Ihre Teilnehmer.

**OnlineSeminar:** Die Schulungsgebühren für Ihr Unternehmen betragen 2.000,- €. Enthalten sind ausführliche Schulungsunterlagen sowie Teilnahmezertifikate für Ihre Teilnehmer.

Für Anfragen und Buchungen wenden Sie sich bitte an

[inhouse@leiterplattenakademie.de](mailto:inhouse@leiterplattenakademie.de)

Wir bieten Ihnen 15% Rabatt für InHouse-Seminare in den Monaten Juli und August.



## ***Die LeiterplattenAkademie***

Die LA - LeiterplattenAkademie GmbH ist eine Schulungs- und Weiterbildungseinrichtung für die Fachbereiche

**Schaltungsentwicklung**

**CAD-Design**

**CAM-Bearbeitung**

**Leiterplattentechnologie**

**Baugruppenproduktion**

Die Akademie versteht sich als Partner für öffentliche Einrichtungen und Unternehmen der Wirtschaft, die in vergleichbaren Feldern engagiert sind.

**LA - LeiterplattenAkademie GmbH**  
**Schlesische Str. 12**  
**10997 Berlin**

Telefon (030) 34 35 18 99

Telefax (030) 34 35 19 02

eMail [info@leiterplattenakademie.de](mailto:info@leiterplattenakademie.de)